

Descripción del Módulo TM4Plus1 y su Aplicación en Sistemas de Adquisición de Datos en Física de Altas Energías

J.Torres¹, J.Castelo², C.Cuenca², E.Fullana², E.Higón², V.González¹, B.Salvachúa² y E.Sanchis¹

¹Dpto. Ingeniería Electrónica, Universitat de València, Dr. Moliner, 50 Burjassot, Valencia.

²Dpto. Física Atómica, Molecular y Nuclear, Universitat de València-IFIC, Dr. Moliner, 50 Burjassot, Valencia.

I. INTRODUCCIÓN

Dentro de los procesos de adquisición de datos que se producen en los grandes detectores de partículas, aparece como parte habitual del sistema jerárquico y entre los niveles I y II de filtrado de información un componente clave para dicha toma de datos.

Este elemento es el Read Out Driver¹, formado por una motherboard para la implantación de los algoritmos de filtrado óptimo y un módulo de transición (TM4Plus1²) encargado de la recepción de los datos del primer nivel, preprocesado y enrutamiento de los mismos y finalmente de la emisión de los datos adquiridos y filtrados hacia el siguiente nivel de adquisición.

Dicho módulo, así pues, se convierte en un elemento fundamental para el tratamiento de la información recogida en los detectores.

II. DESCRIPCIÓN GENERAL DEL MÓDULO TM4PLUS1

El módulo de transición TM4Plus1 es una tarjeta activa VME64x que recoge la información obtenida de los detectores de partículas y que incluye 4 canales de entrada SLINK³ de datos y 1 canal de salida GLINK integrado en la misma tarjeta. Es capaz de leer 4x32 bits de datos a 40 MHz y nos permite realizar un preprocesado de los datos en tiempo real.

Así mismo, tenemos 4 FIFOs de 4 Kwords cada una que almacenan los datos de entrada antes de distribuirlos y que permiten realizar el control sobre los datos recibidos, realizando la sincronización en tiempo de cada una de las palabras recibidas.

Los otros elementos presentes en este módulo son dos FPGAs (dispositivos programables), concretamente dos APEX 20K, una denominada Reformatting Altera y la otra Auxiliary Altera.

En el diagrama de bloques de la figura podemos observar como están distribuidos todos estos elementos dentro del módulo de transición TM4Plus1, así como el flujo de los datos de entrada, distribución y salida.

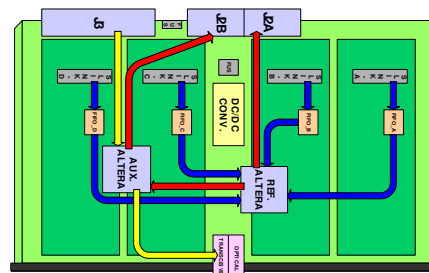


Figura 1. Diagrama de bloques del Módulo de Transición TM4Plus1.

III. DISEÑO DE LAS FPGAS

Para el diseño y posterior programación de cada una de las FPGAs debemos conocer previamente las funciones que deben realizar, teniendo en cuenta que cada una de las FPGAs realiza tareas diferentes.

En la FPGA denominada Reformatting Altera se controla la recepción de los datos que son enviados mediante el protocolo SLINK, se multiplexan los datos enviados en un único bloque de 32 bits en dos bloques de 16 bits para poder ser enviados a la motherboard y se comprueba la redundancia de datos enviados antes de que sean procesados por los DSPs del ROD.

Dentro de la Auxiliary Altera FPGA definimos diferentes bloques, uno encargado de recibir los datos ya procesados por la motherboard y otro de enviarlos al siguiente nivel de procesado mediante el interface ODIN integrado en esta FPGA.

Para la realización de cada función presente en las FPGAs usamos un programa de diseño digital denominado QUARTUS II⁴.

Se trata de un entorno de programación capaz de realizar un prediseño basado en diagramas de bloques donde se incluyen las señales tanto internas como externas del sistema así como el código en lenguaje VHDL. Nos permite también realizar un análisis de tiempos previo a la compilación y simulación del diseño. Como paso final, podemos programar nuestro dispositivo directamente desde el ordenador.

En la siguiente figura podemos observar como quedaría definida cada una de las partes que definen la Reformatting Altera FPGA, tanto las entradas desde las FIFOs y su control como las líneas que unen ambas FPGAs, los puntos de test y la unidad que multiplexa los datos antes de ser enviados a la motherboard.

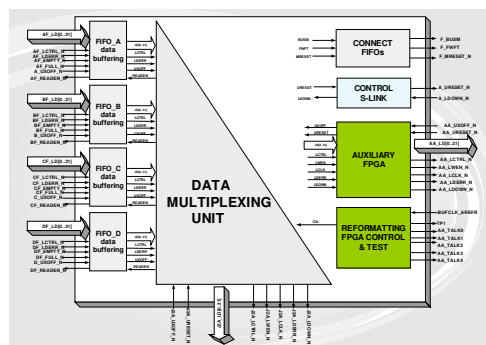


Figura 2. Diagrama de bloques de la Reformatting Altera FPGA.

IV. APLICACIÓN

Las aplicaciones de este módulo están íntimamente ligadas a los sistemas de adquisición de datos donde la frecuencia de los eventos sea alta, así como la cantidad de datos enviados.

Este sistema está incluido dentro del detector ATLAS⁵, en el experimento LHC de Física de Altas Energías del CERN, y en concreto dentro del Calorímetro Hadrónico TileCal para recibir los eventos entre los dos primeros niveles de adquisición.

Referencias

- ¹ J. Dowell, M. Pearce, "ATLAS front-end read-out link requirements", ATLAS internal note, ATLAS-ELEC-1, July 1998.
- ² E. van der Bij, "TM4Plus1 Document", ATLAS internal note, ECP Division CERN, <http://hsi.web.cern.ch/HSI/s-link/devices/tm4plus1>, July 2001.
- ³ O. Boyle, R. McLaren, E. van der Bij, "The SLINK interface specification", ECP Division CERN, March 1997.
- ⁴ Altera Document, "QUARTUS II Literature", <http://www.altera.com/literature/lit-qts.html>.
- ⁵ ATLAS Trigger and DAQ steering group, "Trigger and DAQ Interfaces with FE systems: Requirement document. Version 2.0", DAQ-NO-103, 1998.