

● ● ●
Versión Final del Sistema de Adquisición de
Datos para el Calorímetro Hadrónico Tilecal del
detector ATLAS en LHC.

ROD: Diseño, Rendimiento, Tests y Producción



Jose Castelo

Dpt. FAM Universitat de València/IFIC

XXX Reunión Bienal de la Real Sociedad Española
de Física

Ourense, 12-16 Septiembre 2005



Introducción a ATLAS

Detector interno de trazas:

- Pixel:
 - 3 barriles centrales
 - 3 x 2 discos laterales
- SCT:
 - 4 barriles centrales
 - 9 x 2 discos laterales
- TRT:
 - 3 barriles centrales
 - 3 x 2 ruedas

Cámaras de muones:

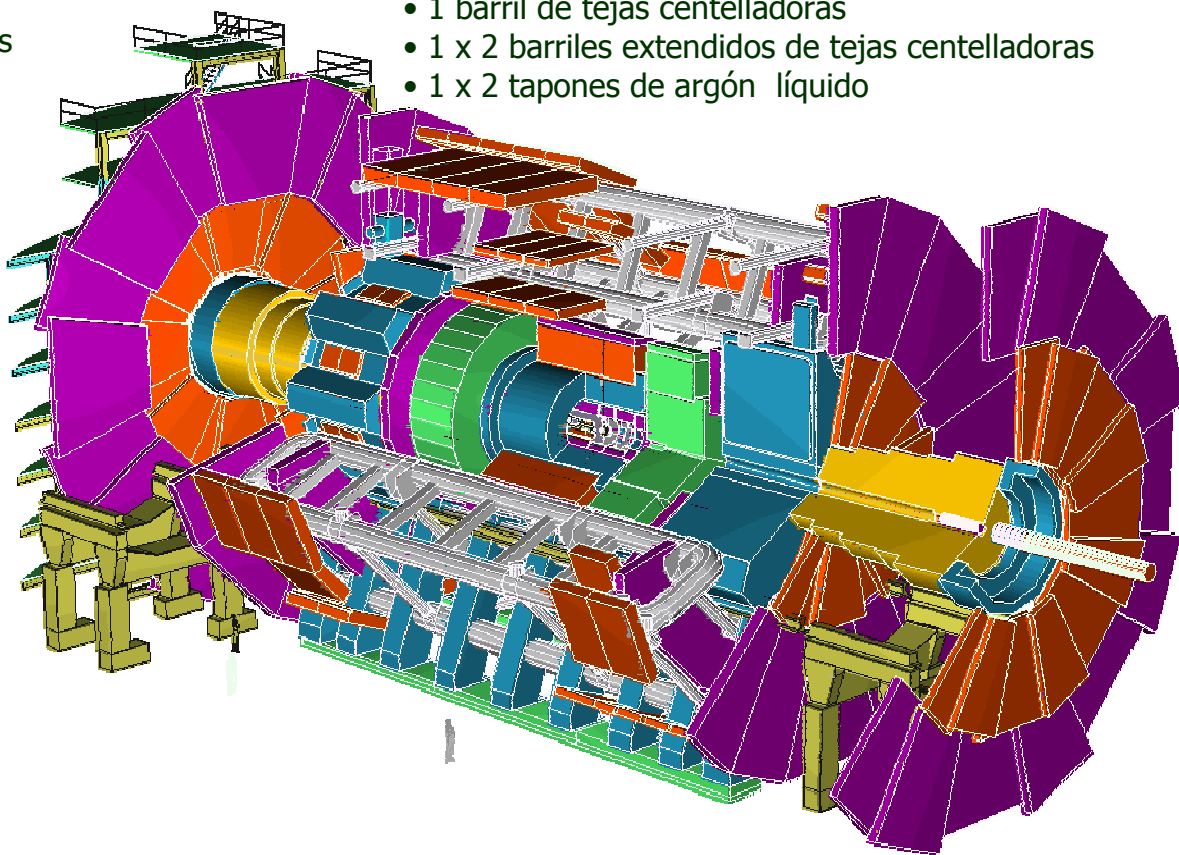
- "Trigger":
 - RPC
 - TGC
- Medidas de precisión
 - MDT
 - CSC

Dimensiones:

44m de ancho
22m de alto
7000t de peso

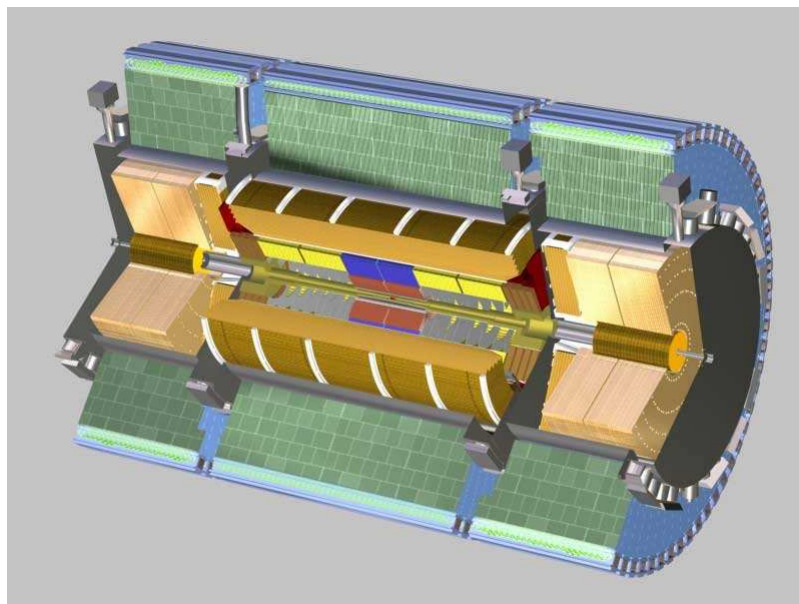
Calorímetros:

- Electromagnético (LAr):
 - 1 barril
 - 1 x 2 barriles extendidos
- Hadrónico:
 - 1 barril de tejas centelladoras
 - 1 x 2 barriles extendidos de tejas centelladoras
 - 1 x 2 tapones de argón líquido





Introducción a TileCal



Simulación del Calorímetro Hadrónico de Tejas

TileCal está compuesto por 3 barriles, uno central y del doble de tamaño que los dos extendidos.

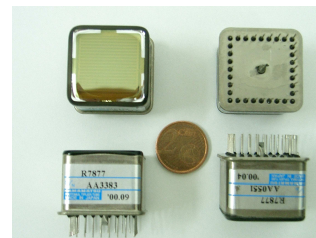
Cada barril está dividido azimutalmente en 64 módulos.



Módulo de TileCal Vista de las fibras

Cada módulo está compuesto por capas y filas alternadas de hierro (para frenar las partículas) y plástico centellador (para medir la energía depositada por las partículas al atravesarlo)

La luz generada en los centelladores es recogida y guiada por medio de fibras ópticas a unos conversores de luz en señal eléctrica (fotomultiplicadores, PMT)



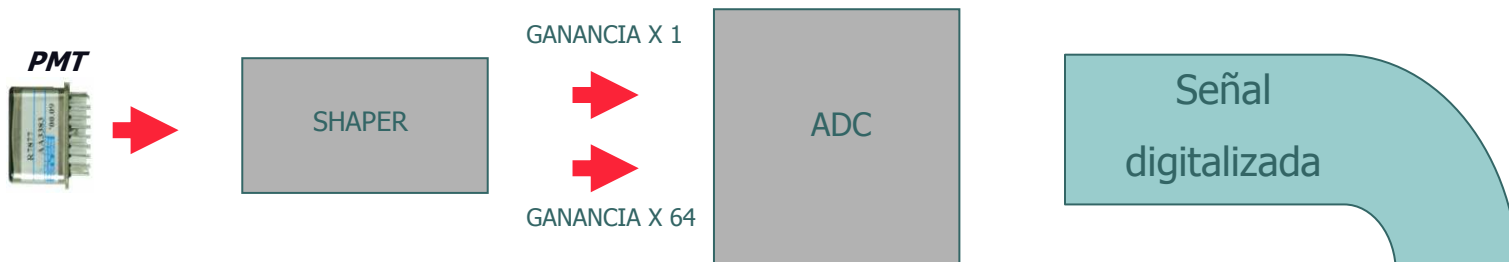
~ 10.000 fotomultiplicadores
(1.750 fueron testados en el IFIC- Valencia)



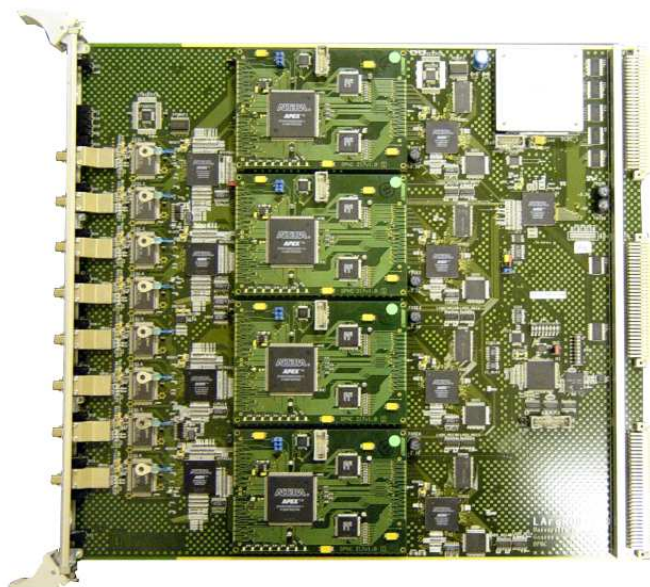
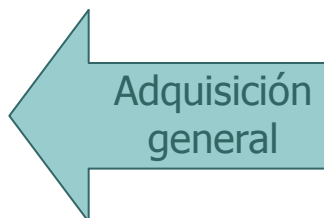
Teja centelladora



Diseño Hardware: RoD



**Read Out Driver
RoD**

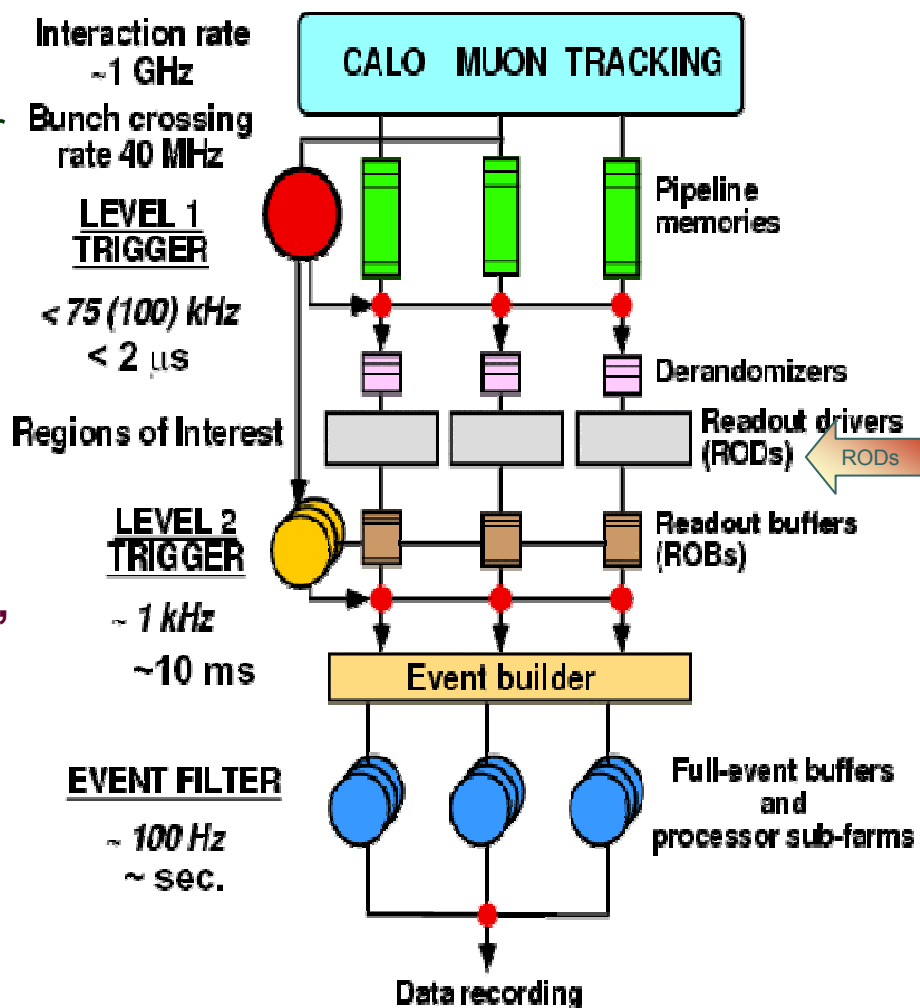


Intermediario entre:

Electrónica de "front-end"
y **sistema general de adquisición.**

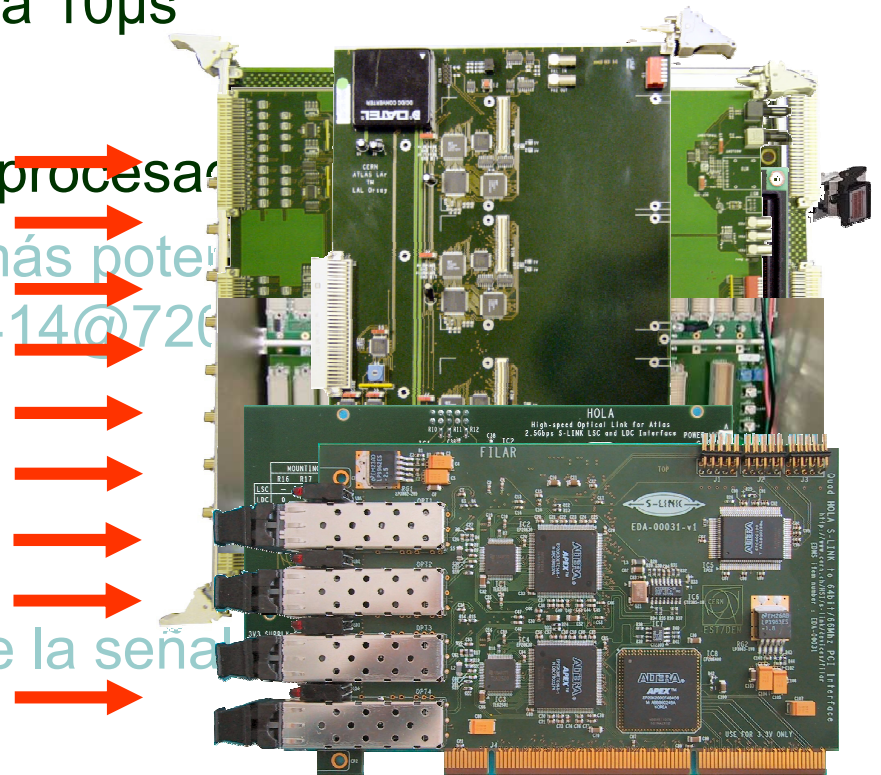
ATLAS TDAQ: Sistema de disparo y adquisición de datos

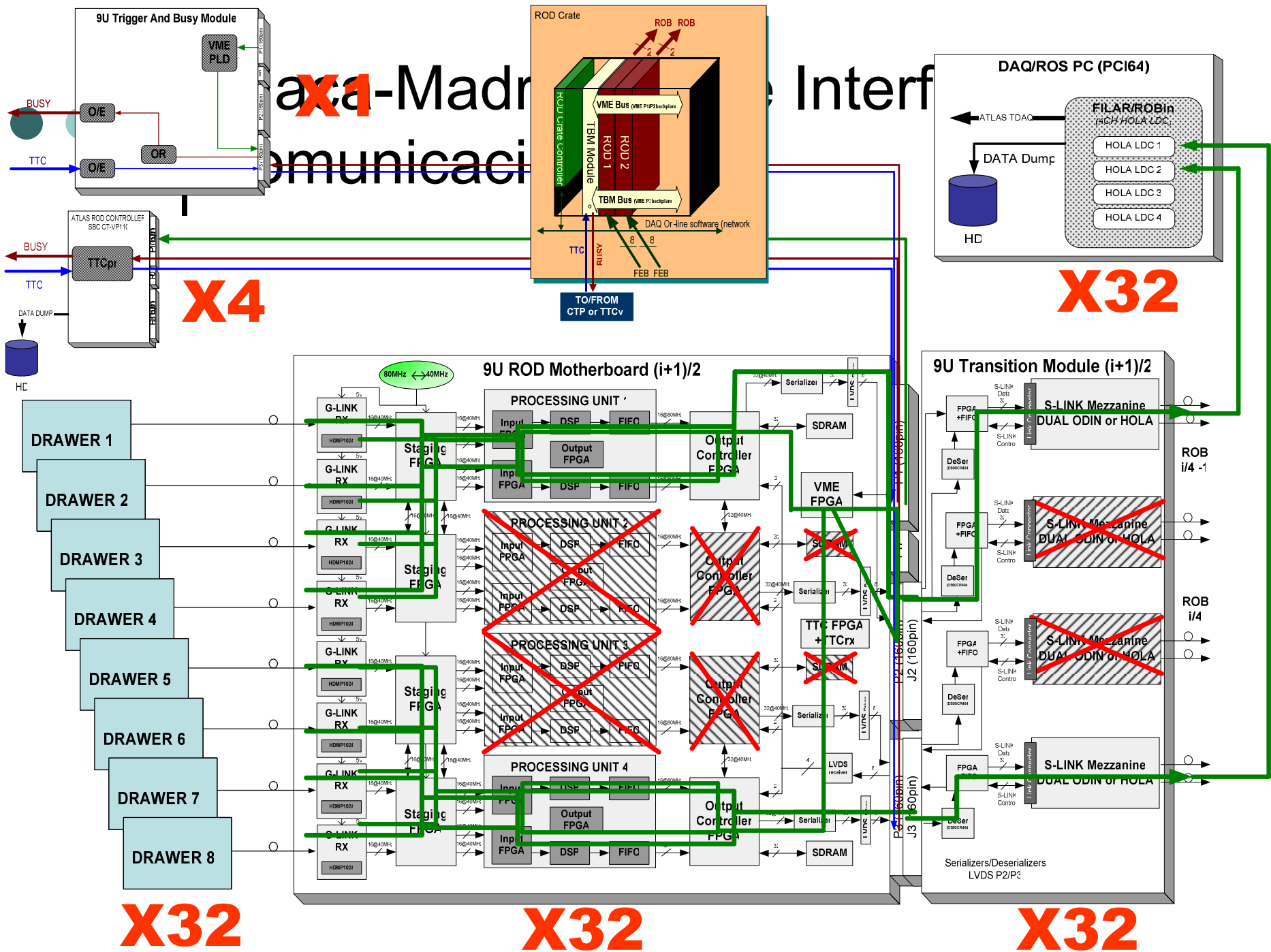
- Decisión de **LVL1** es tomada con los datos del calorímetro (**basta granularidad**) y los datos de trigger de las cámaras de muones. El “**buffering**” de eventos se hace en la electrónica dentro del detector (FEB).
- Decisión de **LVL2** se realiza teniendo en cuenta **Regiones de Interés ROIs** (hasta un 4% del evento completo) con **granularidad total** y combinando información de todos los detectores. El “**buffering**” se realiza en **RoBs**.
- El **EF** refina la selección, puede realizar la reconstrucción de eventos con **granularidad total**. El “**buffering**” se hace en **EB y EF**.



● ● ● | Hardware: RoD

- Procesan ~ 10.000 canales cada 10 μ s
- Deben trabajar en tiempo real
- Cada RoD tiene 4 unidades de procesamiento
- Procesadores digitales (DSP) más potentes
Texas Instruments TMS320C6414@720MHz
- Última tecnología en FPGAs:
 - ALTERA APEX 20K (PU)
 - ALTERA ACEX
- Algoritmos de reconstrucción de la señal
se implementan en los DSP





Software del ROD: Arquitectura TDAQ

ATLAS TDAQ Software Graphical User Interface - Expert Control

File Commands Access Control Tools Settings Help

Partition TileCalPartition

DAQ SUPERVISOR STATE: RUNNING

Run control: UNLOAD, CONFIGURE, STOP, PAUSE, CONTINUE, CHECKPOINT

Run Parameters: Run type, Run number, Event number, Event rate, Recording, Run Start Time, Run Stop Time, Integrated active run time

ROD library: ATL-TILECAL-PUB-2005-002

Programas de Test GUI: ATL-TILECAL-PUB-2004-012

• XTestROD

• XFILAR

• RCD (ROD Crate DAQ)

• TileCalConfiguration

• TileCalModules

• TileCalGUIPanel

• TileCalBEDVS

• TileCalRODEmon

• TileCalED

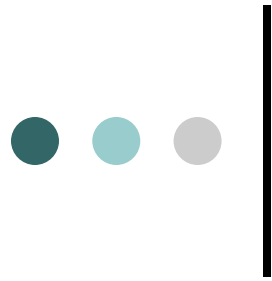
Segment: EBA

ROD	ACTIVE	Slot	Staging	more	ProdDB
ROD 1	☒	7	☒	more	ROD22 ?
ROD 2	☐	9	☒	more	RODP6 ?
ROD 3	☐	11	☒	more	RODP5 ?
ROD 4	☐	21	☒	more	RODP1 ?
ROD 5	☐	15	☒	more	RODP3 ?
ROD 6	☐	17	☒	more	RODP7 ?
ROD 7	☐	19	☒	more	RODP1 ?
ROD 8	☐	21	☒	more	RODP1 ?

Publish & Save EBA Publish EBA Restore from DB EBA Cancel

20:40:28 INFORMATION INTERNAL All infrastructure running - Starting IGUI.

20:40:13 INFORMATION INTERNAL Starting infrastructure please wait. IGUI will be started when complete infrastructure is running.



Software del ROD: Firmware

- Basado en FPGAs y DSP:
 - Diseño digital secuencial implementado en Field Programmable Gate Arrays (FPGA) de ALTERA®
 - Programación en VHDL comportamental y jerárquico
 - Herramientas usadas para el desarrollo:
 - Design Entry: Visual Elite 3.5.1
 - Synthesis: Leonardo Spectrum 2003b.65 and/or Symplify 7.6
 - Fitting: Quartus II 4.0
 - Simulation: Quartus II 4.0 and/or Modelsim Altera 5.7c and/or Visual Elite 3.5.1
 - DSP: Procesador Digital de Señales de Texas Instruments (TMS320C6414)
 - Herramienta de desarrollo: Code Composer Studio
- Firmware desarrollado para TileCal
 - ROD injector FPGA
 - Pre-RODs
 - Staggering FPGA
 - FPGA PU
 - DSP PU
 - Input FPGA
 - DSP Code



Producción de los RODs

- Dispositivos en producción:
 - **32+6** Placas-Madre ROD
 - **64+12** Unidades de Procesado (DSP-PU)
 - **32+6** Módulos de Transición (TM)
 - **4+1** Módulo de Disparo e inhibición (TBM)
 - **4+1** CP3 (P3 Custom backplane)
- Estatus de Producción
 - **Componentes fabricados**
 - **Software para test finalizado**
 - **Se está testando el hardware en el laboratorio del IFIC**

Instalación en el “comissioning” de ATLAS I

El pozo o caverna del área experimental debe acomodar al detector ATLAS y permitir un fácil acceso para su instalación y mantenimiento durante el periodo de funcionamiento del detector.

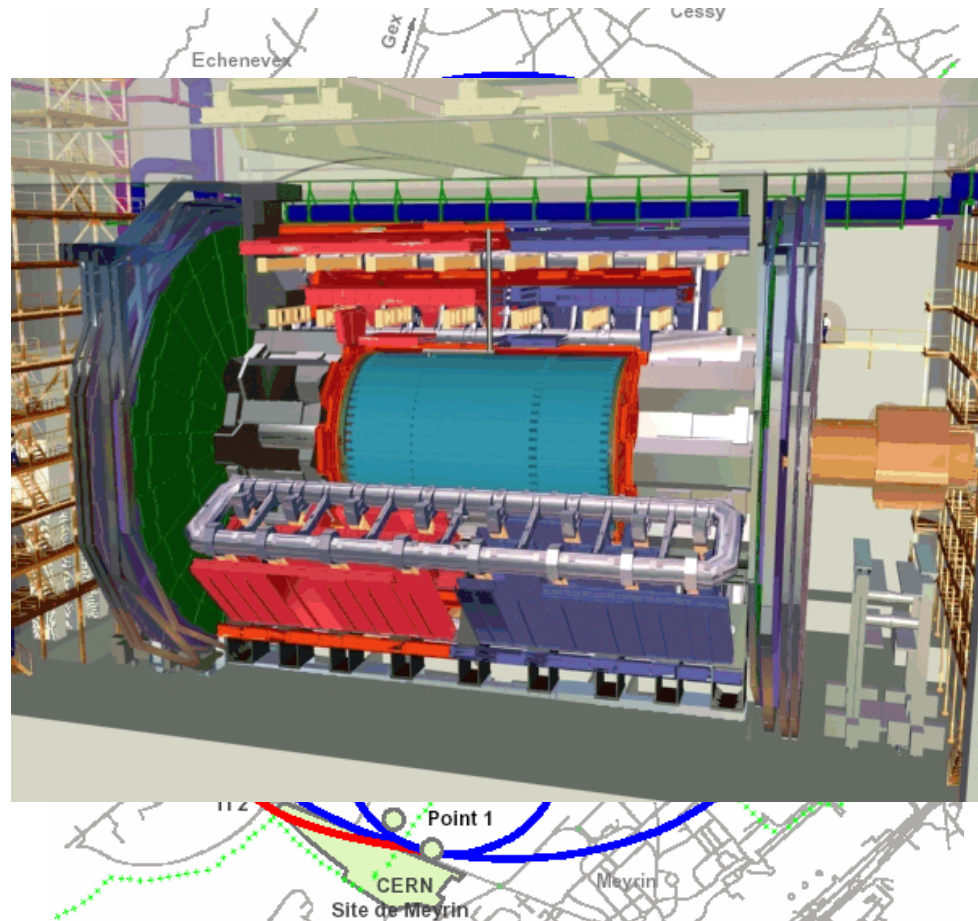
La caverna está situada en el punto 1 del túnel LEP/LHC.

El pozo tiene el lugar justo para instalar ATLAS, dejando 2m de separación en cada lado y encima.

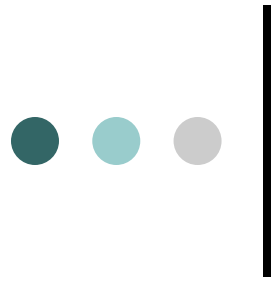
Anchura ~ 26m

Altura ~ 24,6m

Longitud ~ 47m







Conclusiones

- El proyecto **ROD** de adquisición de datos para el calorímetro hadrónico ha sido desarrollado íntegramente en el IFIC
- Se han **testado los prototipos** en los **Test de Haz** del **2003 y 2004** en el **CERN**
- **100%** de las Tarjetas **ROD** **producidas**
- **Test de Producción** en el laboratorio IFIC se están llevando a cabo actualmente
- **Integración del Sistema** en el **Commissioning de ATLAS** en proceso