



# “Diseño y caracterización de una tarjeta de adquisición de datos para la electrónica de las cámaras de muones del experimento CMS.”



**Proyecto de Investigación de Tercer ciclo. Opta a 12 créditos.**

**Curso:**

2002 – 2003.

**Autora:**

Cristina Fernández Bedoya.

**Director:**

Carlos Willmott Zappacosta. (CIEMAT).

**Tutor:**

Bonifacio de Andrés y Toro.

**Departamento:**

Arquitectura de Computadores y Automática.

Facultad de Ciencias Físicas.

Universidad Complutense de Madrid.



# ÍNDICE

<b>1</b>	<b>ÍNDICE DE FIGURAS Y TABLAS.....</b>	<b>7</b>
<b>2</b>	<b>PRESENTACIÓN DEL PROYECTO.....</b>	<b>10</b>
2.1	INTRODUCCIÓN.....	10
2.2	OBJETIVOS.....	11
2.3	BREVE RESUMEN DEL TRABAJO.....	12
<b>3</b>	<b>INTRODUCCIÓN A LA INSTRUMENTACIÓN DE LOS DETECTORES DE PARTÍCULAS.....</b>	<b>13</b>
3.1	DETECTORES DE RADIACIÓN Y DE PARTÍCULAS.....	13
3.1.1	DETECTORES DE CENTELLEO.....	13
3.1.2	DETECTORES DE ESTADO SÓLIDO.....	14
3.1.3	DETECTORES DE IONIZACIÓN.....	14
3.1.4	LAS CÁMARAS DE DERIVA.....	15
3.2	MÓDULOS BÁSICOS DE ELECTRÓNICA NUCLEAR.....	18
3.2.1	ELECTRÓNICA DE PREAMPLIFICACIÓN Y ADECUACIÓN DE LA SEÑAL.....	18
3.2.2	ELECTRÓNICA DE PROCESADO DE DATOS.....	19
3.2.3	SISTEMAS DE MEDICIÓN DE TIEMPOS.....	21
<b>4</b>	<b>EL PROYECTO CMS: UN EXPERIMENTO DEL LHC.....</b>	<b>25</b>
4.1	EL ACELERADOR DE PARTÍCULAS LHC.....	25
4.2	EL DETECTOR CMS.....	29
4.2.1	LAS CÁMARAS DE DERIVA DT.....	31
4.2.2	LA ELECTRÓNICA DE FRONT-END.....	34
4.2.3	EL SISTEMA DE ADQUISICIÓN DE DATOS.....	35
4.2.4	EL SISTEMA DE DISPARO.....	37

<b>5</b>	<b>DISEÑO DEL SISTEMA DE ADQUISICIÓN DE DATOS.....</b>	<b>41</b>
<b>5.1</b>	<b>ANÁLISIS DE REQUISITOS. ....</b>	<b>41</b>
<b>5.2</b>	<b>EL DIGITALIZADOR DE TIEMPOS HPTDC. ....</b>	<b>48</b>
5.2.1	ARQUITECTURA DEL HPTDC.....	50
5.2.2	ASIGNACIÓN DE DISPAROS.....	54
5.2.3	LECTURA DE DATOS. ....	56
5.2.4	EL INTERFAZ JTAG.....	60
<b>5.3</b>	<b>DISEÑO FINAL DE LA TARJETA DE ADQUISICIÓN DE DATOS ROB.....</b>	<b>63</b>
5.3.1	DISCUSIÓN DE LA ARQUITECTURA DEL SISTEMA.....	63
5.3.2	DESCRIPCIÓN DE LA ROB.....	68
<b>5.4</b>	<b>FUNCIONALIDAD Y MODO DE OPERACIÓN.....</b>	<b>73</b>
5.4.1	MODO DE OPERACIÓN NORMAL. DESCRIPCIÓN DEL EQUIPO DE PRUEBAS.....	73
5.4.2	MODO TEST DE PULSOS.....	78
<b>5.5</b>	<b>IMPLEMENTACIÓN DE LA LÓGICA DIGITAL DE LA CPLD.....</b>	<b>79</b>
<b>5.6</b>	<b>ANÁLISIS DEL ANCHO DE BANDA DEL ENLACE ROB-ROS.....</b>	<b>82</b>
<b>5.7</b>	<b>FABRICACIÓN Y MONTAJE DE LA ROB.....</b>	<b>83</b>
<b>6</b>	<b>TESTS DE FUNCIONALIDAD Y VALIDACIÓN DE LA TARJETA ROB.....</b>	<b>87</b>
<b>6.1</b>	<b>ESTUDIO DE LA RESOLUCIÓN.....</b>	<b>87</b>
<b>6.2</b>	<b>ANÁLISIS DEL CROSSTALK.....</b>	<b>89</b>
<b>6.3</b>	<b>COMPORTAMIENTO FRENTE A LA TEMPERATURA: CICLOS Y TEST ACELERADO.....</b>	<b>92</b>
6.3.1	DESCRIPCIÓN DE LA CÁMARA CLIMÁTICA.....	93
6.3.2	CICLOS DE TEMPERATURA.....	95
6.3.3	PRUEBAS DE ENVEJECIMIENTO ACELERADO.....	99
<b>6.4</b>	<b>ENSAYOS BAJO HACES DE PRUEBA EN EL GIF DEL CERN.....</b>	<b>101</b>
6.4.1	DESCRIPCIÓN DEL HAZ DE PRUEBAS Y DEL EQUIPO EMPLEADO.....	101
6.4.2	PRIMER PERÍODO DE PRUEBA DE HACES, P2B.....	104
6.4.3	SEGUNDO PERÍODO DE PRUEBA DE HACES, P2C.....	106
<b>6.5</b>	<b>ANÁLISIS DE PARÁMETROS CARACTERÍSTICOS.....</b>	<b>109</b>
6.5.1	CONSUMO Y TIEMPO DE ENCENDIDO.....	109
6.5.2	CONSIDERACIONES SOBRE EL RELOJ.....	109
6.5.3	PROBLEMAS DETECTADOS EN EL HPTDC.....	110

Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

---

---

<b>6.6</b>	<b>ESTUDIO DEL COMPORTAMIENTO DE LA ROB BAJO RADIACIÓN.....</b>	<b>112</b>
<b>7</b>	<b>CONCLUSIONES. ....</b>	<b>115</b>
<b>8</b>	<b>BIBLIOGRAFÍA. ....</b>	<b>117</b>
<b>9</b>	<b>APÉNDICES. ....</b>	<b>122</b>
<b>A</b>	<b>ESQUEMÁTICOS DE LA ROB. ....</b>	<b>122</b>
<b>B</b>	<b>PROGRAMA EN VHDL DE LA CPLD DE LA ROB. ....</b>	<b>128</b>



# **1 Índice de Figuras y Tablas.**

Figura 3.1: Corte transversal de una celda de una cámara de deriva.....	15
Figura 3.2: Método del solapamiento de intervalos temporales para la conversión tiempo a amplitud.....	20
Figura 3.3: Método de dos relojes sincronizados en fases opuestas para doblar la resolución temporal.....	21
Figura 3.4: Principio básico de operación de un TDC vernier.....	22
Figura 4.1: Mapa de la zona dónde se emplazará el LHC.....	25
Figura 4.2: Diagrama del anillo LHC y el emplazamiento de los cuatro detectores principales.....	26
Figura 4.3: Representación tridimensional del detector CMS y sus subdetectores.....	28
Figura 4.4: Corte transversal del detector CMS y representación de las trazas de distintos tipos de partículas generadas en el punto de interacción.....	29
Figura 4.5: Representación de una supercapa de la cámara de deriva.....	30
Figura 4.6: Imagen de una cámara de deriva completa.....	31
Figura 4.7: Representación de la traza de un muón atravesando una supercapa de una cámara de deriva.....	32
Figura 4.8: Representación de la tasa de sucesos frente al tamaño del paquete de datos en distintos detectores.....	33
Figura 4.9: Esquema de la tasa de sucesos y del tamaño de las memorias en cada nivel de la cadena de adquisición de datos del detector CMS.....	34
Figura 4.10: Cadena de adquisición de datos en el subdetector de muones.....	35
Figura 4.11: Esquema funcional del disparo de muones de CMS.....	37
Figura 4.12: Diagrama del sistema de disparo.....	38
Figura 5.1: Imagen de la localización del minicrate y de la cámara de deriva en una rueda del detector CMS.....	40
Figura 5.2: Imagen de un prototipo del minicrate en el que se han montado las ROB's.....	41
Figura 5.3: Diagrama temporal en el que se ha producido el solapamiento de dos disparos.....	42
Figura 5.4: Arquitectura del HPTDC.....	48
Figura 5.5: Representación esquemática del PLL del HPTDC.....	49
Figura 5.6: Esquema de los módulos del DLL del HPTDC.....	50
Figura 5.7: Representación de la carga del contador de cruce de haces a la llegada de un hit con el mecanismo de fase desplazada.....	50
Figura 5.8: Mecanismo de asignación de hits a las señales de disparo.....	53
Figura 5.9: Formato en el que se codifican los datos en el HPTDC.....	55
Figura 5.10: Esquemas de interconexión de los HPTDC's para un interfaz paralelo de lectura de datos.....	57
Figura 5.11: Diagrama de estados del controlador TAP del interfaz JTAG.....	59
Figura 5.12: Representación de un corte transversal del detector CMS dónde se indican los números de los distintos sectores y de las cámaras de deriva en las distintas capas....	62
Figura 5.13: Representación de la conexión de las líneas JTAG en los 4 HPTDC's de cada ROB.....	63
Figura 5.14: Esquema de la conexión en token ring, con las líneas de bypass y del interfaz de lectura de datos Data_Ready/Get_Data.....	63
Figura 5.15: Representación del equipo de pruebas empleado para operar la ROB.....	73

Figura 5.16: Imagen del equipo de pruebas utilizado para probar la electrónica de las cámaras de muones.....	74
Figura 5.17: Imagen del programa de configuración y monitorización de la ROB.....	75
Figura 5.18: Imagen del programa de adquisición de datos para la operación de la ROB.....	75
Figura 5.19: Representación de las distintas trazas sobre la cámara de deriva que conforman el test de pulsos.....	76
Figura 5.20: Diagrama del sistema de triple redundancia implementado en los registros de la CPLD.....	79
Figura 5.21: Esquema de conexionado de una cámara de deriva a las ROB's de un minirate.....	80
Figura 5.22: Imagen del rutado de un par de líneas diferenciales.....	82
Figura 5.23: Radiografía de una ROB en la que se aprecia la correcta soldadura de los distintos componentes.....	83
Figura 5.24: Imagen de la cara frontal y trasera de la tarjeta de adquisición de datos ROB.....	83
Figura 6.1: Distribución de probabilidad de la función de error de cuantización en un ADC.....	87
Figura 6.2: Representación del esquema de conexionado durante las pruebas de resolución.....	88
Figura 6.3: Escalera obtenida en el HPTDC.....	88
Figura 6.4: Histograma de los residuos obtenidos a partir de la figura 6.3.....	89
Figura 6.5: Representación del sistema utilizado para la medida del crosstalk.....	90
Figura 6.6: Diagrama temporal de las distintas señales empleadas en la prueba de crosstalk. $p_0$ es la señal cuyo tiempo medimos y se ve afectada por $p_1$ que hace un barrido para distintos $\Delta t$ .....	90
Figura 6.7: Desviaciones temporales obtenidas debidas al crosstalk entre hits.....	91
Figura 6.8: Desviaciones temporales obtenidas debidas al crosstalk antes del HPTDC.....	92
Figura 6.9: Imagen de la cámara climática utilizada para los tests de temperatura.....	94
Figura 6.10: Ciclo de temperatura programado y lectura del sensor de temperatura.....	95
Figuras 6.11: Medidas de la tensión de 2.5V en placa frente a la temperatura.....	96
Figuras 6.12: Medidas de la tensión de 3.3V en placa frente a la temperatura.....	96
Figura 6.13: Variación de la corriente de 2.5V en función de la temperatura.....	97
Figura 6.14: Variación de la medida temporal en función de la temperatura.....	98
Figura 6.15: Desviación de la medida temporal con respecto al valor a 20°C debida a los receptores DS90LV048.....	99
Figura 6.16: Representación esquemática del área del GIF dónde se instaló la cámara de muones.....	103
Figura 6.17: Esquema del equipo utilizado durante la prueba de haces.....	104
Figura 6.18 Distribución del tiempo de deriva de una celda sin ruido de fondo (izquierda) y con rayos gamma y un filtro del 10% (derecha).....	105
Figura 6.20: Ocupación de las distintas memorias del HPTDC durante un ensayo de la prueba de haces.....	107
Figura 6.21: Estructura de 25 ns del haz de muones, obtenida a partir de las diferencias temporales entre dos disparos en sucesos solapados.....	108
Figura 6.22: Representación de la tasa de errores de una versión previa del HPTDC como consecuencia de la interferencia entre la señal de reloj y los hits.....	111
Figura 6.23: Imagen de la irradiación de la ROB en el ciclotrón de UCL.....	112



---

 Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.
 

---

Tabla 3.1: Niveles lógicos de distintas familias electrónicas.....	20
Tabla 5.1: Resumen de los principales requisitos de las tarjetas de adquisición de datos.....	48
Tabla 5.2: Valores de la no linealidad diferencial e integral del HPTDC.....	53
Tabla 5.3: Distribución del número de ROB's resultantes y número de canales que no se conectarían a ninguna cámara en función del número de TDC's por ROB.....	63
Tabla 5.4: Número de ROB's por minicrate y canales que cubre.....	64
Tabla 5.5: Listado de señales del conector del ROBUS.....	67
Tabla 5.6: Rangos de medida y precisión de los distintos parámetros monitorizados por el sensor DS2438.....	70
Tabla 5.7: Tabla de los receptores y canales que se habilitan en cada suceso en el modo test de pulsos.....	80
Tabla 6.1: Factores de aceleración a 105°C para distintos mecanismos de fallos.....	93
Tabla 6.2: Tasa de disparos por suceso en el segundo período de prueba de haces.....	108
Tabla 6.3: Relación entre la corriente del PLL y el jitter del reloj a la salida del PLL.....	109
Tabla 6.4: Relación entre la corriente del PLL y el tiempo que éste tarda en enganchar.....	110

## **2 PRESENTACIÓN DEL PROYECTO.**

### **2.1 INTRODUCCIÓN.**

En el presente trabajo se pretende desarrollar una parte de la electrónica de adquisición de datos de uno de los detectores de partículas que será emplazado en el acelerador hadrónico LHC que se está construyendo actualmente en el CERN (Ginebra). Las características de este acelerador suponen un reto para la ingeniería y la física, al igual que los experimentos asociados al mismo, que imponen una serie de requisitos cada vez más difíciles de cumplir con el objetivo de adentrarse en el estudio del mundo a pequeña escala, tal y como se pretende en la actualidad en los experimentos de Física de Partículas.

En el campo de la electrónica también se exigen cada vez sistemas más complejos, capaces de manejar grandes cantidades de información y procesarlas en tiempos cada vez menores. El estudio de las colisiones de partículas supone el análisis de miles y miles de interacciones en búsqueda del fenómeno de interés. Una interacción típica en el acelerador LHC puede generar en torno a  $10^6$  partículas que dependiendo de su energía se distribuirán por todo el volumen alrededor del punto de impacto. Se desarrollan sistemas dinámicos de análisis y filtrado, que seleccionan los sucesos buscados, pero aún así la frecuencia de interacciones es de 40 MHz, y la información procedente de los distintos subdetectores debe procesarse, multiplexarse y transmitirse a gran velocidad.

El experimento CMS (Compact Muon Solenoid) es uno de los cinco detectores que se instalarán en el anillo del LHC. A su vez está compuesto de distintos subdetectores, cada uno especializado en la detección de un tipo concreto de partículas y en la medida de distintas propiedades de éstas. Dentro del sistema de detección de muones se encuentran las cámaras de deriva, situadas en todo el perímetro del detector. Las tarjetas que se van a diseñar son parte del sistema de lectura de éstas cámaras, y se sitúan en el primer nivel de la larga cadena de adquisición de datos que rodea al detector CMS. Su misión es la de recoger las señales procedentes de la electrónica de acondicionamiento de las cámaras de muones y realizar medidas temporales de estas señales. Para ello se utilizará un digitalizador de tiempo de altas prestaciones desarrollado en el laboratorio de microelectrónica del CERN (CERN/EP-MIC).

En el experimento CMS se encuentra involucrado, dentro del marco de una CICYT (AEN99-0312), tanto el grupo de Física de Altas Energías, encargado de la construcción de, aproximadamente, el 30% de las cámaras de muones del detector central, como el Laboratorio de Electrónica y Automática del CIEMAT (Madrid), que es responsable del diseño y la fabricación de las tarjetas de lectura de todas las cámaras de muones del detector central.

La finalidad del presente trabajo es doble. Por una parte consiste en la participación en el diseño de la tarjeta de adquisición de datos (ROB), basándose en los requisitos tanto de funcionalidad como del entorno en el que ha de operar el sistema y por otra realizar las pruebas que garanticen el correcto funcionamiento, el rendimiento y la fiabilidad de la tarjeta de lectura

## **2.2 OBJETIVOS.**

Los objetivos del presente trabajo son:

- Diseño de una tarjeta de adquisición de datos (Read-Out Board, ROB) basado en los requisitos tanto de funcionalidad como del entorno particular en el que ha de operar el sistema. La principal función de esta tarjeta será la de realizar la digitalización de tiempos de las señales recibidas de las cámaras de muones del detector CMS.
- Realización de pruebas que garanticen el rendimiento y la fiabilidad de la tarjeta diseñada, en condiciones similares a las que se encontrarán en el detector durante su operación en el acelerador. Un ejemplo de ello son los ensayos con haces de muones a las frecuencias del LHC o la tolerancia de la electrónica a las condiciones de radiación para operar durante los 10 años de funcionamiento del LHC. Además se han realizado otra serie de pruebas para estudiar el rango válido de operación, tal como pruebas térmicas, estudios de inmunidad al crosstalk, etc.

### **2.3 BREVE RESUMEN DEL TRABAJO.**

En el primer capítulo de nuestra exposición daremos un breve repaso a los distintos detectores de partículas y radiación que se utilizan en la física nuclear y de partículas en la actualidad junto con los módulos de electrónica que suele llevar asociados, haciendo especial énfasis en los módulos digitalizadores de tiempo.

En el segundo capítulo se describirán las características básicas del acelerador LHC junto con una somera descripción del experimento CMS y de las cámaras de muones, que permitirá al lector introducirse en el contexto en el que se ha desarrollado el trabajo.

A continuación se pasará a describir las características de la tarjeta de adquisición de datos ROB y de los distintos elementos que la componen, en especial el ASIC HPTDC, y su modo de operación para el experimento en cuestión.

En el tercer capítulo se describen en detalle los distintos sistemas de prueba utilizados para el análisis del funcionamiento de la ROB, los equipos de prueba elaborados y los resultados de los distintos ensayos, que confirman la correcta operación de la tarjeta y su fiabilidad.

Se finaliza con un resumen del trabajo y las conclusiones que de él se derivan.

Mi aportación personal al trabajo que se describe en esta memoria ha sido la participación en el diseño y fabricación de los diferentes prototipos de la tarjeta ROB, así como el desarrollo de los distintos sistemas de pruebas, tanto hardware como software, para las tomas de datos y análisis de los experimentos realizados.

### **3 INTRODUCCIÓN A LA INSTRUMENTACIÓN DE LOS DETECTORES DE PARTÍCULAS.**

#### **3.1 DETECTORES DE RADIACIÓN Y DE PARTÍCULAS.**

La Física Nuclear y de Partículas, requiere el desarrollo de unos sistemas de detección sofisticados que permitan medir las características y propiedades del objeto de su estudio: las partículas fundamentales y las interacciones entre ellas, lo que también exige la medida de radiaciones altamente energéticas.

Basándose en los efectos de interacción de las partículas y la radiación con la materia se han desarrollado diversos detectores que permiten realizar medidas cuantitativas de sus trayectorias, de su energía o la identificación de su naturaleza. Existen tres tipos básicos de detectores de partículas y de radiación de acuerdo con los principios físicos sobre los que se sustentan: detectores de centelleo, detectores de estado sólido y detectores de ionización [2]. Dentro de cada uno de ellos existen varios subtipos, dependiendo fundamentalmente de la aplicación para el que se les requiera. En muchos casos, el detector debe responder a las características particulares del experimento en el que se utilice, construyéndose *ad hoc*; pero los principios físicos sobre los que se fundamenta son los mismos.

##### **3.1.1 Detectores de Centelleo.**

Cuando una partícula cargada o un fotón de radiación X o gamma atraviesan ciertas sustancias luminiscentes, pierden energía en excitar su luminiscencia, dando lugar a la emisión de luz visible o ultravioleta. Esta luz resultante puede alcanzar el cátodo de una fotocélula suficientemente sensible, resultando un impulso eléctrico en respuesta a la llegada de cada partícula nuclear cargada o fotón. El conjunto constituye un detector de centelleo. El detector de centelleo consta, por consiguiente, de dos órganos fundamentales: la sustancia luminiscente y la fotocélula, que es en general un tubo fotomultiplicador o un fotodiodo. El conjunto se monta dentro de una envoltura opaca a la luz natural, pero a través de la cual pueda penetrar la radiación a detectar.

Las características fundamentales de los detectores de centelleo son su alta eficiencia de detección y la gran rapidez de respuesta. Son muy utilizados para detección y análisis de radiaciones nucleares, sobre todo para la medida de la energía de radiación gamma, donde las cámaras de ionización y los contadores proporcionales no resultan adecuados por la poca densidad de la masa gaseosa empleada en la detección.

### **3.1.2 Detectores de Estado Sólido.**

El funcionamiento de los detectores de semiconductores se basa en que una partícula cargada al atravesar un semiconductor, tal como un cristal de silicio puro, crea abundantes pares electrón-hueco. Mediante la recogida de estos portadores de carga puede detectarse el paso de la partícula y en determinadas condiciones medir su energía. Las principales ventajas de los detectores de silicio son su elevada eficiencia de detección debido a la alta densidad de los materiales, su corto tiempo de detección, y sobre todo, su gran poder de resolución dado que la energía necesaria para producir un par electrón-hueco es unas 8 veces menor que la necesaria para ionizar un átomo de argón en un detector de ionización y unas 200 veces menor que la precisada para liberar un fotoelectrón en el cátodo de un detector de centelleo. Su mayor inconveniente es que excepto para el caso del silicio, los semiconductores necesitan trabajar a bajas temperaturas lo que implica un sistema criogénico adicional.

### **3.1.3 Detectores de Ionización.**

Los detectores de ionización fueron los primeros dispositivos eléctricos desarrollados para la detección de radiación. Consisten en un recinto lleno de un gas a una presión apropiada, en el que se encuentran dos electrodos aislados entre sí y a los que se aplica una tensión eléctrica. Siendo el gas que llena el detector un buen aislante, ninguna corriente eléctrica apreciable circulará en condiciones normales entre los electrodos. Pero el paso de una radiación nuclear provocará una ionización de dicho gas, y el campo eléctrico existente en el detector pondrá en movimiento las cargas liberadas de cada signo hacia el electrodo de signo contrario. De esta forma se originan en el detector corrientes o impulsos eléctricos que pueden ser

medidos exteriormente, que revelan la presencia de la radiación incidente y que pueden llegar a indicar, en determinadas condiciones, la naturaleza y energía de dicha radiación.

Durante la primera mitad de siglo XX, se desarrollaron tres tipos básicos de detectores: las cámaras de ionización, los contadores proporcionales y los contadores Geiger-Müller. Su estructura y diseño no han cambiado mucho desde que en la década de los 40 comenzará el desarrollo de los contadores de centelleo.

En los años 60 se renovó el interés por los instrumentos de ionización gaseosa, dominados por la invención de las cámaras proporcionales multihilo, que eran capaces de localizar la trayectoria de las partículas con un error menor de 1 mm y que rápidamente se adoptaron en los experimentos de altas energías.

Estimulados por este éxito, se desarrollaron en los años sucesivos las cámaras de deriva y las cámaras de proyección temporal [1]. Estos dispositivos operan bajo los mismos principios básicos que sus predecesores más simples. En la actualidad se utilizan ampliamente en experimentos de física de partículas, exigiendo cada vez una electrónica más sofisticada.

### **3.1.4 Las Cámaras de Deriva.**

A continuación se describirá brevemente los fundamentos físicos sobre los que se basa el funcionamiento de una cámara de deriva ya que es el detector cuya electrónica de adquisición de datos se va a desarrollar.

La pérdida de energía de una partícula cargada en un medio gaseoso se divide principalmente en dos tipos de reacciones, excitación e ionización, siendo mayor la sección eficaz de esta última. Además, en el caso de que el choque produzca una excitación en vez de una ionización, la molécula gaseosa producirá nuevas reacciones que a la larga generarán ionización del medio.

Por tanto en un medio gaseoso se producirán electrones e iones libres, cuyo comportamiento dentro del medio gaseoso vendrá descrito fundamentalmente por fenómenos de difusión y de deriva en un campo eléctrico.

En ausencia de campo eléctrico, los electrones e iones liberados se difundirán uniformemente alrededor de su punto de origen. En este proceso sufrirán múltiples colisiones con las moléculas del gas y perderán su energía. Al cabo de un tiempo breve, los electrones e iones pasarán a estar en equilibrio térmico con el gas y eventualmente se recombinarán. El coeficiente de difusión, que da cuenta de la rapidez con la que se produce la recombinación, depende de parámetros tales como la temperatura del gas y la presión.

En presencia de un campo eléctrico, los electrones e iones son acelerados a lo largo de las líneas de campo hacia el ánodo y el cátodo respectivamente. Su movimiento se ve frenado por las colisiones con las moléculas del gas que limitan su máxima velocidad media, llamada velocidad de deriva [12]. Comparada con sus velocidades térmicas, esta velocidad es lenta. No obstante, la velocidad de deriva de los electrones, al ser mucho más ligeros, es mucho mayor que la de los iones, por lo que son aquellos los que se recogen y proporcionan las señales de medida.

En los iones positivos, la velocidad de deriva depende linealmente del cociente  $E/p$  hasta valores del campo eléctrico bastante elevados, sin embargo, la movilidad de los electrones es mucho mayor y es, hasta cierto punto, una función del campo eléctrico. Es deseable que la velocidad de deriva sea constante, y por ello se buscan configuraciones en las que el campo eléctrico permanezca constante en el volumen de la celda, o la velocidad de deriva se halle próxima a la saturación.

En la figura 3.1 se muestra un esquema de la estructura de una cámara de deriva, en la que el hilo hace de ánodo, recogiendo la nube de electrones que producirá un pulso eléctrico en el hilo y que deberá ser recogido posteriormente por la electrónica asociada. Las paredes de la celda hacen la función de cátodo, y generalmente se encuentran sometidas a una diferencia de potencial con respecto al ánodo de varios miles de voltios.



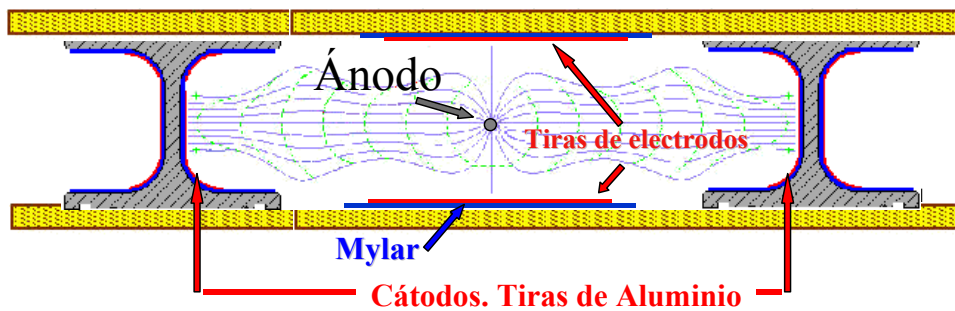


Figura 3.1: Corte transversal de una celda de una cámara de deriva.

La principal ventaja de las cámaras de deriva es la gran superficie que pueden cubrir con una cantidad relativamente pequeña de hilos, pudiendo unirse unas celdas junto a otras.

Las cámaras de deriva se utilizan principalmente para determinar las posiciones de la traza de la partícula cargada [1]. Para ello se realiza una medida del tiempo transcurrido desde una señal de referencia, o disparo, que indica la llegada de la partícula, hasta que se detecta un pulso en algún ánodo. Conocida la velocidad de deriva ( $u$ ) de esa cámara, la distancia desde el hilo hasta el punto de origen de los electrones, como consecuencia del paso de la partícula, viene dada por:

$$X = \int_{t_0}^{t_1} u dt \quad (3.1)$$

Dónde  $t_0$  es el tiempo del paso de la partícula y  $t_1$  el momento en el que el pulso se recibe en el ánodo. Como puede verse resulta conveniente que la velocidad sea constante en el volumen de la cámara para que la relación entre la posición y el tiempo sea lineal.

Las dimensiones de las celdas de una cámara de deriva suelen ser de unos pocos centímetros, aunque se han construido cámaras con un espacio de deriva de hasta 2 metros. Sin embargo, las dimensiones reducidas minimizan el efecto de la difusión y evitan tener que usar potenciales muy elevados. Las velocidades de deriva típicas son de unos  $50 \mu\text{m}/\text{ns}$ , lo que proporciona tiempos de deriva del orden del microsegundo, también llamado tiempo de memoria de la cámara.

La pureza del gas utilizado en el interior de las cámaras de deriva tiene especial importancia, utilizándose gases que no sean electronegativos para que no se vean capturados los electrones en su camino al ánodo, así como gases cuya velocidad de deriva pueda saturar a tensiones relativamente bajas, con el fin de garantizar la estabilidad del sistema.

## **3.2 MÓDULOS BÁSICOS DE ELECTRÓNICA NUCLEAR.**

### **3.2.1 Electrónica de Preamplificación y Adecuación de la Señal.**

Cuando un detector de radiación es excitado por una partícula nuclear o fotón, a través de distintos procesos para los distintos tipos de detectores tiene lugar, en general, la liberación de una cantidad de carga eléctrica. Esta carga fluye hacia el llamado electrodo colector del detector, en cuyo circuito exterior aparece un impulso eléctrico. Tales impulsos han de ser recibidos por dispositivos electrónicos diseñados para proporcionar información, bien sea simplemente sobre la intensidad de la radiación que excita al detector, bien sea sobre alguna de sus características particulares como naturaleza, energía, coincidencia temporal con otra radiación, etc.

Sin embargo, la mayoría de los detectores de radiaciones nucleares proporcionan impulsos de amplitud excesivamente reducida para poder ser directamente contados y analizados. Se requiere, por tanto, elevar previamente el tamaño de los impulsos mediante el uso de amplificadores de características convenientes. Estas etapas de amplificación suelen situarse lo más cerca posible de los detectores para minimizar el ruido y la distorsión de las señales, siendo su labor de filtrado importante para garantizar la fiabilidad del sistema.

Su principal característica debe ser la de preservar la información de interés de las señales de entrada, amplificando y otorgando la forma apropiada a las señales de salida, dependiendo del tipo de medida que se quiera realizar, pudiéndose tratar de amplificadores de espectroscopia, en los que la amplitud del pulso es proporcional a la energía que se pretende medir, o de amplificadores rápidos en los que lo importante es preservar el tiempo de subida de la señal para garantizar la precisión de las medidas temporales.

En muchas etapas de preamplificación se utilizan también sistemas de discriminación, que responden con salidas lógicas a aquellas señales de entrada cuya amplitud supera ciertos valores umbrales, y que se utilizarán posteriores en etapas digitales.

En definitiva, la misión de estos módulos que componen habitualmente los módulos de electrónica frontal es la de acondicionar la señal, proporcionando la calidad necesaria y preservando a su vez la información procedente del detector para que las señales sean procesadas por los módulos electrónicos posteriores.

### **3.2.2 Electrónica de Procesado de Datos.**

Una vez que la etapa de entrada ha acondicionado las señales a los niveles y rapidez que se necesitan, nos encontramos con la electrónica de procesado de datos, cuya función y características dependen en gran medida del experimento en cuestión para el que se emplee.

Bien es cierto que las funciones que se necesitan suelen ser comunes en muchos casos, y por ello mismo se han desarrollado una serie de módulos básicos generales, que permiten su interconexión y su reutilización en distintos experimentos. Estos módulos están basados en distintos estándares que definen sus características tanto mecánicas: dimensiones, tipo de conectores, posición de los mismos, etc., como eléctricas: tensiones de alimentación, niveles de tensión o corriente, rapidez de las señales, etc. Estos estándares han facilitado la compatibilidad de sistemas entre distintos laboratorios y la relativa facilidad de montaje de sistemas de medida para aplicaciones comunes sin requerir un conocimiento detallado de la electrónica a nivel de diseño de circuitos.

Existen diversos estándares que se utilizan en instrumentación nuclear, como por ejemplo el estándar NIM, orientado a la construcción de los distintos sistemas electrónicos, o los estándares CAMAC y FASTBUS, orientados a la interconexión de los módulos NIM con los sistemas basados en computadoras. En la actualidad los sistemas de adquisición de datos controlados por computadoras suelen utilizar los estándares GPIB (IEEE Std. 488.1), Multibus, VME, etc.

El estándar NIM (Nuclear Instrument Module) comprende tanto medidas mecánicas que deben cumplir los módulos (22.225 cm x 3.43 cm) para poder encajarse en unos chasis que disponen de un panel de interconexión que suministra unas tensiones prefijadas a los distintos módulos a través de unos conectores específicos. De esta forma se asegura la compatibilidad de un módulo con cualquier chasis NIM. En lo referente a las señales lógicas se han estandarizado dos tipos de señales: la lógica positiva lenta para señales que acepten tiempos de subida del orden de cientos de nanosegundos y distancias cortas y la lógica negativa, llamada normalmente lógica NIM, que emplea señales de tiempos de subida de nanosegundos, con terminaciones de  $50 \Omega$  y niveles de tensión equivalentes de 0V y  $-0.8V$  para 0 y 1 respectivamente.

En electrónica nuclear y de altas energías son también muy utilizadas otras dos familias lógicas, la TTL (Transistor-Transistor Logic) que es una familia de lógica positiva cuyos niveles se especifican en la tabla 3.1 y la lógica ECL (Emitter-Coupled Logic) que es una lógica diferencial lo que la hace bastante rápida e inmune al ruido con unas impedancias de entrada de  $100 \Omega$ .

	TTL	ECL	NIM Fast-negative
Logic 1	2-5V	-1.75V	-0.8V
Logic 0	0-0.8V	-0.90V	0V

Tabla 3.1: Niveles lógicos de distintas familias electrónicas.

Basados en estos estándares se han desarrollado una gran cantidad de módulos y combinaciones de los mismos, que permiten ser utilizados sin necesidad de tener conocimientos profundos de los componentes electrónicos a nivel de diseño, únicamente de su funcionalidad [1].

Algunos módulos básicos son los scalers o contadores, que son equipos de recuento que permiten almacenar el número de sucesos de un determinado tipo señalizados por la llegada de un pulso eléctrico, unidades de fan-out, unidades de coincidencia, que entregan un impulso de salida cuando reciben simultáneamente un impulso por cada una de sus varias entradas, líneas de retardo o conversores de tiempo a amplitud que se analizarán a continuación en más detalle.

### 3.2.3 Sistemas de Medición de Tiempos.

La medida de tiempos es una de las tareas fundamentales de los sistemas electrónicos de física nuclear tanto para obtener medidas de vidas medias como de otros parámetros obtenidos a partir de la medida temporal, dependiendo del tipo de detector que se utilice, como por ejemplo, la posición en las cámaras de deriva.

Existen distintas técnicas de medida de tiempos, tanto analógicas como digitales. Todas ellas miden diferencias de tiempos relativas entre una señal de disparo que marca el inicio del intervalo de tiempo a medir, llamada normalmente “disparo” o “start”, y una señal que marca el final del intervalo de medida y que normalmente es la señal procedente del detector “hit” o “stop”.

Los métodos analógicos se basan en los convertidores de tiempo a amplitud (TAC: Time to Amplitude Converters), que son unidades que convierten un intervalo de tiempo entre dos pulsos lógicos en un pulso de salida cuya altura es proporcional a su duración. El módulo más simple es el llamado START-STOP TAC y que se basa en la descarga de un condensador disparada por la llegada de la señal de START y detenida por la señal STOP. La carga total recogida es proporcional a la diferencia temporal entre ambas señales. La figura 3.2 muestra el funcionamiento de este conversor de tiempos.

Otro método alternativo derivado de los circuitos de coincidencia es la técnica de solapamiento temporal. En este esquema, el solapamiento entre dos pulsos anchos de START y STOP determina el intervalo de tiempo durante el cual se va a cargar un condensador. Por tanto el condensador se carga durante el periodo de solapamiento y la altura del pulso resultante es proporcional a la diferencia  $T-t$ , siendo  $T$  el ancho conocido de los pulsos y  $t$  el retardo entre el START y el STOP. Un inconveniente de este método es que no distingue qué pulso llega antes.

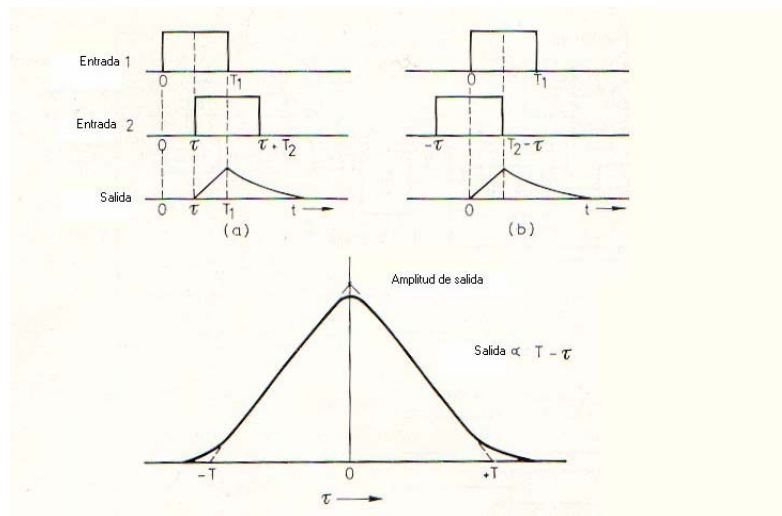


Figura 3.2: Método del solapamiento de intervalos temporales para la conversión tiempo a amplitud.

Dentro de los sistemas de medición de tiempo digitales una de las opciones más simples consiste en utilizar a continuación del TAC un ADC para digitalizar el pulso de salida y obtener así una medida temporal digital. No obstante, existen técnicas de medición digital directa utilizando contadores y osciladores estables que son las que se emplean habitualmente. Generalmente, a todos los sistemas de medición temporal digitales, tanto si emplean TAC's como si no, se les denomina TDC's (Time to Digital Converter).

En este tipo de conversores las señales de START-STOP se pueden utilizar para iniciar y detener el funcionamiento de un contador que se incrementa a una frecuencia estable dada por un reloj u oscilador. Conocida la frecuencia del oscilador la medida temporal entre las dos señales no es más que el producto del período del oscilador por las cuentas obtenidas. Con el fin de evitar tiempos muertos demasiado largos si la señal de STOP no llega, existen distintas técnicas de ventanas temporales que limitan el tiempo máximo de espera, y a continuación reinician el sistema.

La resolución de este tipo de TDC's depende de la frecuencia del reloj utilizado, cuanto mayor sea, mayor la precisión y menor el intervalo de tiempo máximo que se puede medir para el mismo número de bits del contador. En cualquier caso, para una frecuencia dada, ésta resolución puede incrementarse utilizando dos relojes sincronizados en fases opuestas como se puede ver en la figura 3.3.

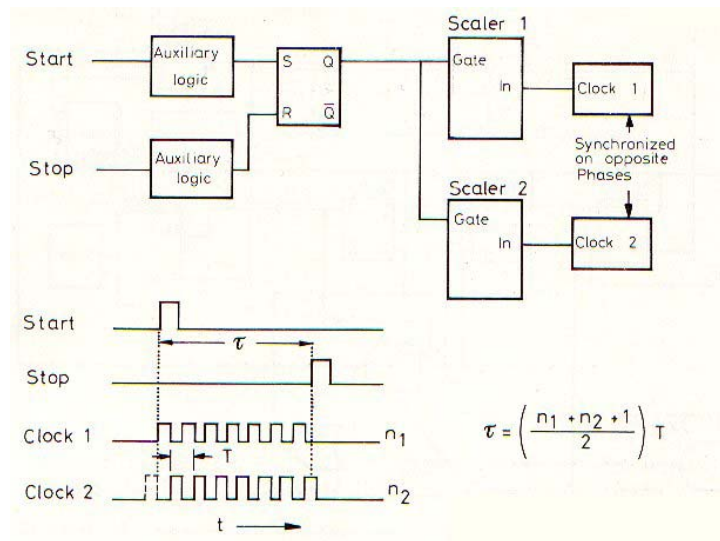


Figura 3.3: Método de dos relojes sincronizados en fases opuestas para doblar la resolución temporal.

Otro sistema de medición de tiempos bastante preciso es la técnica “vernier”, cuyo principio básico consiste en dos osciladores cuyas frecuencias son ligeramente diferentes, uno de los cuales se dispara con la señal de START y el otro con la de STOP. Ambos se detienen cuando sus fases son coincidentes, momento en el cual se cumple:

$$\tau = \frac{n_1}{f_1} - \frac{n_2}{f_2} \quad (3.2)$$

Siendo  $n_1$  y  $n_2$  las cuentas de dos contadores controlados cada uno por un oscilador y  $\Delta t$  la diferencia de tiempos a medir. En el caso de que el intervalo  $\Delta t$  a medir sea menor que el período de los relojes se obtiene  $n_1 = n_2 = n$  y por tanto:

$$\tau = n \left( \frac{1}{f_1} - \frac{1}{f_2} \right) = n \frac{\Delta f}{f_1 f_2} \quad (3.3)$$

La máxima resolución viene dada por la diferencia de frecuencias entre los dos relojes.

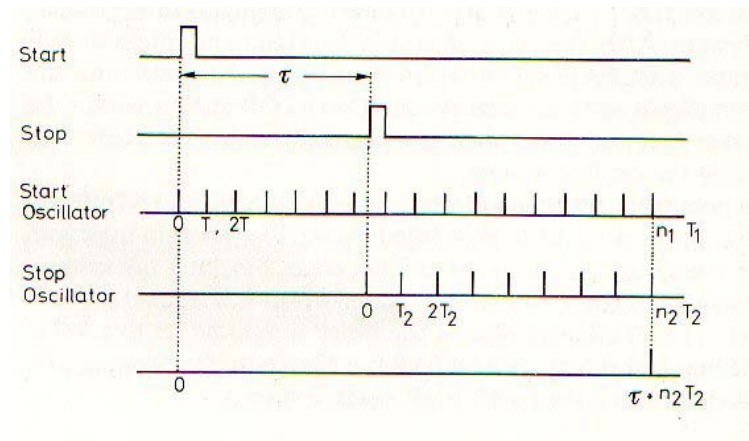


Figura 3.4: Principio básico de operación de un TDC vernier.

Otras técnicas que se utilizan para incrementar la resolución de la medida temporal son las relacionadas con DLL's (Delay Locked Loop). Consisten en una serie de líneas de retardo encadenadas y alimentadas por un reloj de frecuencia "x". Mediante un sistema de realimentación, la cadena de las líneas de retardo realiza una división del período de tiempo del reloj de entrada, obteniéndose así medidas de mayor resolución con un reloj de relativamente baja frecuencia.



## **4 EL PROYECTO CMS: UN EXPERIMENTO DEL LHC.**

### **4.1 EL ACELERADOR DE PARTÍCULAS LHC.**

Desde que fue fundado en 1954, el Centro Europeo de Investigación Nuclear (CERN) situado en Ginebra, Suiza, ha contribuido al desarrollo del conocimiento científico en general mediante el uso de sus aceleradores de partículas, y sobre todo a la Física de Partículas con el desarrollo de colisionadores de haces de alta energía, permitiendo explorar los límites de la materia y las fuerzas que la gobiernan.

Los experimentos más notables han estado asociados al desarrollo de grandes máquinas, como el colisionador protón-protón ISR (Intersecting Storage Rings) en 1971 y el colisionador protón-antiprotón del SPS (Super Proton Synchrotron) que se puso en marcha en 1981 y produjo dos años después las partículas masivas W y Z confirmando la teoría unificada de las fuerzas electromagnética y débil. En 1989 se inauguró el colisionador electrón-positrón LEP, el más grande construido hasta ese momento con un túnel de 26.7 km de perímetro y que ha confirmado el modelo standard mediante estudios de gran precisión de la teoría electrodébil y de las predicciones de la Cromodinámica Cuántica. Uno de los resultados más importantes de los experimentos del LEP ha sido la confirmación de la existencia de únicamente tres familias de quarks y de leptones.

Hasta la actualidad, el modelo estándar es el que mejor describe los resultados experimentales de Física de Partículas. El modelo incluye la teoría unificada electrodébil para la descripción de las interacciones electromagnéticas y débiles, la Cromodinámica Cuántica (QCD) para la descripción de las interacciones fuertes, y el mecanismo de Higgs de ruptura espontánea de simetrías para explicar la masa de los bosones intermedios en las diferentes interacciones y que predice la existencia de un bosón escalar  $H_0$ , llamado bosón de Higgs.

Sin embargo, el hecho de que el bosón de Higgs no haya sido detectado hasta el momento y que el modelo no sea capaz de explicar las masas observadas de las partículas, deja abierta la posibilidad de que el modelo estándar no sea la teoría última que unifique todas las interacciones. Por tanto, es necesario explorar una región de energías más altas que permita la

búsqueda del bosón de Higgs en un amplio intervalo de energías, así como de nuevas partículas, cuya existencia (hasta ahora excluida por los resultados de LEP) está predicha por teorías alternativas al modelo estándar.

A pesar de que la energía del LEP se dobló en 1996 hasta 90 GeV, existen regiones de energía superiores hasta ahora inaccesibles y cuya exploración puede ser esencial para entender algunos de los problemas pendientes del modelo estándar.

Con esa finalidad se está construyendo en la actualidad un nuevo colisionador protón-protón, el LHC (Large Hadron Collider) [4] que alcanzará energías del orden de 10 veces las alcanzadas en el LEP o en el Tevatron de Fermilab (USA).

El LHC se instalará en el mismo túnel que LEP, un anillo de 9 km de diámetro situado en las inmediaciones de la frontera franco-suiza (ver fig. 4.1). El LHC estará emplazado aproximadamente 1 m por encima de LEP, y su concepto de diseño es el mismo, un sincrotrón en el que un haz de partículas es acelerado y mantenido en una órbita circular por electroimanes.

La diferencia con LEP estriba en la naturaleza de los haces que circulan y colisionan en su interior, electrones y positrones en LEP y protones en el LHC. La energía máxima a la que pueden acceder las partículas en un acelerador circular está limitada por la radiación sincrotrón que se genera cuando las partículas cargadas son obligadas, por los campos magnéticos, a curvar su trayectoria. Debido a la mayor masa en reposo de los protones, éstos pueden circular a una energía mucho mayor que los electrones para el mismo radio de curvatura, pudiendo alcanzarse energías de 7 TeV por haz, lo que supone 14 TeV en el centro de masas.

El LHC consiste en dos anillos sincrotrón formados por imanes superconductores operando en helio superfluido a 1,9 K. Debido a que el ritmo de producción de antiprotones es demasiado bajo para alcanzar la luminosidad deseada en el LHC, se decidió utilizar choques protón-protón, lo cual implica que el acelerador debe contener dos estructuras magnéticas para acelerar ambos haces en sentidos opuestos. Debido al reducido espacio del túnel, no se puede disponer de dos estructuras magnéticas separadas, por lo que el LHC estará formado por dos tubos que comparten el mismo criostato, con campos magnéticos invertidos de un tubo con respecto a otro. Las inducciones magnéticas de los imanes superconductores alcanzarán los 8,65 T. Este conjunto de imanes va a ser la estructura superconductora más grande del mundo.



Figura 4.1: Mapa de la zona dónde se emplazará el LHC.

El LHC dispondrá de un complejo sistema de inyectores, basado en los aceleradores ya existentes en el CERN: PS (Proton Synchrotron) y SPS, que inyectarán protones a 450 GeV. Los protones se distribuirán en cada inyección en doce paquetes de  $4 \cdot 10^{13}$  protones cada uno, inyectados secuencialmente en cada uno de los dos anillos del LHC. El resultado será una corriente de 530 mA por haz en la máquina, distribuida en 2835 paquetes, espaciados 25 ns. Se prevé que se producirán aproximadamente 20 interacciones por cruce de haz, es decir, alrededor de  $10^9$  interacciones por segundo.

El número de interacciones por unidad de superficie y de tiempo viene dado por una magnitud llamada luminosidad. Dado que las secciones eficaces de los procesos de interés disminuyen al aumentar la energía en el sistema del centro de masas, para poder ver un número suficiente de sucesos se necesita trabajar a una alta luminosidad. Mientras que la luminosidad de los colisionadores ha sido hasta ahora como máximo  $L = 10^{32} \text{ cm}^{-2} \text{ s}^{-1}$ , en el LHC se alcanzarán valores de  $L = 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ . Este valor de la luminosidad es necesario para mantener un programa tan efectivo como el que había en el LEP.

Otra de las características del LHC es que también podrán colisionar haces de iones pesados, como plomo, con una energía total de colisión de 1250 TeV, unas 30 veces mayor que la del RHIC (Relativistic Heavy Ion Collider) que se está construyendo en el Laboratorio Brookhaven de USA.

A lo largo del perímetro del LHC se distribuirán hasta 4 detectores situados en los puntos de alta luminosidad de cruce del haz (ver fig. 4.2). Los detectores de propósito más general, diseñados para el estudio de las colisiones protón-protón son ATLAS (A Toroidal LHC AparatuS) y CMS (Compact Muon Solenoid) situados en los puntos 1 y 5 respectivamente. Junto a ellos están ALICE (A Large Ion Collider Experiment), enfocado al estudio de las colisiones de iones pesados de plomo y LHCb, dedicado al estudio de la física de los quarks b.

Se espera que el LHC y sus experimentos asociados entren en funcionamiento en el 2007.

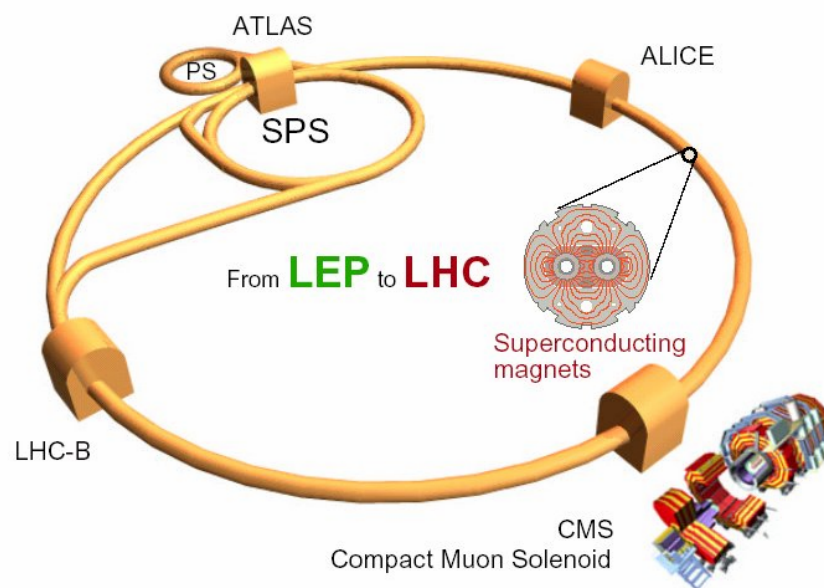


Figura 4.2: Diagrama del anillo LHC y el emplazamiento de los cuatro detectores principales.

## **4.2 EL DETECTOR CMS.**

Los principales objetivos sobre los que se basa el diseño del detector CMS son los siguientes [3]:

- Un sistema de detección de trazas de altas prestaciones, capaz de reconstruir muones de alto momento transversal y electrones a altas luminosidades.
- El mejor calorímetro electromagnético posible.
- Un calorímetro hadrónico lo más hermético posible.
- Un coste total del detector inferior a los 475 millones de francos suizos.

En la construcción de éste detector participan 36 países, 159 instituciones y un total de 1940 científicos e ingenieros de todo el mundo.

Con el objetivo de optimizar en primer lugar el sistema de detección de muones, CMS se basa en un gran solenoide superconductor [6] de unos 3 metros de radio y 13 m de longitud que genera un campo magnético de 4 T, garantizando así una buena resolución del momento de los muones que curvarán su trayectoria bajo el campo magnético. El solenoide está rodeado de una gran estructura de hierro de 1.8 metros de espesor que aloja el sistema de detección de muones y permite el retorno del flujo magnético, así como impide el paso de toda partícula que no sea un muón o un neutrino, aunque la mayoría de las partículas ya se han detenido en los subdetectores internos. En el interior del solenoide se sitúan el resto de los subdetectores organizados en capas alrededor del tubo de vacío por el que circulan los haces, tal y como puede verse en la vista tridimensional de la figura 4.3.

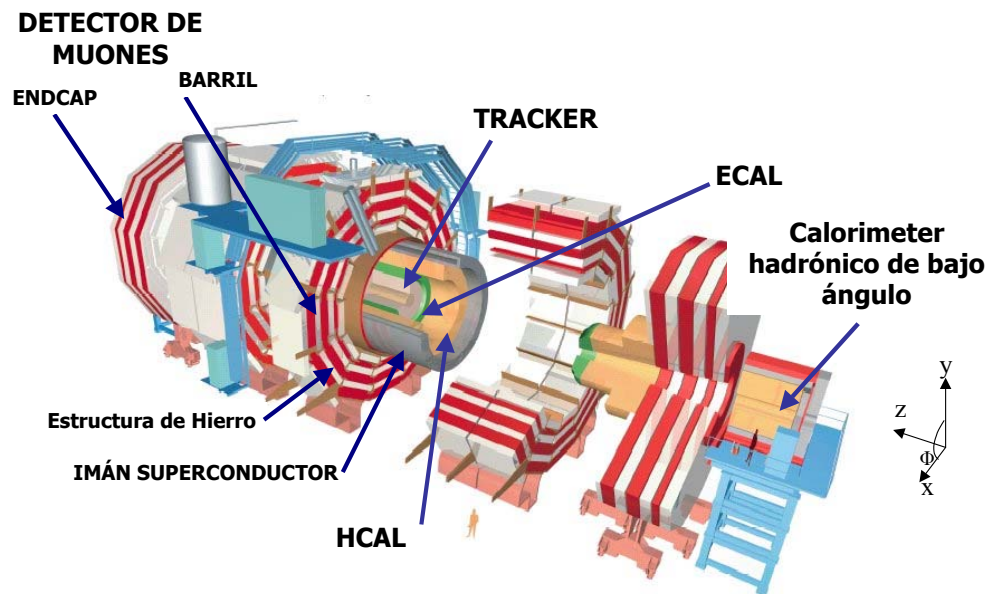


Figura 4.3: Representación tridimensional del detector CMS y sus subdetectores.

En primer lugar se encuentra el tracker [7], que es el detector más interno, y que permite la reconstrucción de muones de gran momento  $p_T$  y de otras partículas cargadas. Debe ser lo más ligero posible para minimizar así el número de interacciones secundarias.

A continuación se sitúa el calorímetro electromagnético (ECAL) [9], con el que se pretenden realizar medidas precisas de electrones y fotones, y junto con el calorímetro hadrónico, de jets. Este último, (HCAL) [8] absorbe los hadrones y es capaz de medir su energía, jugando un papel importante en la física del top, estudios de jets QCD y otros procesos tales como la desintegración del Higgs supersimétrico.

Con el fin de cubrir todos los ángulos posibles en torno al punto de interacción, se dispone también de un calorímetro de bajo ángulo situado en los extremos del detector, aumentando así la hermeticidad del mismo.

Por su parte, el detector de muones [5] está formado por cuatro capas concéntricas en torno al eje del haz (barril) y unos discos perpendiculares al haz en los extremos del detector (endcap). En la región del barril se utilizan dos tipos de detectores de muones: cámaras RPC (Resistive Plate Chambers), que proporcionan una medida temporal muy rápida y precisa, y cámaras de deriva (DT: drift tube chambers), que miden la posición de las trayectorias con gran precisión y son aptas para trabajar en una zona de relativo bajo campo magnético como es el

barril. Debido al intenso campo magnético en los extremos del detector y a la elevada tasa de partículas cargadas, en los endcap se utilizan cámaras CSC's (Cathode Strip Chamber) en conjunción con las RPC's.

Debido a la diferente respuesta a los distintos tipos de señales de fondo de las DT's y CSC's frente a las RPC's, la conjunción de ambas en el sistema de muones proporciona un sistema de disparo mucho más eficiente, combinando así la alta capacidad de respuesta temporal y espacial de los distintos detectores y garantizando un sistema redundante y robusto.

En la siguiente figura 4.4 se observan las trazas de distintos tipos de partículas generadas en el punto de impacto y su paso por un corte transversal del detector en el que se observan los distintos subdetectores que componen CMS.

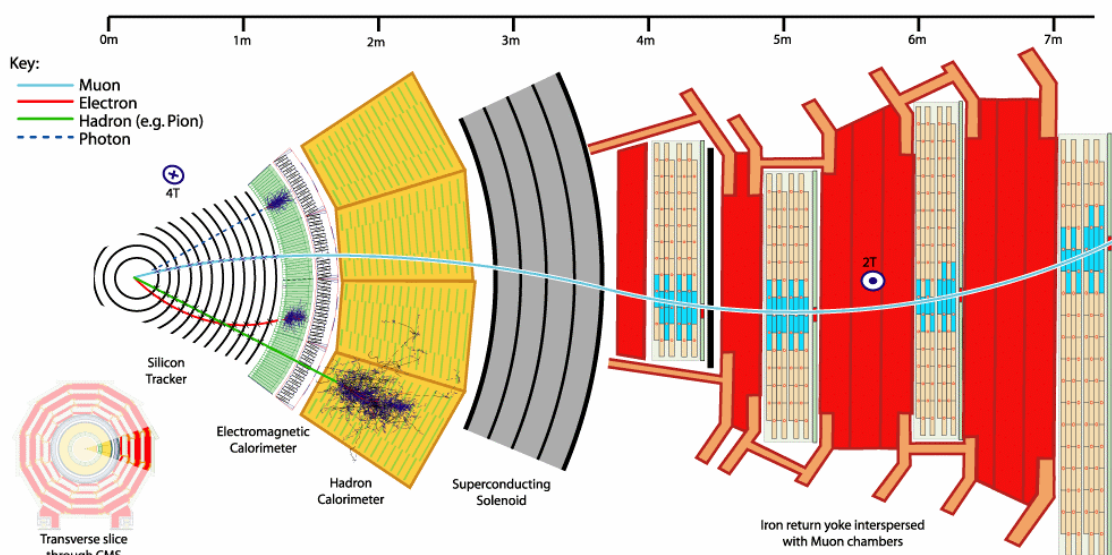


Figura 4.4: Corte transversal del detector CMS y representación de las trazas de distintos tipos de partículas generadas en el punto de interacción.

#### 4.2.1 Las Cámaras de Deriva DT.

El barril del detector CMS está subdividido en cinco secciones cilíndricas o ruedas de unos 2.5 m de grosor del hierro de retorno del imán. Las cámaras de deriva se distribuyen intercaladas en cuatro estaciones concéntricas respecto al haz de protones. Las estaciones se

denominan MB1 (la más interna), MB2, MB3 y MB4 (la más externa). A su vez cada estación está dividida en 12 sectores. En total hay 250 cámaras de deriva en la región del barril.

El elemento básico que constituye la cámara de deriva es la celda de deriva, que es una estructura alargada delimitada por dos vigas de aluminio, que actúan como cátodos, conectadas a un potencial de unos -2400 voltios, y por cuyo centro discurre un hilo que hace de ánodo (aproximadamente +3600 V). En la parte superior e inferior de las celdas existen unos electrodos de tiras de cobre que actúan como formadores de campo conectadas a +1800 V y que crean un campo eléctrico uniforme y constante [5]. Esta estructura (fig. 4.5) se repite a lo largo de un plano, dando lugar a cada una de las capas de una cámara. A su vez estas capas se unen desplazadas entre sí una distancia igual a la mitad de una celda.

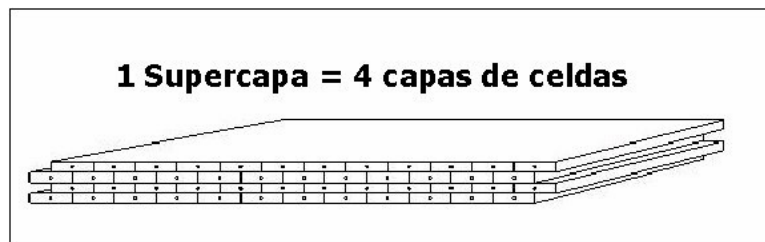


Figura 4.5: Representación de una supercapa de la cámara de deriva.

Cuatro de estas capas paralelas forman una supercapa, y tres supercapas dan lugar a una cámara de deriva completa. Las supercapas pueden medir la coordenada perpendicular a la dirección del hilo, por lo que se disponen en el detector de forma que las dos supercapas más externas miden la coordenada  $\Phi$  del muón, en el plano de curvatura, y tienen por tanto sus hilos paralelos al eje del haz, y la supercapa interna mide la coordenada  $\theta$ , con sus hilos perpendiculares al haz.

La rigidez de cada cámara está garantizada por una estructura en nido de abeja (honeycomb) a la que se unen las supercapas. Debido a su estructura hexagonal de aluminio, el honeycomb proporciona una gran rigidez evitando deformaciones de las supercapas, sin incrementar en exceso el peso de la cámara. Un perfil en uno de sus laterales con forma de C alberga la electrónica de lectura de las cámaras.





Figura 4.6: Imagen de una cámara de deriva completa.

El interior de las celdas contiene una mezcla de gas de Ar/CO<sub>2</sub> 85/15, que se ioniza al paso de una partícula cargada como por ejemplo un muón. Por efecto del campo eléctrico creado en el interior de la celda, los electrones generados se desplazan a una velocidad aproximadamente constante siguiendo las líneas del campo hacia el ánodo de la celda, y una vez amplificados por la avalancha producida en el intenso campo eléctrico en la proximidad del hilo, se transmiten como pulsos eléctricos hasta las etapas preamplificadoras a las que están conectados.

De esta forma, midiendo el tiempo que tarda en llegar cada señal al hilo con respecto a una referencia fija (disparo) se puede obtener una medida precisa de la posición por la que pasó la partícula cargada.

La velocidad media de deriva de una celda es de 55  $\mu\text{m}/\text{ns}$ , siendo el ancho de una celda de 4,5 cm, por lo que el tiempo máximo de deriva es de unos 400 ns. La resolución que se espera de las cámaras de deriva es de 100  $\mu\text{m}$  en la medida de la posición  $\Phi$  de la partícula y 150  $\mu\text{m}$  en la medida de la posición  $\theta$ , resultando 300  $\mu\text{m}$  de resolución por cable. Esto equivale a una resolución temporal de 5 ns, por lo que el sistema digitalizador que se utilice a continuación debe proporcionar medidas temporales con una resolución suficiente para no deterioran la información temporal proporcionada por la cámara, es decir inferior a 1 ns.

En la figura 4.7 se puede ver un esquema de una traza de un muón en una supercapa de una cámara de deriva. Cada traza producirá una señal en cada una de las cuatro celdas que atraviesa. Estas señales tendrán una distribución temporal como se indica en el esquema,

codificando así la posición espacial del muón, sin más que dividir por la velocidad de deriva de la cámara que se supone constante en todo el volumen de la celda.

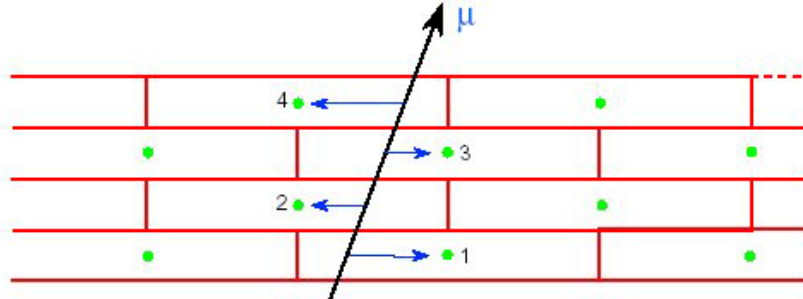


Figura 4.7: Representación de la traza de un muón atravesando una supercapa de una cámara de deriva.

El funcionamiento del sistema será precisamente el contrario, se reciben cuatro señales con ciertos valores temporales, que correspondan a conjuntos de celdas como los representados en la figura, y a partir de ellos se comprueba si esos valores de tiempo, traducidos a posiciones, están alineados y pueden proceder de la traza de un muón. Para el estudio de esta alineación se utilizan una serie de algoritmos implementados en la lógica del disparo de muones y basados en la técnica de los *meantimers* [5] y [13].

#### 4.2.2 La Electrónica de Front-End.

La electrónica de front-end del detector de muones del barril debe satisfacer una serie de requisitos bastante restrictivos. Su misión consiste en amplificar las señales procedentes de los ánodos de las cámaras, compararlas rápidamente con un valor umbral, y enviar el resultado en forma de señal lógica a las cadenas de disparo y de lectura a través de cables de par trenzado.

La parte analógica (el amplificador) debe caracterizarse por un bajo ruido para permitir la operación de las cámaras de deriva en baja ganancia, lo que es recomendable por razones de fiabilidad y de tiempo de vida de las cámaras, y al mismo tiempo debe tener un tiempo de subida muy rápido para evitar la degradación de la resolución espacial.

El comparador debe ser rápido y preciso, con el fin de tener tiempos de respuesta independientes de la amplitud de las señales y para mantener una buena uniformidad entre

canales, especialmente en valores de umbrales bajos que es dónde se supone que va a trabajar. Además debe tener la posibilidad de enmascarar canales individuales, para evitar así los canales ruidosos que degradan el rendimiento total del sistema.

Todo esto debe cumplirse teniendo en cuenta las limitaciones de espacio, de consumo de potencia y de un coste asequible.

Las tarjetas de front-end se han desarrollado en torno a un ASIC llamado MAD [14], fabricado en tecnología CMOS de 0.8  $\mu\text{m}$ . Cada uno de estos chips recibe señales de 4 celdas.

Las tarjetas están situadas dentro del volumen de las cámaras proporcionando al exterior unas señales LVDS a través de una cinta plana de paso fino cada una de 16 canales.

### 4.2.3 El Sistema de Adquisición de Datos.

El sistema de lectura de los distintos detectores sigue un orden ascendente de multiplexación de datos para la integración de los distintos canales en un paquete único de datos que será almacenado en unidades de alta capacidad (ej. Cintas) para permitir su posterior análisis off-line [15].

CMS se caracteriza por ser un detector con una elevada tasa de sucesos y a la vez un gran volumen de datos como se puede ver en la figura 4.8.

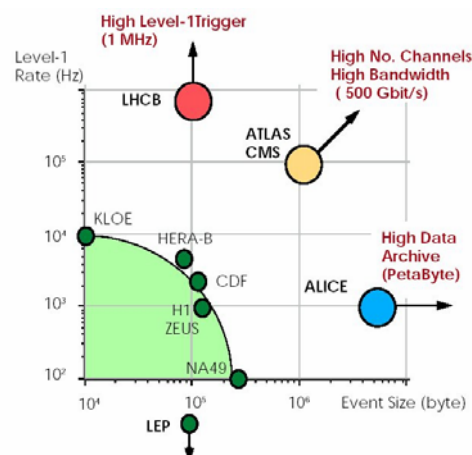


Figura 4.8: Representación de la tasa de sucesos frente al tamaño del paquete de datos en distintos detectores.

En la figura 4.9 se puede ver un esquema la tasa de sucesos y el tamaño del paquete de datos que se espera en cada nivel del detector CMS:

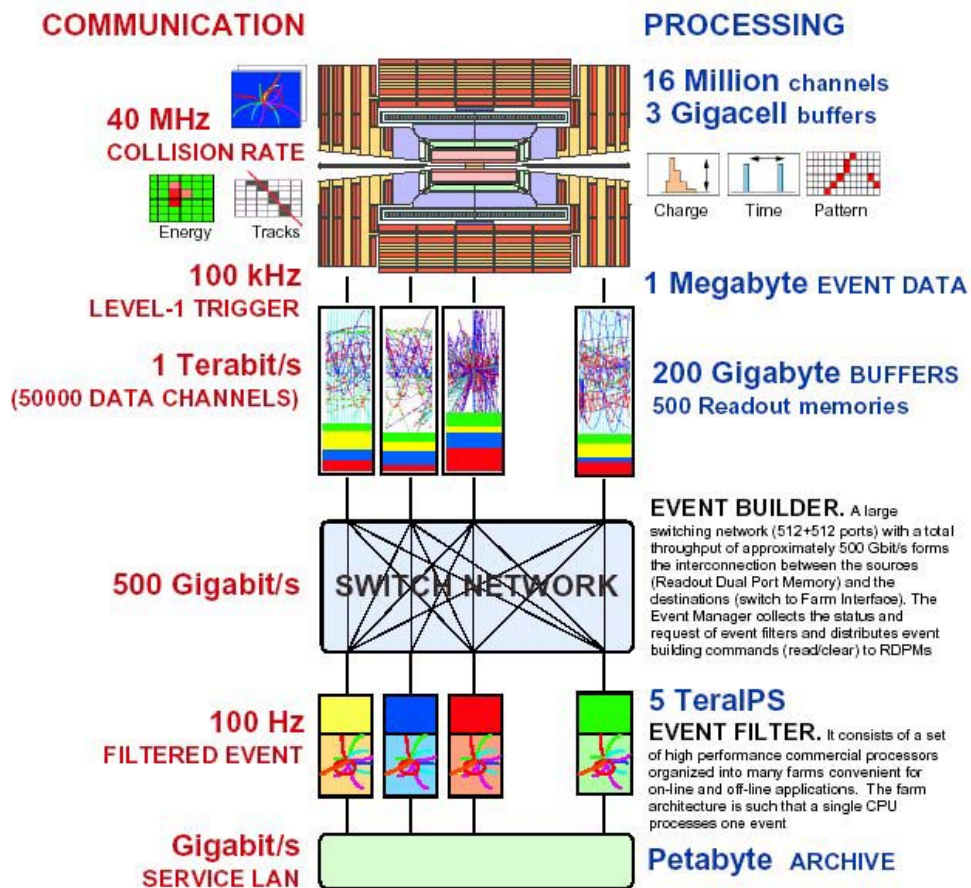


Figura 4.9: Esquema de la tasa de sucesos y del tamaño de las memorias en cada nivel de la cadena de adquisición de datos del detector CMS.

Dentro de estos sistemas de adquisición, el de las cámaras de muones se divide en cuatro etapas claramente diferenciadas como puede verse en la figura 4.10. En primer lugar se encuentran las tarjetas digitalizadoras, objeto de este proyecto, que son un total de 1500 tarjetas, y por tanto un total de 1500 enlaces de cobre a 240 Mbps situadas en el interior del detector. Estos enlaces unidireccionales se comunican con las tarjetas Read Out Server (ROS) que se sitúan en unas torres en los laterales del detector, y que realizan la multiplexación de los distintos canales procedentes de las ROB, integrando un sector de cada rueda del barril en un mismo enlace. En total se tendrán 60 enlaces de 100 m de fibra óptica a 800 Mbps que se dirigirán a la sala de control subterránea dónde se alojan los cinco módulos DDU, cada uno con

12 enlaces de entrada (Device Depend Unit). Estos módulos proceden a una nueva multiplexación de datos hasta obtener cinco únicos enlaces que se dirigen directamente al sistema de almacenamiento de datos del DAQ [3].

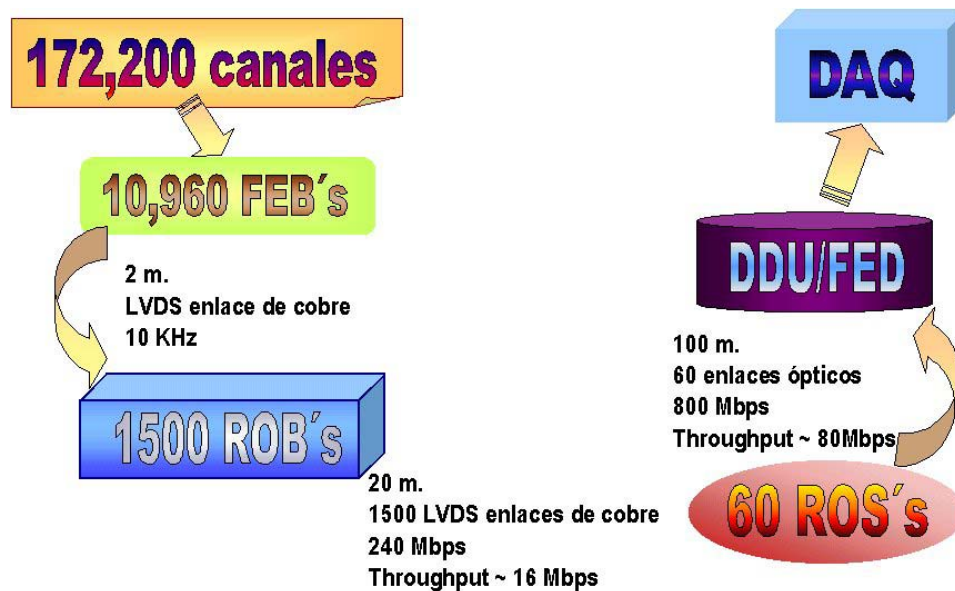


Figura 4.10: Cadena de adquisición de datos en el subdetector de muones.

#### 4.2.4 El Sistema de Disparo.

Dada la luminosidad del LHC, se espera que en cada cruce de haces, que tienen lugar cada 25 ns, se produzcan aproximadamente 20 interacciones, lo que generaría unos  $10^9$  sucesos por segundo que sería necesario procesar. Esta tasa de sucesos debe ser reducida en un factor  $10^7$  hasta 100 Hz, que es el límite máximo para el ancho de banda del dispositivo de almacenamiento masivo que se utilice finalmente para el análisis off-line (por ejemplo, cintas). Considerando que el tamaño medio de un suceso son aproximadamente 1 Mbyte, se espera un almacenamiento de datos en torno a 1 TeraByte/día [16].

La disminución de la tasa de sucesos se realiza en diversas etapas, existiendo un disparo de primer nivel (L1A: Level 1 Accept) que reduce hasta una tasa de 30 KHz (100 KHz máximos), y a continuación una serie de varios niveles de disparos que continúan filtrando la cantidad de datos recibidos hasta una frecuencia de 100 Hz.

Los requisitos del primer nivel de disparo consisten en combinar la información de disparo procedente del calorímetro y del sistema de disparo de muones y distribuir la decisión de si se acepta el suceso o no a todos los detectores [17]. Debido al tipo de sucesos que se buscan y a la gran tasa de sucesos que tienen lugar, es preciso combinar la información de los dos subdetectores para determinar la validez del suceso, ya que generalmente no se puede decidir si el suceso es de interés únicamente con la información obtenida con el disparo de muones o con el calorímetro individualmente.

El sistema de disparo de muones tiene como misión identificar la presencia de muones, ser capaz de medir su momento transversal  $p_T$  y determinar el cruce de haces del que provienen. Para ello se utiliza la información obtenida de los tres tipos de detectores de muones que se utilizan en CMS: las cámaras RPC's, las cámaras CSC's y las cámaras de deriva DT's [5].

Las cámaras RPC's son detectores destinados a la generación del disparo dada su excelente resolución temporal ( $\sigma = 3$  ns), que les permite determinar sin ambigüedad el cruce de haces del que proviene la partícula. También pueden realizar medidas del momento del muón hasta energías de 50 GeV mediante la comparación con patrones predefinidos en la unidad PACT (Pattern Comparator Trigger).

Las cámaras de deriva y las CSC's proporcionan una medida más precisa del momento de muones de hasta 100 GeV. Las cámaras de deriva utilizan un mecanismo denominado método del *meantimer* [13] para determinar si las señales obtenidas en las cuatro capas de una supercapa provienen de la traza de un muón. Para ello, las medidas de los tiempos de deriva deben verificar un sistema de ecuaciones lineales que se resuelve mediante unos registros de desplazamiento en los circuitos BTI (Bunch and Track Identifier). Los resultados de las dos supercapas  $\Phi$  se combinan en el Correlator (TRACO) y junto a los resultados de la supercapa Z se envían a través del servidor de disparo de muones al Track Finder.

El Track Finder combina los vectores recibidos de las DT's y del Local Charged Track (LCT) de las CSC's, y junto con la información del PACT se envían trazas completas con información del momento transversal al sistema Global de Disparo. Un esquema de este sistema puede verse en la figura 4.11.



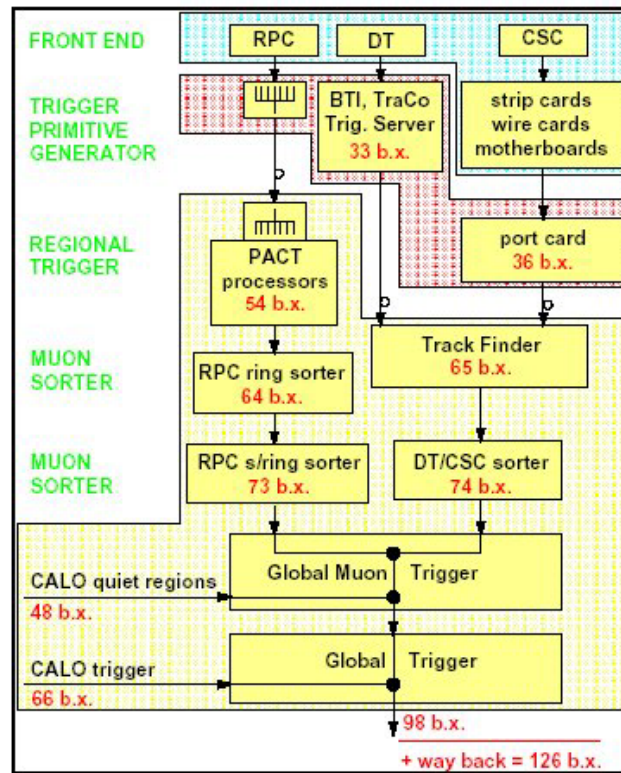


Figura 4.11: Esquema funcional del disparo de muones de CMS.

Dado que los cruces de haces tienen lugar en el LHC cada 25 ns, el sistema de disparo debe ser capaz de proporcionar una decisión de la validez del suceso en cada cruce. Estos 25 ns no son suficientes para poder tomar una decisión de disparo global recogiendo la información de los distintos sistemas, por lo que el disparo de primer nivel funciona un modo de pipeline, proporcionando una decisión cada 25 ns, pero con un retardo con respecto al instante en el que tuvo lugar el cruce de haces de hasta 3,2  $\mu$ s, que es lo que se denomina la latencia del disparo. La decisión tomada por este primer nivel global de disparo sirve para inicializar la cadena de lectura en los distintos detectores, que deben poder almacenar las señales recibidas de los detectores un tiempo igual a la latencia del disparo y poder asignar correctamente las señales obtenidas del detector con el cruce de haces al que corresponden.

Debe existir por tanto un sistema global de transmisión de la señal de disparo procedente del primer nivel a todo el detector, que contemple los retardos debidos a la propagación de las señales y el tiempo de vuelo de las partículas y distribuya identificadores de cruce de haz y de número de suceso sincronizados correctamente a cada una de las decisiones de disparo. Este sistema se denomina TTC (Timing, Disparo and Control) [18], y es un sistema que

funciona por fibra óptica con un láser a 1310 nm. Además de la información del disparo y de los identificadores de contadores de cruce de haces distribuye el reloj global de 40.08 MHz del LHC y diversos comandos de control codificados en la señal de reloj.

Los siguientes niveles de disparo tienen que garantizar una tasa final de 100 Hz, pero su división es más flexible, ya que están contruidos en torno a una granja de procesadores comerciales llamada Event Filter Farm [16], que procesa la información almacenada en unos 1000 búfferes procedentes de la cadena de adquisición de datos (DAQ).

El esquema global del sistema de disparo puede verse en la siguiente figura 4.12.

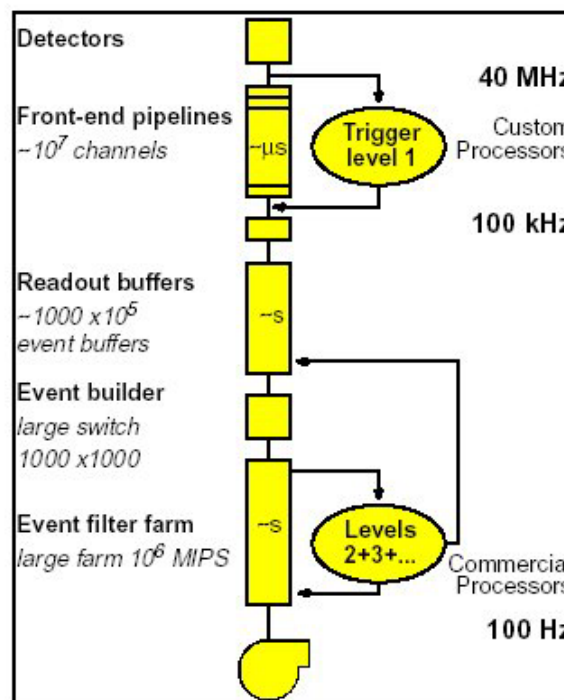


Figura 4.12: Diagrama del sistema de disparo.



## **5 DISEÑO DEL SISTEMA DE ADQUISICIÓN DE DATOS.**

### **5.1 ANÁLISIS DE REQUISITOS.**

Una vez se han descrito las características básicas de los detectores de partículas y su instrumentación asociada, y se ha realizado una breve introducción al inmenso y complejo sistema que es el detector CMS, se pasa a realizar un análisis de los requisitos y de las condiciones de operación que establecerán la base del diseño de la tarjeta de adquisición de datos.

En un experimento como el que se ha descrito la electrónica a desarrollar difiere del concepto de diseño de hardware comercial y debe amoldarse a las restricciones impuestas, siendo tanto mecánicamente, como funcionalmente una tarjeta dedicada al detector en cuestión, no considerándose en principio un uso más amplio de ella para otras aplicaciones.

La funcionalidad básica para la que debe diseñarse el presente sistema de adquisición de datos es la digitalización temporal de las señales procedentes de las cámaras de deriva. Esta medida temporal, que ha de tener una resolución adecuada, deberá ser relativa a la señal global de disparo recibida para poder realizar con ellas la reconstrucción de las trazas de muones.

Se está tratando de un sistema que debe procesar las señales de los 172.200 canales procedentes de las 250 cámaras del detector de muones del barril, y que se localizará en unas cajas de aluminio, llamadas minicrates, que estarán adosadas al perfil de las cámaras de muones, en el interior del detector CMS. El minicrate contendrá, además de las tarjetas de adquisición de datos que se diseñen, las tarjetas del disparo de muones (TRB's), con las que se comunicará para transmitirles las señales procedentes de las cámaras de muones.

Junto con las tarjetas de adquisición de datos y las del disparo de muones (TRB's) en los minicrates se aloja también una tarjeta de control (CCB) que es la que distribuye el reloj, el disparo y los comandos procedentes del TTC y del Sistema de Control (Slow Control) a todo el

minicrate. Las tarjetas de adquisición de datos deberán conectarse a través de un bus (ROBUS) a la CCB.

Por otro lado, el minicrate tiene unas dimensiones predeterminadas, lo que determina también el tamaño máximo permitido para la tarjeta que se desarrolle, que no puede tener más de 10 cm de altura, ya que el perfil en el que se aloja es uno de los laterales del honeycomb y por tanto la separación está dada por el ancho del honeycomb (12,8 cm) que separa las dos supercapas.

En la siguiente imagen 5.1 puede verse la localización espacial de la electrónica de adquisición de datos dentro del detector CMS.

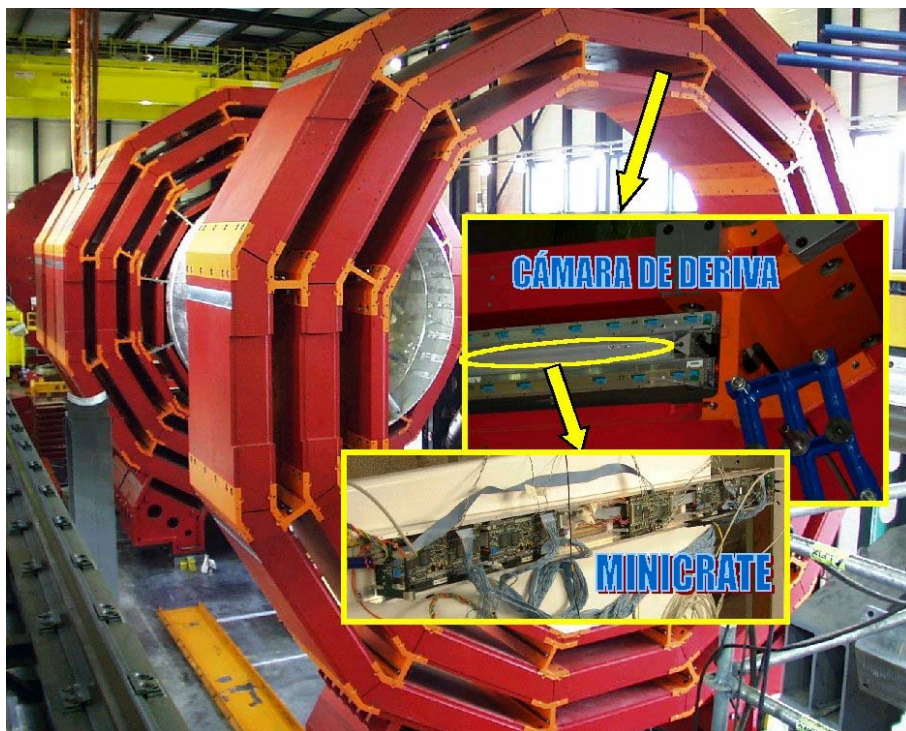


Figura 5.1: Imagen de la localización del minicrate y de la cámara de deriva en una rueda del detector CMS.

Así mismo en la fotografía 5.2 se puede observar el aspecto de un prototipo del minicrate en fase de montaje.

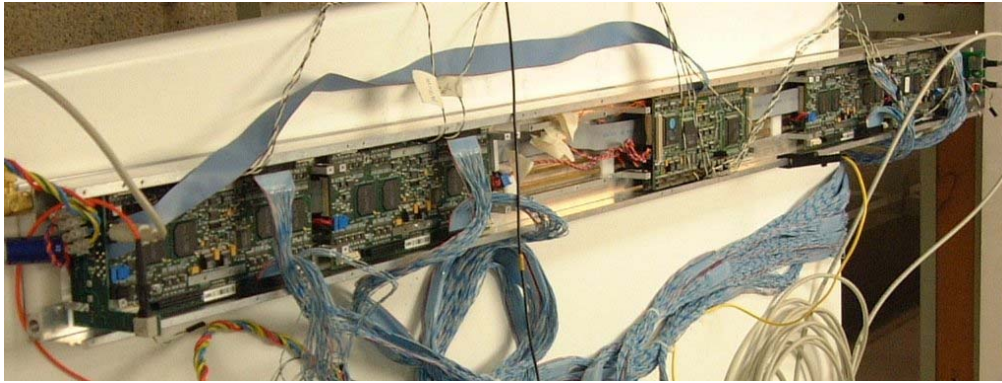


Figura 5.2: Imagen de un prototipo del minirate en el que se han montado las ROB's.

La tarjeta de adquisición de datos, que se llamará Read-Out Board (ROB), se conecta por un lado a las señales provenientes de la electrónica de front-end que se encuentra situada en el interior de las cámaras y por otro lado a las tarjetas Read-Out Server, localizadas en unos chasis en la periferia del detector a una distancia aproximada de 20 metros.

Las señales procedentes de las cámaras de muones (hits) son señales diferenciales LVDS que recorren una distancia media de unos 2 metros desde las cámaras de deriva hasta los conectores de las ROB's. Estos hits deben ser transmitidos desde las ROB's a la lógica del disparo de las TRB's situadas encima de ellas.

El sistema de medición de tiempos que se utilice debe tener una resolución mejor que 1ns, y debe ser capaz de procesar una tasa de disparos de hasta 100 KHz. La tasa de hits esperada en las cámaras de muones es de aproximadamente 50 KHz, pero para garantizar una cierta inmunidad al ruido, sería conveniente que el sistema fuera capaz de soportar tasas de cientos de KHz.

El sistema de medición de tiempos debe tener una ventana temporal superior a 400 ns para detectar todas las señales que puedan producirse en cada suceso independientemente del punto por el que el muón atraviese la celda. Pero además, dado que la frecuencia de cruce de haces es de 25 ns, valor bastante inferior al tiempo máximo de deriva, es probable que se produzca solapamiento de disparos, y que antes de que se haya procesado un suceso completo se obtengan señales del suceso siguiente.

Además, debido a que la latencia del disparo es  $3,2 \mu\text{s}$ , el sistema de medición de tiempos debe almacenar los hits recibidos y  $3.2 \mu\text{s}$  más tarde recoger aquellos que entren dentro de los  $400 \text{ ns}$  de ventana temporal y asignarlos al disparo correspondiente.

Por tanto, en un mismo suceso se tendrán señales procedentes de muones de colisiones distintas, y será necesario desentrañar posteriormente estos datos. Por ello, lo que es importante tener en cuenta desde el punto de vista del diseño del sistema de adquisición de datos es que no se pueden borrar todos los hits una vez se han asignado a un disparo, pues puede que  $25 \text{ ns}$  después se reciba otro disparo cuya ventana temporal se solapará con la del disparo anterior, y por tanto se le deben asignar los hits que correspondan a su ventana, que en muchos casos serán los mismos que ya se han asignado. En la figura 5.3 se puede ver una representación de este sistema de ventanas temporales que ayuda a clarificar el concepto de solapamiento de disparos.

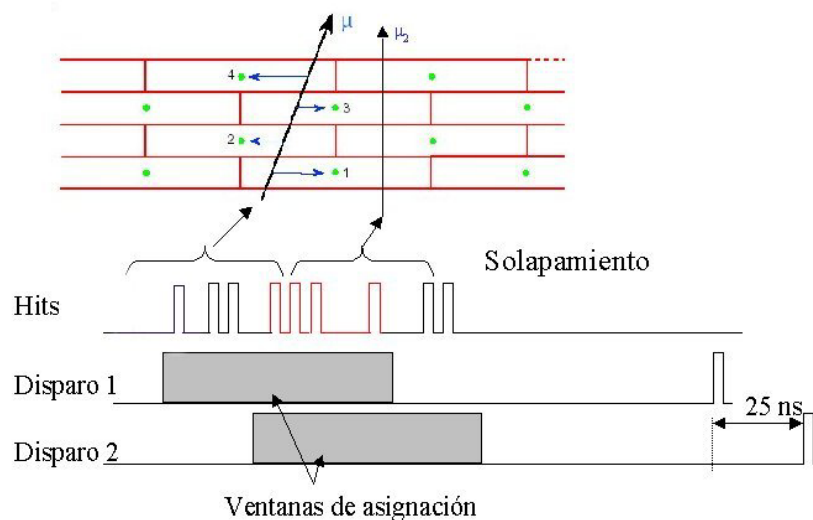


Figura 5.3: Diagrama temporal en el que se ha producido el solapamiento de dos disparos.

Por otro lado, las condiciones medioambientales que se esperan en la caverna en la que se alojará el detector CMS imponen también una serie de restricciones a la electrónica que se va a desarrollar para este experimento [5]. Por un lado deben cumplirse ciertas normas de seguridad asociadas al entorno cerrado en el que va a operar el detector, que será emplazado en una caverna a  $100 \text{ metros}$  de la superficie, y por otro lado debe garantizarse el correcto funcionamiento de los equipos empleados en situaciones de elevados campos magnéticos y de elevados niveles de radiación.

Una de las restricciones fundamentales es la utilización de material no inflamable y libre de halógeno, factor que es importante tener en cuenta, por ejemplo, en la selección de los cables que se utilicen. [19]

Por otro lado debe garantizarse la correcta disipación de potencia de la electrónica sin transferir calor al entorno. Para ello se utilizarán sistemas de refrigeración basados en agua desmineralizada a 18 °C, dado que la utilización de ventiladores no resulta adecuada bajo campos magnéticos de aproximadamente 0.08 Teslas en la región del barril. La adecuada disipación de calor es fundamental teniendo en cuenta que la potencia total consumida por el detector CMS se estima en 6 MW, de los cuales, unos 70 KW por el detector de muones. Además, con el fin de minimizar los riesgos de incendios y los consumos desmesurados, los equipos deben estar dotados de sistemas de protección frente a sobrecorrientes.

Por tanto, el consumo por tarjeta debe ser reducido sin sobrepasar la potencia que se disipará mediante refrigeración con el agua que circula por las tuberías del minicrate, y como ya se ha indicado debe tener un sistema de protección frente a cortocircuitos y consumos excesivos que pudieran proceder de Latch-up's debidos a la radiación. Otro aspecto importante a tener en cuenta es que en caso de producirse un fallo en algún componente, éste no debe propagarse y debe afectar a la disfunción de, como máximo, una tarjeta, y no un minicrate completo.

El período de operación estimado para CMS es de al menos 10 años, y en la mayoría de los subdetectores la posibilidad de mantenimiento será escasa. El acceso a las zonas internas del detector será muy restringido, y aunque se ha diseñado un procedimiento de apertura del detector, es importante que los equipos que se instalen sean robustos y fiables. En concreto, el acceso a las tarjetas de adquisición de datos que se van a diseñar requiere la separación de las ruedas del detector para poder introducirse hasta los minicrates dónde están alojadas, tarea que en principio no se prevé realizar, salvo casos excepcionales.

El factor más importante sin duda está relacionado con la radiación ambiente que existirá en la caverna debido a las partículas secundarias y cascadas que se produzcan como consecuencia de la operación del LHC. Por una parte, se inducirá radioactividad en los materiales del detector, siendo éste un efecto acumulativo que dificultará el acceso de personal al interior de la caverna, y por otro lado, todo circuito electrónico que se emplee debe garantizar

su correcto funcionamiento en ambientes con niveles de radiación tales como los que se esperan.

Hay dos mecanismos básicos que inducen radiactividad en los materiales: activación por neutrones de baja energía e interacciones inelásticas hadrónicas de alta energía. Considerando 3 períodos de 60 días de operación con colisiones protón-protón por año, separados 10 días entre sí, junto con 6 semanas de colisiones de iones de plomo, se integra una luminosidad total de aproximadamente  $5 \cdot 10^5 \text{ pb}^{-1}$  durante los 10 años de operación.

Un factor muy importante a tener en cuenta es la tolerancia a la radiación de los dispositivos electrónicos que se empleen. Debido al alto coste de los componentes desarrollados específicamente para ser resistentes a radiación se utilizarán componentes comerciales (COTS: Commercial-Off-The-Shelf) que han de ser previamente probados bajo condiciones similares a las que se encontrarán en el LHC [22]. Existen diversas bases de datos [21] con información de los efectos de la radiación a distintos componentes comerciales, sin embargo, la mayoría de las pruebas se han realizado para sistemas que deben operar en el espacio, y existiendo ciertas diferencias con respecto a la operación en LHC, principalmente debidas a la ausencia de neutrones en el espacio [20].

El impacto de la radiación en los circuitos integrados se presenta de dos formas [23]:

- Efectos de envejecimiento (TID, Total Dose Effects y daños por desplazamiento) crean una variación de las propiedades eléctricas de los dispositivos, lo que resulta en una degradación gradual del funcionamiento del circuito integrado, proporcional a la dosis total recibida.
- SEE (Single Event Effects): son fenómenos aislados que pueden alterar los estados lógicos de los bits almacenados en las memorias (SEU, Single Event Upset), o llegar a ser destructivos y degradar abruptamente el circuito integrado como en el caso de los SEL (Single Event Latch-up) que pueden provocar un consumo tan elevado de corriente que deje inutilizable el componente. Estos efectos son aleatorios y su tasa de sucesos depende de la vulnerabilidad de los componentes electrónicos que se utilicen a la radiación [24].

Los efectos por dosis total (TID) en los CMOS tienen como consecuencia principal el desplazamiento de las tensiones umbrales de los transistores NMOS y PMOS y el aumento de la corriente residual en los transistores NMOS. Esto suele afectar principalmente a la fiabilidad de componentes analógicos. Las tecnologías más antiguas son las más sensibles debido a su mayor anchura del óxido de la puerta. Los daños por desplazamiento afectan principalmente a los componentes bipolares pues influyen en la vida media de los portadores minoritarios y en los CMOS los mayoritarios son los principales responsables del transporte de carga.

Los daños provocados por SEE son los que hay que tener principalmente en cuenta cuando se utilizan componentes CMOS digitales, y es fundamental el diseño de sistemas con circuitos de protección que puedan responder de forma efectiva a los efectos de latch-up para evitar riesgos no sólo de destrucción de los componentes sino también de la seguridad de todo el sistema electrónico. Frente a efectos de tipo SEU la mejor forma de protección cuando se trabaja con componentes que no han sido diseñados específicamente para ser resistentes a radiación, es la comprobación de los bits almacenados en los registros y memorias mediante chequeos de paridad o sistemas redundantes [25] y [26].

La dosis integrada que se espera recibir en 10 años en la zona del detector de muones rondará los 10 Gy, con una fluencia de neutrones de  $10^{10} \text{ cm}^{-2}$  y de hadrones de  $10^8 \text{ cm}^{-2}$  [5]. Por ello hay que seleccionar componentes adecuados y garantizar una tasa de fallos suficientemente baja.

En definitiva debe realizarse un diseño que cumpla con los requisitos impuestos por el experimento CMS, capaz de soportar tanto la radiación, como los intensos campos magnéticos, escaso mantenimiento y una gran capacidad de procesamiento de la información. Para validar el sistema de lectura de datos será necesario realizar diversas pruebas bajo radiación, pruebas simulando haces reales del LHC en el CERN, pruebas de envejecimiento, etc.

A continuación se presenta a modo de resumen una tabla dónde se recogen los distintos parámetros y requisitos que debe cumplir el sistema de adquisición de datos que se diseña.

Número de canales	172200
NIVELES DE RADIACIÓN:	
Flujo de neutrones	$10^{10} \text{ cm}^{-2}$
Flujo de partículas cargadas	$10^8 \text{ cm}^{-2}$
Dosis de ionización total	10 Gy
Campo magnético	0.08 Teslas
Frecuencia de reloj	40.08 MHz
Tasa máxima de hits	cientos KHz
Tasa máxima de disparos	100KHz
Resolución temporal mínima de la tarjeta	1 ns
Latencia del disparo	3.2 $\mu\text{s}$
Ventana de asignación	400 ns
Protección frente a cortocircuitos y consumos excesivos.	
Consumo inferior a:	5 W
Admitir solapamiento de disparos.	

Tabla 5.1: Resumen de los principales requisitos de las tarjetas de adquisición de datos.

## 5.2 EL DIGITALIZADOR DE TIEMPOS HPTDC.

Debido al modo de funcionamiento requerido para el sistema de mediciones temporales, no bastaba con utilizar un TDC de START-STOP común, pues era necesario un dispositivo que permitiera almacenar los hits hasta que se recibe la señal de disparo. Además la asignación de hits a disparos debía ser no destructiva, permaneciendo los hits en memoria hasta que se cumpliera una condición de rechazo determinada.

Por ello se decidió utilizar un digitalizador de tiempos de altas prestaciones que se estaba desarrollando en el laboratorio de microelectrónica del CERN (EP/MIC) pensado particularmente para aplicaciones en los distintos detectores del LHC.

El HPTDC (High Performance Time to Digital Converter) [27] es un ASIC altamente programable fabricado por IBM en tecnología CMOS de 0.25  $\mu\text{m}$ . Tiene una alta densidad de



integración, pudiendo digitalizar señales de hasta 32 canales por chip, lo que lo hace muy adecuado para nuestros sistemas dado el elevado número de canales con el que se trabaja.

En principio está diseñado para trabajar a 40 MHz, pues ha sido diseñado para experimentos del LHC, y por ello también incluye unos contadores del número de suceso (número de disparos) y del cruce de haces (número de ciclos de 25 ns, en cada uno de los cuales se supone que se produce un cruce de haces en el LHC).

Dentro de su gran versatilidad, el HPTDC permite programar los distintos valores de las latencias y ventanas temporales dentro de un amplio rango, siendo también programable la posibilidad de asignar los hits a disparos o leerlos de forma independiente. El modo de lectura del TDC también es configurable, permitiendo interfaces serie o paralelo, con distintos anchos de banda.

La resolución que proporciona en la medida temporal también depende del modo que se elija, existiendo un modo de baja resolución cuya anchura del bin es 0.78125 ns, uno de media resolución (bin = 195 ps) y otro de alta resolución (bin = 98 ps). En el caso de que se requiera más resolución, existe un modo de muy alta resolución que realiza una interpolación de cuatro medidas temporales de un mismo hit y que proporciona resoluciones de hasta 24 ps de bin, pero que reduce el número de canales disponibles a 8 por chip en vez de 32.

Gracias a un sistema de token ring pueden conectarse hasta 16 HPTDC's para compartir un mismo bus de lectura o un enlace serie. La arquitectura de conexión para el protocolo de lectura es bastante flexible, pudiendo utilizarse controladores externos, o bien que uno de los HPTDC's haga las funciones de controlador del anillo.

Aunque el HPTDC no se ha fabricado en una tecnología resistente a radiación, sí ha seguido unas normas de diseño para sistemas tolerantes a radiación, estimándose un correcto funcionamiento para niveles de radiación de hasta 30 Krad de dosis total con un pequeño incremento de la potencia consumida. Para poder detectar SEU's todas las memorias internas y máquinas de estado tienen implementado un sistema de autodiagnóstico que permiten que el propio TDC identifique una disfunción.

El uso del interfaz JTAG para configurar y monitorizar el chip es también un aspecto de gran utilidad por la multitud de funciones que permite realizar mediante el uso de únicamente cuatro líneas de señales.

### 5.2.1 Arquitectura del HPTDC.

La arquitectura general del HPTDC puede verse en la figura 5.4. En ella se observa que la medida temporal se realiza a partir de un DLL (Delay Locked Loop) [29] y un contador de cruce de haces síncrono, ambos alimentados con el mismo reloj procedente de un PLL (Phase Locked Loop) interno. Este PLL puede ser programado para multiplicar el reloj de entrada por 4 u 8 (160 MHz o 320 MHz) proporcionando así los modos de resolución media y alta. En el caso de que se utilice la frecuencia normal de operación el PLL también resulta de gran utilidad para filtrar el jitter que pueda tener el reloj a la entrada.

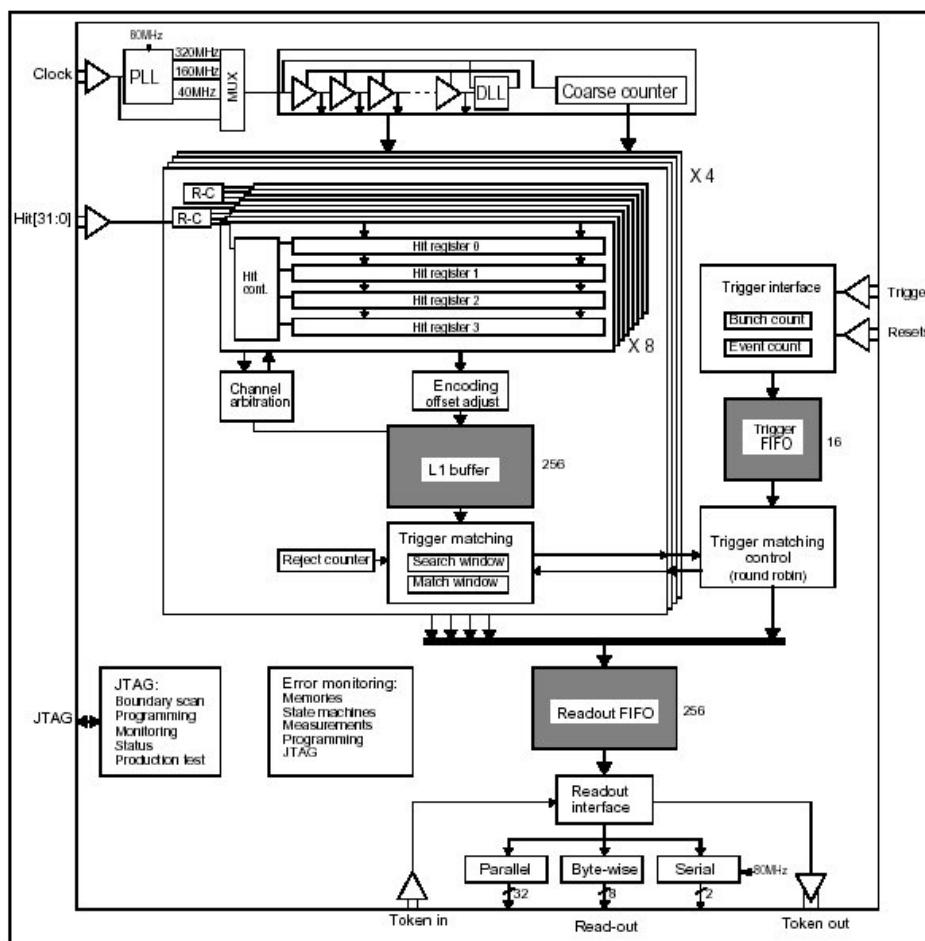


Figura 5.4: Arquitectura del HPTDC.

La medida temporal se realiza almacenando el valor del contador y del DLL en uno de los registros de hits cuando se recibe una señal en el canal correspondiente. Cada canal puede almacenar 4 medidas antes de que estas sean escritas en una memoria de primer nivel L1 de 256 posiciones, que es compartida por cada grupo de 8 canales.

Los disparos se van almacenando en una FIFO de 16 posiciones, dónde esperan hasta que se realice la asignación de hits de las memorias de primer nivel con el disparo de la cabecera de la FIFO. Una vez realizada esta operación, los hits seleccionados se escriben en la memoria de salida, compartida por los 32 canales y que tiene una dimensión de 256 palabras. Esta memoria puede ser leída desde tres tipos de interfaces distintos: paralelo, serie o byte-wise.

El PLL es un lazo de control de segundo orden cuyo esquema se presenta en la figura 5.5. El VCO (Voltage Controlled Oscillator) genera una señal de reloj simétrica cuya frecuencia y fase se compara con la señal de referencia. Si existe alguna discrepancia ésta es detectada por el módulo PFD (Phase Frequency Detector), que ajusta el voltaje de control del VCO mediante una inyección de carga a través de un filtro. Al dividir la frecuencia del reloj generado por el VCO antes de entrar en el PFD, éste se ve multiplicado por el factor correspondiente. El PLL debe ser inicializado después de haber suministrado un reloj estable al TDC. La obtención de una correcta frecuencia y fase puede llevar aproximadamente 10 ms.

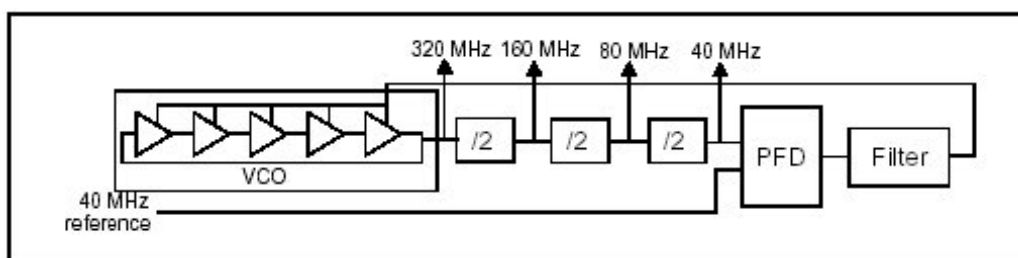


Figura 5.5: Representación esquemática del PLL del HPTDC.

El DLL está formado por tres módulos básicos: una cadena de 32 elementos de retardo, la cual puede ser ajustada por una tensión de control, un detector de fase que mide el error entre la fase de entrada y la que se obtiene a la salida de la cadena de retardo, y un inyector de carga y filtro que generan la tensión correspondiente para los distintos elementos de retardo.

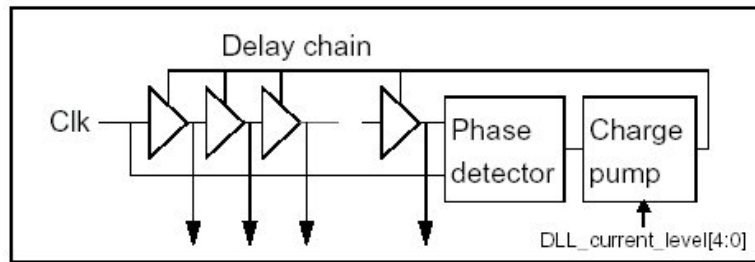


Figura 5.6: Esquema de los módulos del DLL del HPTDC.

Cuando un hit es recibido en alguno de los canales, el resultado de cada uno de los 32 elementos de retardo se codifica en 5 bits que representan los bits menos significativos de la medida temporal. Dado que el último bit de la medida del contador funcionando a 40 MHz tiene una resolución de 25 ns, el último bit de los 5 del DLL tiene por tanto una resolución de  $25/32 = 0.78125$  ns.

El contador de cruce de haces permite ampliar el rango dinámico de la medida temporal obtenida por el DLL. Este contador tiene 12 bits lo que proporciona, junto a los 5 bits obtenidos de la medida del DLL, un rango dinámico de 17 bits en el modo de baja resolución.

Además tiene implementado un sistema de dos registros funcionando con el reloj normal y con el complementario para evitar valores incorrectos en el caso de que los hits, que son asíncronos, lleguen en el preciso momento en el que el contador está cambiando de valor. Esto puede verse en la figura 5.7.

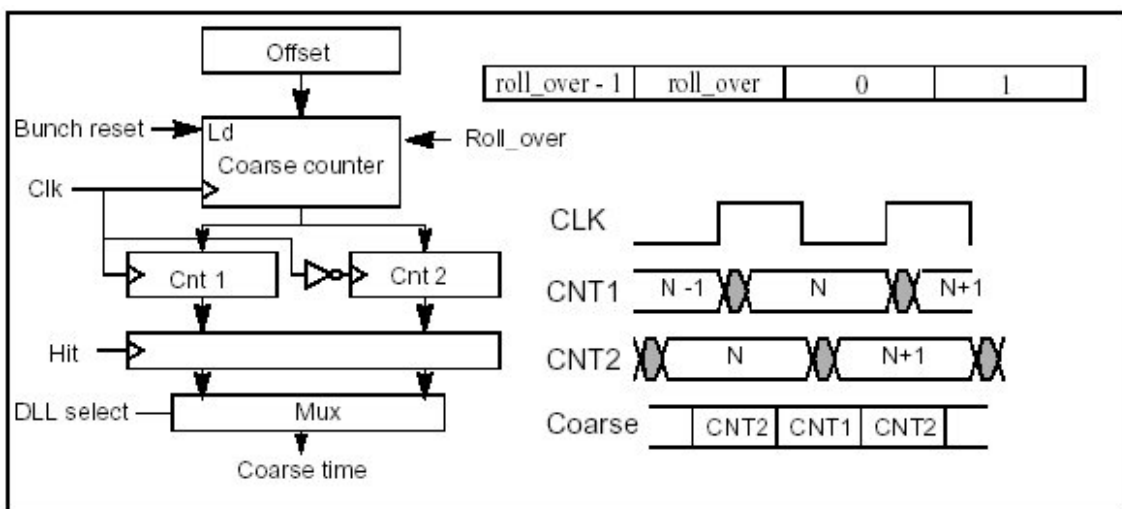


Figura 5.7: Representación de la carga del contador de cruce de haces a la llegada de un hit con el mecanismo de fase desplazada.

En la tabla 5.2 se presentan los valores de no linealidad diferencial e integral para los distintos modos de resolución.

No Linealidad Diferencial	
Modo de baja resolución	$\pm 0.2$ bin
Modo de resolución media	$\pm 0.3$ bin
Modo de alta resolución	+0.6 bin, -0.25 bin
Modo de muy alta resolución	+1.3 bin, -0.7 bin

No Linealidad Integral	
Modo de baja resolución	$\pm 0.25$ bin
Modo de resolución media	$\pm 0.5$ bin
Modo de alta resolución	+0.6 bin, -1.4 bin
Modo de muy alta resolución	+3.5 bin, -5.0 bin

Tabla 5.2: Valores de la no linealidad diferencial e integral del HPTDC.

El HPTDC puede ser programado para realizar medidas tanto del flanco de subida, como del de bajada o de la anchura de la señal recibida. En nuestro caso, sólo necesitaremos realizar la medida del flanco de subida.

En las especificaciones del HPTDC se establece una diferencia entre canales de máximo  $\pm 1$  ns, así como un crosstalk máximo de 150 ps y de variación con la temperatura de 100 ps cada 10 °C. También especifica que puede realizar una medida de pulsos consecutivos separados como mínimo 5 ns.

La tasa máxima de hits recomendada es de 2 MHz utilizando todos los canales en el modo de baja resolución y la tasa de disparos puede alcanzar aproximadamente 1.5 MHz, aunque el valor máximo depende de la tasa de hits que se tenga, puesto que el conjunto determinará el llenado de las distintas memorias.

La potencia que consume es de 450 mW en el modo de baja resolución, y el chip se alimenta a 2.5 y a 3.3 voltios. El rango de temperatura válido es entre  $-40^{\circ}\text{C}$  y  $70^{\circ}\text{C}$ , lo que es más que suficiente para nuestra operación.

Por otro lado, el interfaz eléctrico es también bastante versátil, pudiendo utilizarse en la mayoría de las señales (hits, reloj, disparo y resets o lectura serie) niveles LVDS (interfaz

diferencial [30] o LVTTTL (low voltage TTL: 3.3 V). El resto de las señales utilizan niveles LVTTTL, al no poderse utilizar 5V TTL en una tecnología CMOS de 0.25  $\mu\text{m}$ .

El HPTDC se ha empaquetado en una BGA de plástico de 225 pines. La disipación de calor del chip se realiza por conducción a través de las bolas de soldadura de los distintos pines.

### 5.2.2 Asignación de disparos.

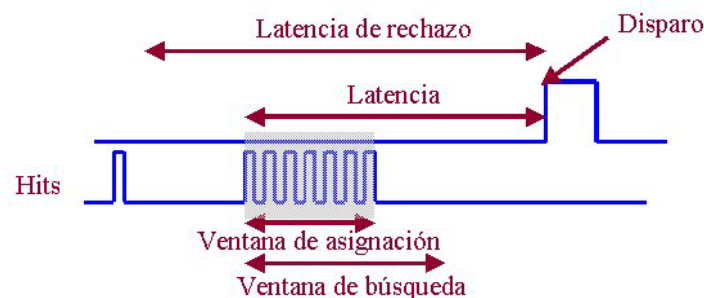
La señal de disparo que recibiremos será un pulso de 25 ns de ancho síncrono con el reloj de 40 MHz del LHC. Cada vez que un disparo llega al HPTDC, éste almacena en la FIFO el valor correspondiente del contador de cruce de haces. A continuación, para la asignación de hits se compara esta medida temporal con la correspondiente a los hits que se encuentran almacenados en las memorias de primer nivel.

Los parámetros programables que definen las distintas ventanas temporales para la asignación de disparos son:

- Ventana de asignación (match window): determina el tamaño de la ventana en la cual se considera que se van a encontrar hits correspondientes a cada suceso. En nuestro caso debe ser mayor o igual al máximo tiempo de deriva de la celda de la cámara. Este valor es programable de 0 a 4095 ciclos de reloj.
- Ventana de búsqueda (search window): Debido a que los hits no se almacenan en la memoria de primer nivel siguiendo un estricto orden temporal, sino haciendo una búsqueda en cada uno de los 8 canales, al hacer la asignación de hits pueden encontrarse algunos más antiguos en posiciones de memoria más recientes de las que les correspondería. Por ello, para determinar en qué momento se debe detener la búsqueda de hits en la memoria, se define una ventana de búsqueda, más amplia que la ventana de asignación y se detiene la búsqueda en memoria cuando se encuentre algún hit cuyo valor temporal se salga de esta ventana de búsqueda. Por supuesto, los hits que se vayan encontrando y estén fuera de la ventana de asignación no serán seleccionados para este disparo.

- Latencia de disparo (trigger offset): especifica el intervalo temporal desde que se produjo la colisión hasta que el disparo es procesado y llega al HPTDC. En nuestro caso su valor es aproximadamente 3.2  $\mu$ s. Por tanto, el HPTDC debe buscar en la memoria hits que hayan llegado 3.2  $\mu$ s antes que el disparo y considerar el comienzo de la ventana de asignación en ese punto.

Para evitar que la memoria de hits se llene y acelerar el tiempo de búsqueda, hay definido un mecanismo automático de rechazo de hits, que rechaza todos aquellos hits más antiguos que un límite especificado cuando la FIFO de disparos no tiene ninguno pendiente. Este límite se denomina latencia de rechazo (reject offset), y debe ser al menos un ciclo de reloj mayor que la latencia del disparo para asegurar que no se rechaza ningún hit de interés. Este mecanismo de rechazo garantiza el correcto funcionamiento en el caso de tener solapamiento de disparos para que no se borren los hits de la memoria tras la asignación de disparos pero tampoco se llene la memoria de hits y se sature. En la figura 5.8 se representan los distintos parámetros de la asignación de hits y un ejemplo de búsqueda en la memoria de primer nivel.



Memoria L1 (hits)
...
142 ns
150 ns
128 ns
138 ns
135 ns
129 ns
124 ns
127 ns
113 ns
108 ns
114 ns
95 ns
120 ns
81 ns
89 ns
42 ns
...

Suponiendo que las memorias de primer nivel se encuentran en la situación indicada, y que el disparo se recibe en instante 400 ns, se comienza a buscar en el primer hit cuya medida temporal que esté dentro de la ventana (100ns a 130ns), y no se detiene la búsqueda aunque se encuentren valores fuera de la ventana de asignación (135ns), sino que se espera a que se cumpla la ventana de búsqueda (140ns). En caso contrario, el hit con valor temporal (128ns) se habría perdido.

Del valor programado en la latencia de rechazo, se tiene que el hit con medida 42 ns debe ser borrado ya de la memoria de primer nivel.

Ventana de búsqueda	40 ns
Ventana de asignación	30 ns
Latencia	300 ns
Latencia de rechazo	350 ns

Figura 5.8: Mecanismo de asignación de hits a las señales de disparo.

Una vez realizada la asignación de hits, estos se almacenan en la memoria de lectura, siguiendo un esquema de prioridades de round-robin, para garantizar un justo aprovechamiento del ancho de banda.

### 5.2.3 Lectura de datos.

En la memoria de lectura se almacenan los valores de tiempo con el formato que van a tener los datos a la salida. Las palabras del HPTDC están formadas por paquetes de 32 bits, con un primer campo de 4 bits que contiene el identificador del tipo de dato, a continuación, un campo de 4 bits con el identificados del chip en cuestión que está enviando los datos (este identificador es programable) y los 24 bits restantes cuya información depende del tipo de dato que se esté enviando.

A continuación se presentan los tipos de datos principales que se van a utilizar. Como puede verse, el TDC envía una palabra de error cuando alguno de sus memorias se satura o ha sucedido algún error interno en el TDC, notificando así que los datos que adjuntan pueden ser erróneos. En este caso el sistema de adquisición de datos deberá comunicarse con tanto con el de Sistema de Control para solicitar la ejecución de alguna acción en el TDC que le devuelva a un estado correcto.

Aunque el campo de medida temporal sea de 19 bits, en el modo de baja resolución sólo los 17 primeros bits son significativos.



Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

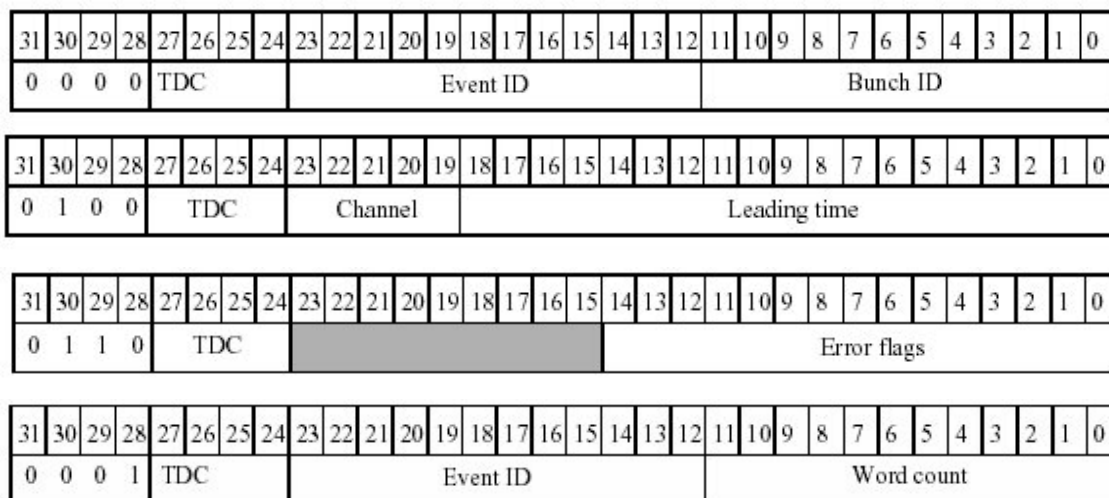


Figura 5.9: Formato en el que se codifican los datos en el HPTDC.

La lectura de los datos del TDC puede realizarse de tres formas distintas:

### 5.2.3.1 Interfaz serie:

Cada palabra de 32 bits se envía en serie por una línea LVTTTL o LVDS comenzando con un bit de comienzo (start), continuando por el bit más significativo y por último añadiendo un bit de paridad y uno de parada (stop). La velocidad de transferencia puede ser desde 0.3215 hasta 80 Mbps. El HPTDC tiene implementadas distintas opciones para la señal de STROBE que indica la presencia de datos válidos en el enlace.

Las líneas del enlace serie se conectan de uno a otro TDC esclavo, siendo únicamente el TDC master el que envía los datos al sistema de DAQ.

### 5.2.3.2 Interfaz paralelo

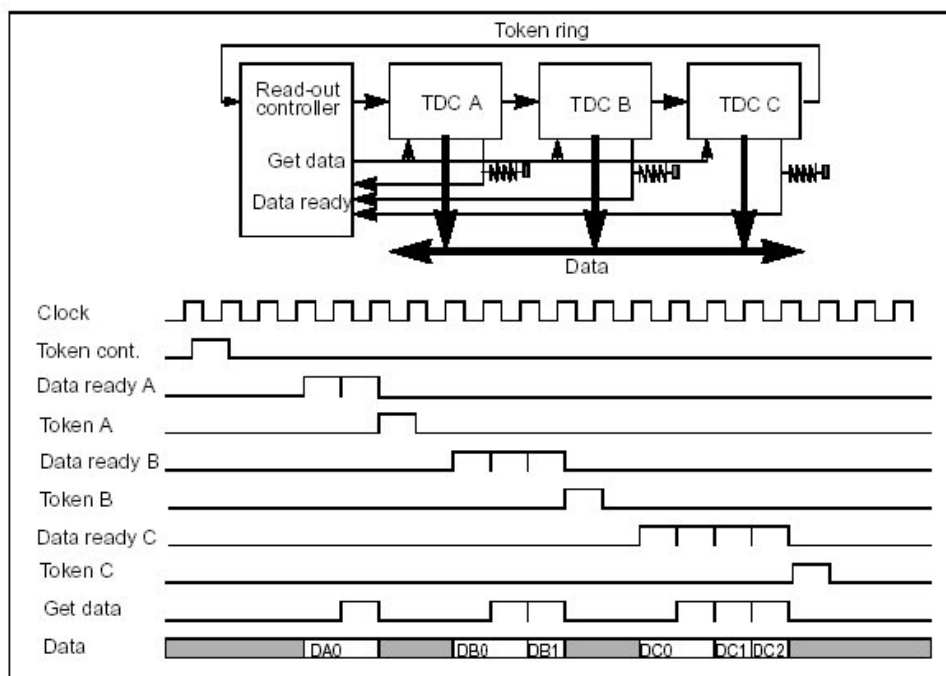
La lectura en paralelo de las palabras del HPTDC se realiza a través de un bus síncrono con el reloj. Varios TDC's pueden compartir el mismo bus conectándose entre sí en un esquema de token ring, pudiendo conectarse hasta 16 TDC's. Cuando el token le llega a un TDC, éste procede a enviar sus datos por el bus común.

La lectura de cada palabra está controlada mediante un protocolo de Data\_ready/Get\_Data, en el que el TDC informa de que tiene palabras para transmitir en la memoria de salida activando la línea de Data\_ready y el controlador procede a activar la línea de Get\_data para indicar al TDC que puede comenzar la transmisión.

La señal de Data\_ready de los HPTDC's se pone en triestado cuando no tiene ninguna palabra para transmitir o no tienen el token. Eso permite que esta línea se cablee en "or" con las de todos los TDC's.

La arquitectura del sistema de lectura de los HPTDC's puede ser de diversas formas, pudiendo utilizarse un controlador externo que haga de master y transmita y recoja el token o programar a uno de los TDC's como master del anillo. De la misma forma puede utilizarse un controlador externo para el control del protocolo Data\_ready/Get\_Data o conectar entre sí las dos señales, y crear así un interfaz de lectura rápido y simple.

Estas distintas posibilidades pueden contemplarse en los tres esquemas de la figura 5.10 junto a los diagramas temporales correspondientes.



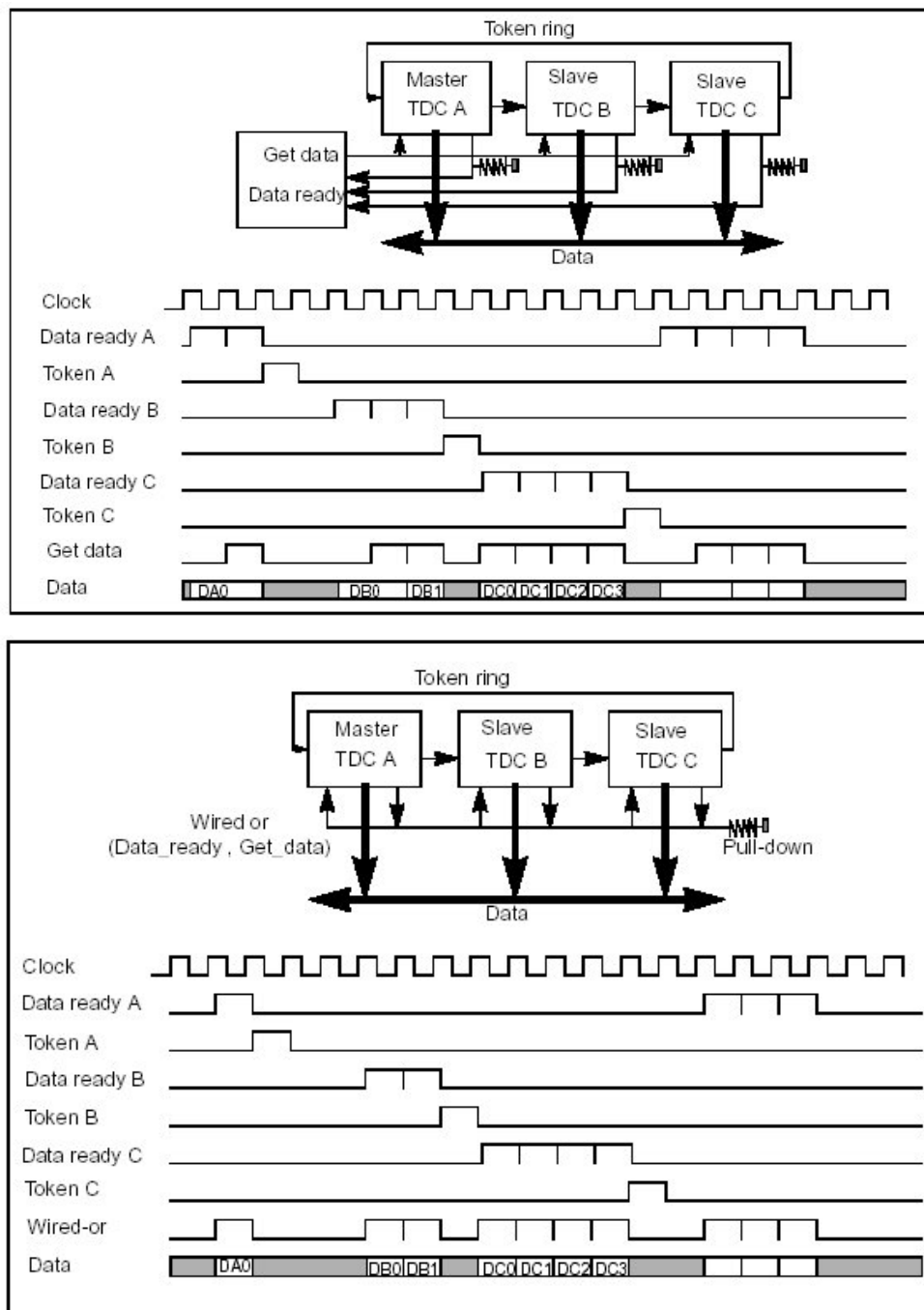


Figura 5.10: Esquemas de interconexión de los HPTDC's para un interfaz paralelo de lectura de datos.

En el HPTDC hay implementado un mecanismo de bypass que permite el correcto funcionamiento del anillo aunque algún TDC entre en estado de fallo. En el caso de que alguno de los TDC's tenga un error grave, existe la opción de que él mismo se ponga en bypass y el siguiente TDC de la cadena recoja el token del TDC anterior, obviando al TDC en error.

### 5.2.3.3 Interfaz byte-wise

Este modo de lectura de datos está pensado para conectar el TDC directamente a un serializador comercial del tipo Hot-link, LVDS link, etc. cuyo protocolo admita datos de byte en byte. El modo de funcionamiento es en principio idéntico al interfaz paralelo, conectándose los TDC's en un anillo y con el protocolo Data\_ready /Get\_Data de lectura, sólo que las palabras de 32 bits se transmiten comenzando por el byte más significativo, para que el receptor identifique inmediatamente el tipo de dato que va a recibir en primer lugar. A cada byte se le añade un bit de paridad impar y dos bits que identifican el número de byte en el conjunto de la palabra.

### 5.2.4 El interfaz JTAG.

Para realizar la configuración del TDC y también su monitorización se hace uso del JTAG Boundary Scan, para lo cual se ha implementado en el HPTDC un interfaz que permite un análisis exhaustivo de los registros y de las estructuras de memoria.

El estándar JTAG (Joint Test Action Group) [28] descrito por el IEEE 1149, nació como un mecanismo de test y detección de fallos en los dispositivos, y se utiliza muy a menudo para testear y configurar los diseños digitales implementados en PCB's. Consiste en un protocolo serie de 5 señales para el acceso y el control de los niveles de las señales en los pines de los circuitos digitales. Las señales entre los distintos bloques lógicos del chip están interceptadas por una serie de registros (Boundary Scan Register) que pueden leerse a través de las señales JTAG. En modo normal de funcionamiento estos registros son transparentes.

Los contenidos de estos registros pueden leerse y escribirse como en un registro de desplazamiento, utilizando las señales TDI y TDO. De hecho, la escritura y lectura se realiza simultáneamente, pues los bits que se introducen por TDI desplazan a los que hubiera en el registro y éstos se van leyendo por TDO.

El interfaz JTAG utiliza estas cinco señales dedicadas que deben ser proporcionadas por cualquier chip que soporte este estándar:

TRST (Test ReSeT) es una señal de entrada que inicializa y deshabilita el interfaz de test.

TCK (Test ClocK) es una entrada que controla la temporización del interfaz JTAG de forma independiente a otros relojes del sistema.

TMS (Test Mode Select): entrada que controla las transiciones en la máquina de estados JTAG.

TDI (Test Data Input line), contiene los datos que se introducirán en los registros JTAG (Boundary Scan Register, Instruction Register o cualquier otro registro de datos).

TDO (Test Data Output line) se utiliza para transmitir los datos desde los registros JTAG hasta el equipo que controla el test. Propaga los valores leídos a lo largo de la cadena de Boundary Scan de un chip a otro.

La operación del interfaz de test se controla a través del controlador JTAG TAP (Test Access Port). Este controlador es una máquina de estados controlada por la señal TMS y su aspecto es el de la figura 5.11. Como se puede ver existen dos caminos principales, el de escritura en los registros de instrucciones y el de escritura en un registro de datos, el cual depende del valor que se haya escrito en el registro de instrucciones. Activando la señal JTAG TRST se fuerza al controlador TAP a volver al estado de "Reset". En los estados de "Shift" se carga en el registro correspondiente el valor que tenga la señal TDI.

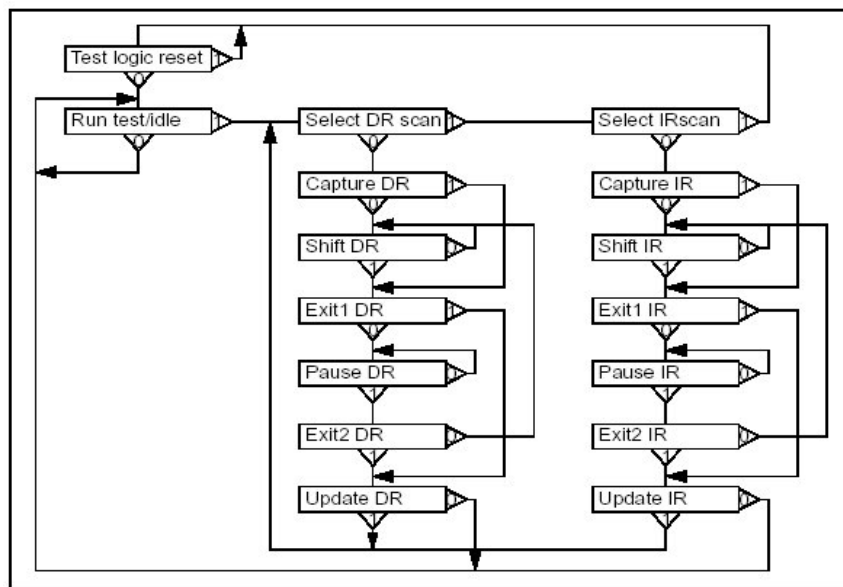


Figura 5.11: Diagrama de estados del controlador TAP del interfaz JTAG.

Las principales instrucciones JTAG que se emplean en el HPTDC son:

IDCODE que permite leer el número identificador que está almacenado en el chip y que es diferente según la versión del HPTDC del que se trate. Es una palabra de 32 bits que en nuestro caso tiene el valor 0x8470DACE.

SETUP Permite la carga (por la línea TDI) y la lectura (por la línea TDO) de los bits almacenados en el registro de configuración. Éste registro tiene 646 bits, y debido a su tamaño no posee un registro intermedio en el que se carguen los bits, sino que directamente se escribe sobre el propio registro de configuración, siendo esta escritura destructiva. Los principales parámetros que se pueden configurar son los valores de las diferentes ventanas y latencias, las corrientes del PLL y del DLL, los modos de lectura, el interfaz eléctrico de las distintas líneas, el modo de resolución, los identificadores de TDC, el formato del paquete de datos enviado, etc.

CONTROL Permite la lectura del registro de control. Este registro permite resetear el HPTDC, habilitar o deshabilitar los canales individualmente e inicializar el PLL y el DLL.

STATUS Con esta instrucción se accede al registro de estado del TDC, pudiendo obtenerse la información del llenado de las diferentes memorias internas, de quien posee el token y, en caso de darse, del tipo de error que ha sucedido en el HPTDC.

BYPASS: Este bypass es diferente del de lectura de datos, y permite obviar cualquier dispositivo en la cadena JTAG y permite por tanto acceder a un TDC determinado de la cadena.

### **5.3 DISEÑO FINAL DE LA TARJETA DE ADQUISICIÓN DE DATOS ROB.**

#### **5.3.1 Discusión de la arquitectura del sistema.**

Una vez se han presentado las características fundamentales del ASIC HPTDC, se pasa a describir la tarjeta de lectura ROB que se ha diseñado empleando como principal componente éste dispositivo.

Uno de los primeros factores que era necesario resolver, era el número de HPTDC's que se iban a colocar en cada una de las tarjetas. Era necesario alcanzar un compromiso entre colocar muchos chips por tarjeta lo que disminuiría el número de tarjetas y por tanto el número de componentes totales, pero por otro lado aumentaría las dimensiones de la tarjeta y como el número de canales por cámara es diferente dependiendo del tipo de cámara, podían quedarse desaprovechados muchos canales.

Si se analiza el número de canales por cámara y se estima el número de tarjetas que serían necesarias en función del número de TDC's que se coloquen en cada tarjeta se observa que posiblemente el valor óptimo sería utilizar 3 TDC's por tarjeta, lo que dejaría un menor número de canales desaprovechados que no se conectan a ningún ánodo de ninguna cámara.

	<b># ROB's</b>	<b># canales no conectados</b>
2 TDC's ROB	2864	418
3 TDC's ROB	1964	450
<b>4 TDC's ROB</b>	<b>1500</b>	<b>930</b>
5 TDC's ROB	1260	1506
6 TDC's ROB	1134	1314

Tabla 5.3: Distribución del número de ROB's resultantes y número de canales que no se conectarían a ninguna cámara en función del número de TDC's por ROB.

Por otro lado, si se tiene en cuenta que al menos cada tarjeta va a necesitar dos reguladores, una FPGA y otros varios componentes, cuanto menor sea el número de tarjetas mayor será el aprovechamiento.

Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

Finalmente, se decidió colocar 4 chips por tarjeta llegando a un compromiso entre unas restricciones y otras. El número de tarjetas necesarias en cada uno de los minicrates se presenta a continuación (tabla 5.4). La numeración de los minicrates se representa con las letras MBX, donde X indica la capa dentro de cada rueda en la que está situado el minicrate correspondiente. Además, los doce sectores de las ruedas del detector CMS serán idénticos excepto el sector 4 y 10 que están formados por 2 cámaras MB4 cada uno, en vez de una única cámara como en el resto de los sectores, por tanto se nombran como MBX/Y donde Y indica el número de sector. Un diagrama de esta disposición se puede encontrar en la figura 5.12.

	MB1	MB2	MB3	MB4(1,2,3,5,6,7,8,12)	MB4(10)	MB4(9,11)	MB4(4)	Total
Nº canales	620	582	704	764	476	380	572	172200
Nº ROB	5	6	7	6	4	3	5	1440
Nº canales sin señal	52	64	96	4	36	4	68	324

Tabla 5.4: Número de ROB's por minicrate y canales que cubre.

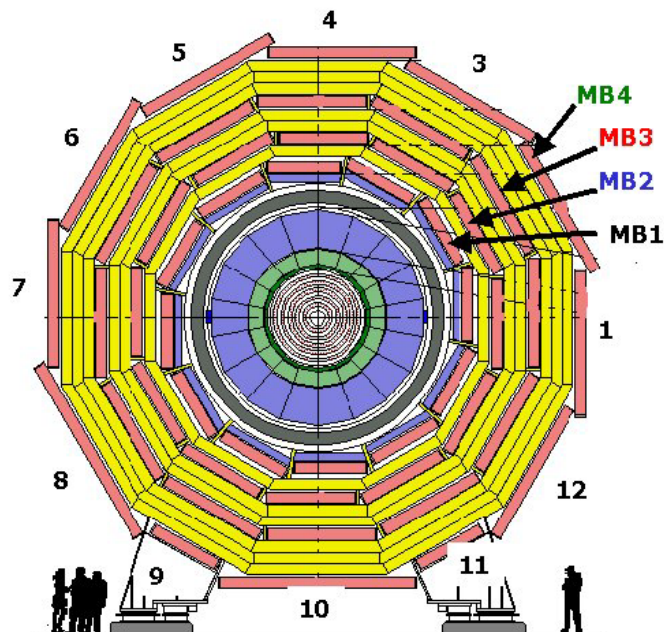


Figura 5.12: Representación de un corte transversal del detector CMS donde se indican los números de los distintos sectores y de las cámaras de deriva en las distintas capas.

Se conectarán por tanto 4 HPTDC's en cada ROB, con una conexión serie para la configuración por JTAG (fig. 5.13) y una disposición en anillo para realizar la transmisión de los datos (fig 5.14). La configuración del token ring no será exactamente igual a ninguna de las



estructuras propuestas en las figuras 5.10. Por una parte se definirá como master a uno de los cuatro TDC's que será el que tenga el token cuando ninguno esté transmitiendo, y se implementará un circuito de bypass para el caso de que uno de los TDC's se ponga en error, pero a cambio se utiliza un controlador externo para la lectura.

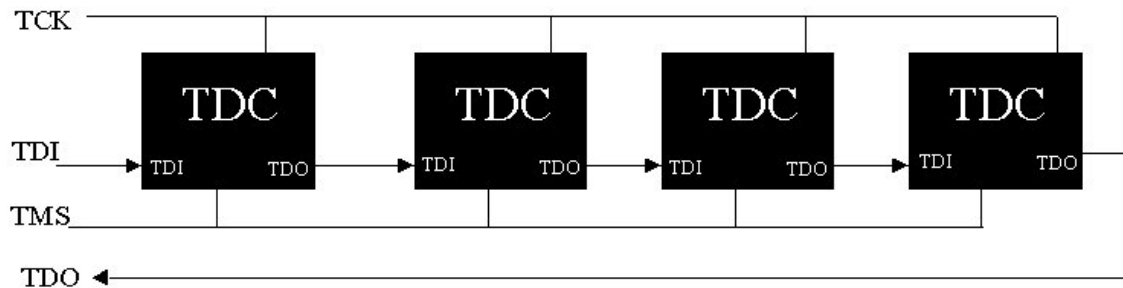


Figura 5.13: Representación de la conexión de las líneas JTAG en los 4 HPTDC's de cada ROB.

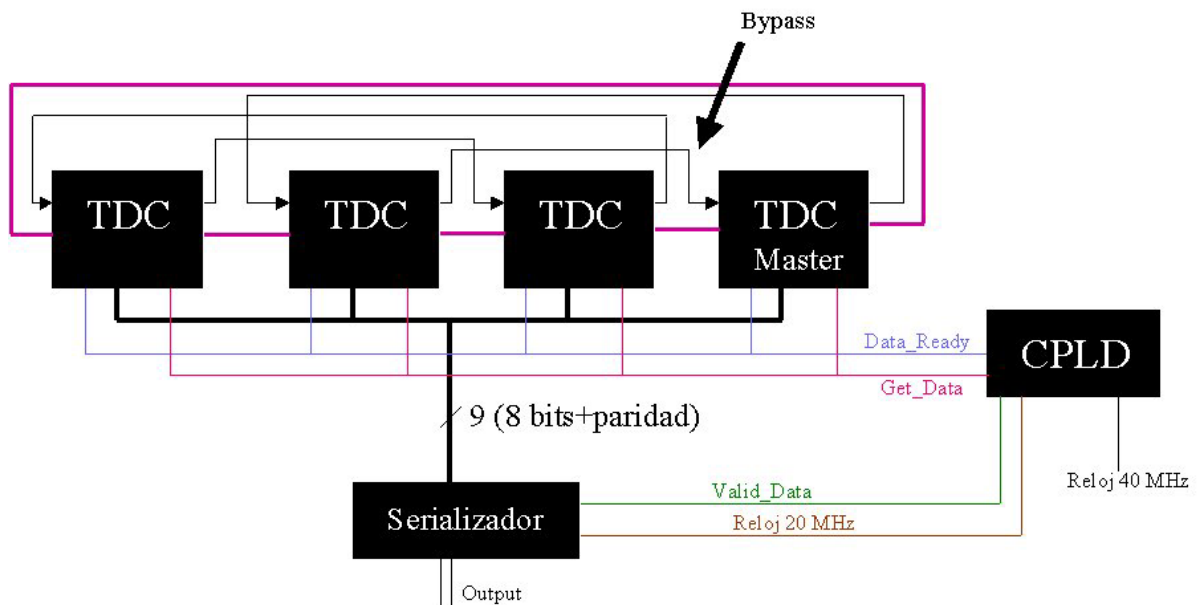


Figura 5.14: Esquema de la conexión en token ring, con las líneas de bypass y del interfaz de lectura de datos Data\_Ready/Get\_Data.

En principio, se piensa utilizar un serializador comercial de National Semiconductor, el DS92LV1021, que es un transmisor de 10 bits cuyo rango de frecuencias de operación es de 16 a 40 MHz. Puesto que el ancho de banda que se requiere no es tan elevado como para que sea necesario transmitir a 40 MHz, se ha preferido reducir esta frecuencia y operar a 20 MHz, por lo que no se conectarán entre sí las señales de Data\_Ready/Get\_Data, sino que se utilizará un

controlador externo que reduzca de 40 MHz a 20 MHz la frecuencia de lectura de los datos, proporcionando además la señal de reloj de 20 MHz para la operación del serializador mediante un divisor por 2 de la frecuencia. La transmisión será por tanto unidireccional, y el reloj estará embeído en los datos, y será extraído por el receptor. Además de los 10 bits de carga paralela, el transmisor añade un bit de inicio START (1) y uno de parada STOP (0) que permiten la recuperación del reloj en el receptor, pues en cada paquete de datos se garantiza al menos una transición.

Este controlador será una CPLD situada en la placa y que además de controlar las señales Data\_Ready/Get\_Data para reducir la velocidad de transferencia a 20 MHz, se encargará de las tareas de generar la señal de dato válido, resetear el serializador, llevar la cuenta del identificador del byte transmitido para controlar posibles errores de transmisión, etc.

Los TDC's por tanto se configurarán para una lectura en modo byte-wise. En la figura 5.13 se puede observar un esquema de la arquitectura en token ring con los cuatro TDC's, el serializador y la CPLD.

De la discusión anterior se deduce que el máximo número de ROB's por minirate es 7. del mismo modo se tienen otras 7 TRB's más la CCB en el mismo minirate compartiendo el bus de direcciones. Siendo 15 tarjetas es necesario utilizar 4 bits para poder direccionarlas y acceder individualmente a cada una de ellas.

En el ROBUS también es necesario tener las cuatro señales del JTAG: TMS, TCK, TDI y TDO (TRST se conectará a la alimentación, reseteándose con el encendido de la placa). Así mismo, se necesitan señales de reset de la placa, y de reset de los contadores de sucesos y de cruce de haces de los TDC's que junto con la señal de disparo proceden de la CCB y a su vez del enlace al sistema TTC. Para estas señales que deben ser rápidas se va a utilizar un interfaz diferencial LVDS, mientras que el resto de las señales del ROBUS serán LVTTTL.

En lo que respecta al encendido de la ROB se han asignado líneas dedicadas que cuando están activas indican que la ROB debe estar encendida y al desactivarse apagarían la ROB. Para ello es necesario utilizar 7 líneas (RON), una para cada ROB.

Por último, el ROBUS tiene también una serie de líneas que se utilizan en el modo test pulse que se describirá más adelante. En resumen las líneas que debe contener el ROBUS se pueden ver en la tabla 5.5. Para acomodar todas ellas se utilizará una cinta plana de paso 0.64 mm que irá por la parte inferior del minicrate y se conectará a las distintas ROB a través de un conector de 40 pines ODU modelo 515.568.035.040.

PINES	CONECTOR ODU	PINES	
1	Bunch counter reset (+)	21	JTAG TDO
2	Bunch counter reset (-)	22	Tierra
3	Disparo (+)	23	ADD0
4	Disparo (-)	24	ADD1
5	Reset (+)	25	ADD2
6	Reset (-)	26	ADD3
7	Bunch counter reset (+)	27	Tierra
8	Bunch counter reset (-)	28	FLTB
9	Track mode	29	RON0
10	Tierra	30	RON1
11	Track advance	31	RON2
12	Tierra	32	RON3
13	Track reset	33	RON4
14	Tierra	34	RON5
15	JTAG TMS	35	RON6
16	Tierra	36	Tierra
17	JTAG TCK	37	Roberror
18	Tierra	38	Tierra
19	JTAG TDI	39	TDIO
20	Tierra	40	Tierra

Tabla 5.5: Listado de señales del conector del ROBUS.

El reloj de 40 MHz que se utilizará en la placa no se incluye dentro de este bus, sino que se han preferido unas conexiones externas punto a punto para evitar interferencias entre las líneas de la cinta plana con señales de alta frecuencia y garantizar la fase correcta en todas las ROB. Para ello se utilizará un par trenzado apantallado para la distribución del reloj LVDS dentro del minicrate a todas las ROB's.

Por otro lado, es necesario transmitir los hits que se reciban en la ROB a las tarjetas TRB's situadas encima dentro del minicrate. Para ello se realiza una interconexión entre ambas

tarjetas utilizando unos conectores AMP tipo 177983-1 de 40 pines. Con el fin de minimizar el número de conectores y dada la escasa distancia entre la ROB y la TRB se convertirán los hits LVDS procedentes del front-end a señales TTL antes de ser transmitidas a la TRB. De esta forma son necesarios 128 canales en vez de los 256 diferenciales, lo cual se puede solucionar con 4 conectores de 40 pines cada uno, para tener además, en los pines sobrantes, conexiones de masa entre las dos tarjetas que proporcionan el retorno de las señales.

La utilización de unos conversores LVDS-LVTTL para los hits también facilita el enmascaramiento que hay que realizar para el modo test de pulsos, ya que lo que se hará será habilitar y deshabilitar convenientemente estos conversores, de forma que se permita la llegada de hits o no tanto a las TRB's como a los TDC's. De esta forma interesa disponer de conversores de 4 canales, para poder habilitar los canales con bastante granularidad. El control de este proceso lo realizará la CPLD que se utiliza también para el protocolo de lectura de datos.

En cuanto a la alimentación de la placa, será necesario utilizar dos reguladores para obtener 3.3 y 2.5 voltios. Todos los componentes que se utilicen serán de 3.3V, excepto los TDC's que también necesitan la alimentación de 2.5V para el core. La alimentación se toma de unas barras de cobre situadas en el fondo del minicrate que están a una tensión de 4 voltios.

### **5.3.2 Descripción de la ROB.**

A continuación se pasa a describir la tarjeta ROB a partir de los esquemáticos que se encuentran en los apéndices.

En el esquema INPUT se observan los conectores tipo SCSI de la marca Amphenol modelo 6257U-068-01 de 68 pines a los que llegan las señales LVDS de los hits de las cámaras. Estos pasan por los conversores LVDS-LVTTL (DS90LV048) que se encuentran en el plano RECEIVER, dónde se observa que las terminaciones diferenciales son de 105  $\Omega$  por ser esta la impedancia de los cables, y también se observan una serie de pull-down de 10 K $\Omega$  para que no floten las salidas TTL al desactivar los conversores ya que estas se ponen en triestado.

Estas señales van a su vez a los conectores J5, J6, J7 y J8 que van a las tarjetas de disparo TRB y a los TDC's. Los pines de los conectores que no llevan señal se han conectado a masa.

En el plano TDC se pueden ver los HPTDC's conectados en anillo entre sí como se explicó en la figura 5.13. A parte del interfaz byte-wise, se ha implementado la opción de la transmisión serie aunque en principio no se va a utilizar.

Se han colocado unos pull-up's en las señales TDI y TDO para evitar que queden flotando, así mismo la línea DR (Data Ready) tiene un pull-down por ser activa alta y estar en alta impedancia cuando ningún TDC está transmitiendo. También se han incluido unos condensadores de desacoplo para la alimentación de 2.5V y 3.3V de los TDC's, y se especifican unas conexiones a tierra especiales en la placa con pequeña distancia al plano de masa para facilitar la disipación térmica.

En el esquema POWER se observa el circuito de encendido y protección de la placa. El comparador 74AC151 determina si esa placa ha sido seleccionada para ser encendida a partir de las señales RON y de la posición de los interruptores  $S_1$  de la placa, levantando la señal Y en caso afirmativo. Esta señal está conectada a la entrada de habilitación de los reguladores, que se encenderán proporcionando la alimentación de 2.5V (MIC39301-2.5BU) y 3.3V (MIC29151-3.3BU) a toda la placa.

Uno de los requisitos del HPTDC para minimizar su consumo es que la alimentación de 2.5V se active un cierto tiempo después de la de 3.3V, por ello se han colocado los reguladores en cascada introduciendo además un retardo con la resistencia  $R_{314}$  y el condensador  $C_{104}$ .

El componente MAX869L es un limitador de corriente regulado por el valor de la resistencia  $R_{17}$ . Se ha colocado un valor de  $560 \Omega$  que hace que cuando la corriente de salida de la placa sea superior a 2 A se active la señal de flag.

Este flag está cableado con los flags de los reguladores (que se activan si la tensión de salida cae un 5% con respecto al valor esperado, o hay un sobrecalentamiento del regulador) y con el flag del MAX4375 que está conectado para activarse si la corriente de 2.5V es superior a 1.5A. Este valor se regula de la siguiente forma:

La corriente de 2.5V pasa a través de la resistencia  $R_{308}$ , por lo que si se quiere que la corriente sea inferior a 1.5 A, la caída de tensión en esa resistencia debe ser inferior a:

$$\Delta V = R_{308} I = 0,033\Omega \cdot 1,5 A = 0,0495V \quad (5.1)$$

Dado que la ganancia del MAX4375 es +20V/V, se tiene:

$$V_C = 20\Delta V = 0,99V \quad (5.2)$$

Por otro lado, la tensión con la que compara la entrada  $C_{IN}$  el comparador del MAX4375 es 0,6V, por lo que esa es la tensión límite que debe haber en  $V_i$  para que se active la señal de flag. En cuanto se supere esa tensión como consecuencia de un aumento de corriente se disparará el flag. Por tanto:

$$V_C = I_1 (R_{21} + R_{22}) = \frac{(R_{21} + R_{22})V_i}{R_{22}} \quad (5.3)$$

Si  $V_i = 0,6 V$  y dejando  $R_{21}$  fija a  $10K\Omega$ :  $R_{22} = 15 K\Omega$

Por otro lado, la salida  $V_C$  de este chip se conecta al sensor DS2438 para poder medir el valor de la corriente de 2.5V. Este chip es un sensor de corriente, de temperatura y de tensión que se lee a través de un interfaz 1-wire propiedad de MAXIM. Permite medir hasta dos valores de tensión, procedentes de los pines 4 y 5 y proporciona las siguientes precisiones en cada uno de los parámetros:

	Rango	Precisión
Temperatura °	-55°C a 125	± 0.03125°C
Voltaje	0 a 10 V	10 mV
Corriente (depende del valor de $R_{sens}$ )	0 a 250 mV	0.2441 mV

Tabla 5.6: Rangos de medida y precisión de los distintos parámetros monitorizados por el sensor DS2438.

Los valores de  $C_{103}$  y  $R_{313}$  se han elegido para crear un filtro paso baja entre el pin de entrada al chip y la conexión a tierra de  $R_{312}$ . Con los valores utilizados (100 K $\Omega$  y 0.1  $\mu$ F) la frecuencia de corte es aproximadamente 15.9 Hz.

El valor de  $R_{312}$  ( $R_{sens}$ ) se ha elegido para ajustar el rango dinámico del registro del ADC del sensor, que está en unidades de voltios, al rango de corrientes que se desea medir. El cálculo se realiza a partir de la siguiente ecuación:

$$I = \frac{\text{registro}}{4096 \cdot R_{ses}} \quad (5.4)$$

El funcionamiento del interfaz 1-wire se explica en [31] y permite conectar distintos chips en paralelo y acceder a sus posiciones de memoria dónde tienen almacenados los distintos valores resultantes de la conversión.

Volviendo al circuito de protección, se puede ver que si alguno de los flags se activa, se abrirá el transistor  $Q_1$ , permitiendo la descarga de  $C_{53}$  a través de  $D_5$ - $R_{25}$  lo cual disparará al cabo de 10 ms al chip MIC1555 que es un oscilador que puede programarse para funcionar en modo estable (oscilador) o monoestable, como en nuestro caso.

Este pulso activará el transistor  $Q_2$ , haciendo que la habilitación de los reguladores vaya a 0 y por tanto, se desconecten y al mismo tiempo permitirá la carga de  $C_{53}$  a través de  $R_{24}$ , con lo que al cabo de unos 700 ms el monoestable vuelve a dispararse en sentido contrario, finalizando el pulso. Cuando el pulso finalice, el transistor  $Q_2$  volverá a cerrarse y pasarán otros 10 ms en los que la placa vuelve a estar alimentada. Si no vuelve a haber un consumo excesivo, la placa queda alimentada y estable. En caso contrario, se repite el proceso de encendido intermitente, en el que la ROB está encendida el 1,5% del tiempo, lo que proporcionaría un consumo medio de sólo 42 mA si la sobrecorriente en placa es de 3A, que es la corriente máxima que pueden proporcionar el regulador de 3,3V.

El led  $D_3$  sirve de indicador de encendido de la placa, quedando apagado si hay un corto en 3.3V y parpadeando debido al encendido intermitente si el cortocircuito o sobreconsumo es en 2.5V. Además la señal FLTB oscilará en caso de encendido intermitente, pudiendo detectarse a través del ROBUS al que está conectada.

Por último, en este plano puede observarse también condensadores de 10  $\mu\text{F}$  para filtrar la alimentación y un zener, que junto con  $R_{290}$  y  $C_{45}$  sirven para alimentar el propio circuito de encendido.

En último lugar se describe el plano FPGA en el que se observa primeramente el conector J9 del ROBUS, con todas las señales indicadas en la tabla 5.5. Las señales de disparo, etc. cuya entrada es diferencial, se transforman a LVTTTL tal y como aparece en el plano RECEIVER2 con una resistencia de terminación de 100  $\Omega$ , igual que la impedancia del cable de ROBUS.

Las señales JTAG TCK, TMS y TDI también necesitan una terminación en los extremos del ROBUS, para evitar reflexiones, pues en caso contrario se degradan enormemente en un tramo de cable que es de hasta 1.5 m.

Las señales RON que sirven para el encendido de la placa tienen conectadas unas resistencias para garantizar que cada placa esté efectivamente apagada en caso de desconexión de una de estas señales.

El comparador 74HC85 compara las líneas de direcciones con los valores del switch S1 que tiene la placa, activando la señal de THISBOARD cuando son coincidentes. Esta señal habilita al chip 74LVC126A que conecta las líneas JTAG al ROBUS y permite que sólo que la tarjeta que está seleccionada reciba los comandos JTAG y que sólo ella responda (señal TDO). La señal THISBOARD que recibe la FPGA se utiliza para encender un led rojo  $D_1$  que indica que esa placa ha sido seleccionada.

El circuito DS92CK16 convierte la señal de reloj LVDS a LV TTL y realizan un fan-out para enviar un reloj a cada uno de los TDC's y otro a la CPLD. Uno de esos relojes será transformado a un reloj de 20 MHz en el interior de la CPLD e irá a parar al serializador DS92LV1021. Como ya se ha comentado anteriormente, este serializador recibe 10 bits de entradas LVTTTL y las convierte a un BUS serie LVDS de alta velocidad. Los 10 bits enviados son 8 bits de datos, 1 bit de paridad y 1 bit identificador de dato válido generado por la CPLD a partir del Get\_Data del interfaz con los TDC's. La salida del serializador se ha acoplado en AC como puede verse en el esquema.



El serializador tiene un sistema de reset a través de la señal PWRDN activado por la CPLD cuando se produce un reset de la placa. Esta señal está conectada a través de un MIC1555 en modo monoestable que genera un pulso de 1  $\mu$ s de anchura cuando se recibe un disparo de la señal PWRDN de la CPLD, lo cual es requisito del serializador.

Por último puede verse la CPLD ALTERA que se va a utilizar de la que se hablará más adelante.

## **5.4 FUNCIONALIDAD Y MODO DE OPERACIÓN.**

A continuación se describe el modo de operación de la ROB. En primer lugar se detalla el procedimiento a seguir para su configuración y su correcto funcionamiento y posteriormente se introduce la operación en un modo de test que se utilizará para comprobar el funcionamiento apropiado de toda la electrónica de las cámaras de muones.

### **5.4.1 Modo de operación normal. Descripción del equipo de pruebas.**

El encendido de la tarjeta se realiza a través de las señales RON. Dependiendo de la posición de los tres bits menos significativos del interruptor  $S_1$ , la tarjeta se enciende con la línea RON correspondiente.

A continuación se procede a la programación de los HPTDC's. Para ello se escribe en el registro de configuración los bits correspondientes, lo que implica enviar la instrucción de SETUP a través de las líneas de JTAG para los cuatro TDC's. En el caso de que sólo se quiera configurar uno de ellos, es necesario enviar una instrucción de BYPASS a los otros TDC's.

A cada uno de los TDC's se les asignará un identificador, de 0 a 3, que será luego utilizado en el campo correspondiente de las palabras de datos, y uno de ellos será configurado como master del anillo, siendo el responsable del token.

Debido a que el HPTDC master presenta constantemente en el bus de salida un byte con su identificador, aún cuando no se estén transmitiendo datos, es necesario que el master esté configurado con el identificador 0 o el 3 para que el serializador funcione correctamente. Esto es debido a que cuando no hay datos el serializador envía un bit de start con una frecuencia de 20 MHz que permite al receptor inferir el reloj del transmisor y permanecer con el enlace enganchado. Si uno de los TDC's se dedica a enviar constantemente un bit concreto, siempre en la misma posición, al cabo de una serie de ciclos el receptor no es capaz de discernir cuál de los dos bits es el bit de START y se desengancha.

A continuación se procede a inicializar el PLL y el DLL, realizando la secuencia correspondiente en el registro de CONTROL del HPTDC, y una vez inicializados, se habilitan los canales deseados.

Por último puede realizarse un reset hardware para inicializar todos los contadores, y se puede chequear el estado de los TDC's. Si todo es correcto, lo cual puede también comprobarse a través de la línea de ROBERROR, se puede proceder a la adquisición de datos, que comenzará con la llegada de disparos a través del ROBUS. Si durante la adquisición algún TDC se pone en error, éste transmitirá una palabra de error junto con los datos, enviando su identificador y el tipo de error. Además la línea ROBERROR se activará y a través del JTAG se puede inspeccionar en el registro de STATUS la causa del error.

Se ha desarrollado un equipo de pruebas que permite la operación de la ROB, tanto su configuración como la monitorización, y que también permite simular su funcionamiento en una situación similar a la que se tendría al estar conectada a la cámara. Para ello se han desarrollado tres tarjetas VME con distinta funcionalidad que se conectan en un chasis VME que dispone de un interfaz VME-PCI a un PC. Estas tarjetas se describen brevemente a continuación:

- Tarjeta de Control (Control-X): Esta tarjeta dispone de una conexión al ROBUS a través de la cual se puede realizar el encendido de las ROB's, la configuración mediante JTAG, suministrar reloj de 40 MHz, se pueden enviar señales de reset a los distintos contadores, etc. También está programada para responder a interrupciones y para recibir relojes o disparos externos. En general dispone de

toda la funcionalidad a través del ROBUS, así como la generación de disparos y hits con retardos programables.

- Generador de patrones (Patgen): Esta tarjeta dispone de dos canales para recibir hits LVDS generados por la tarjeta de control (o similar) y realizar un fan-out programable a los 128 canales de una ROB.
- Tarjeta de lectura (ROS-8): Esta tarjeta es un prototipo de lo que será la tarjeta Read Out Server final y se utiliza para recoger la información del enlace de las ROB's y almacenar los datos en unas FIFO a las que se puede acceder desde el bus VME.

A continuación puede verse un esquema del sistema de pruebas que se utiliza 5.15, así como una foto en la figura 5.16.

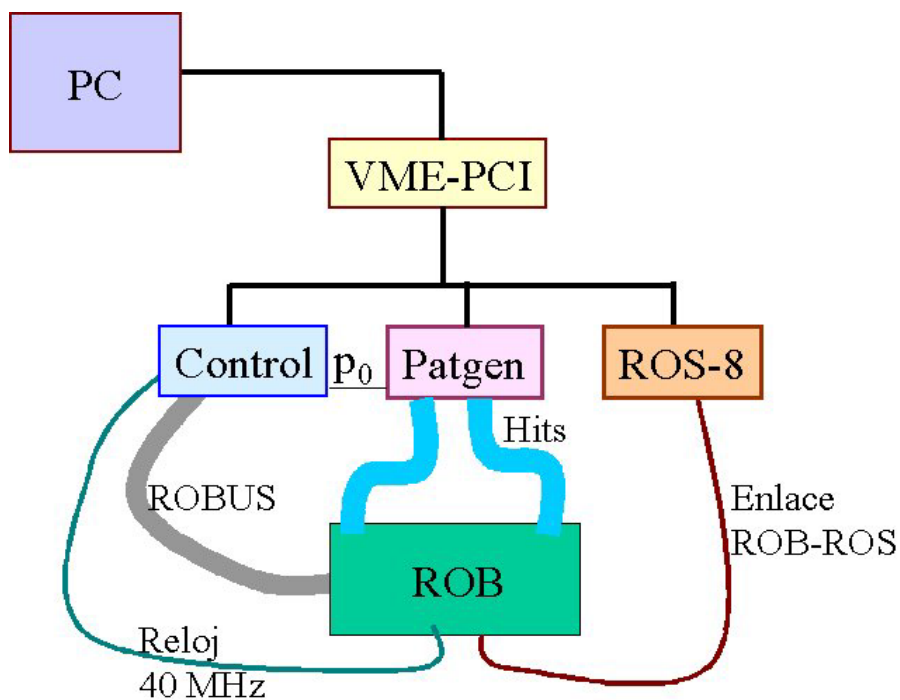


Figura 5.15: Representación del equipo de pruebas empleado para operar la ROB.

---

---

Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

---

---

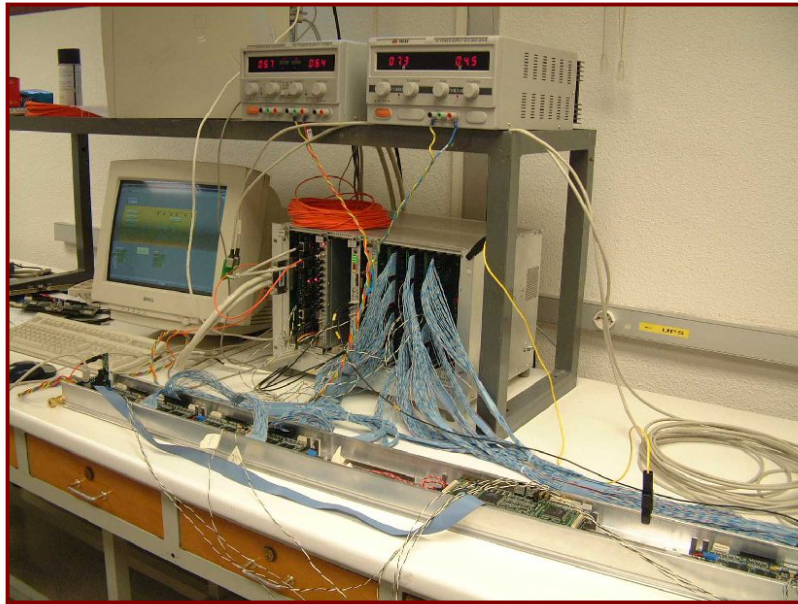


Figura 5.16: Imagen del equipo de pruebas utilizado para probar la electrónica de las cámaras de muones.

Todos los programas que se utilizan para operar este sistema se han desarrollado en el programa Labview 6.0, que es un software de programación gráfica orientado a la automatización y la adquisición de datos. Este software permite un cómodo acceso al bus VME, y la posibilidad de realizar un amplio y variado procesado de datos junto con una visualización y presentación de resultados potente y simple para el usuario.

En las figuras 5.17 y 5.18 se presentan las pantallas principales de distintos programas que se han utilizado para la configuración y adquisición de datos de las ROB's.

Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

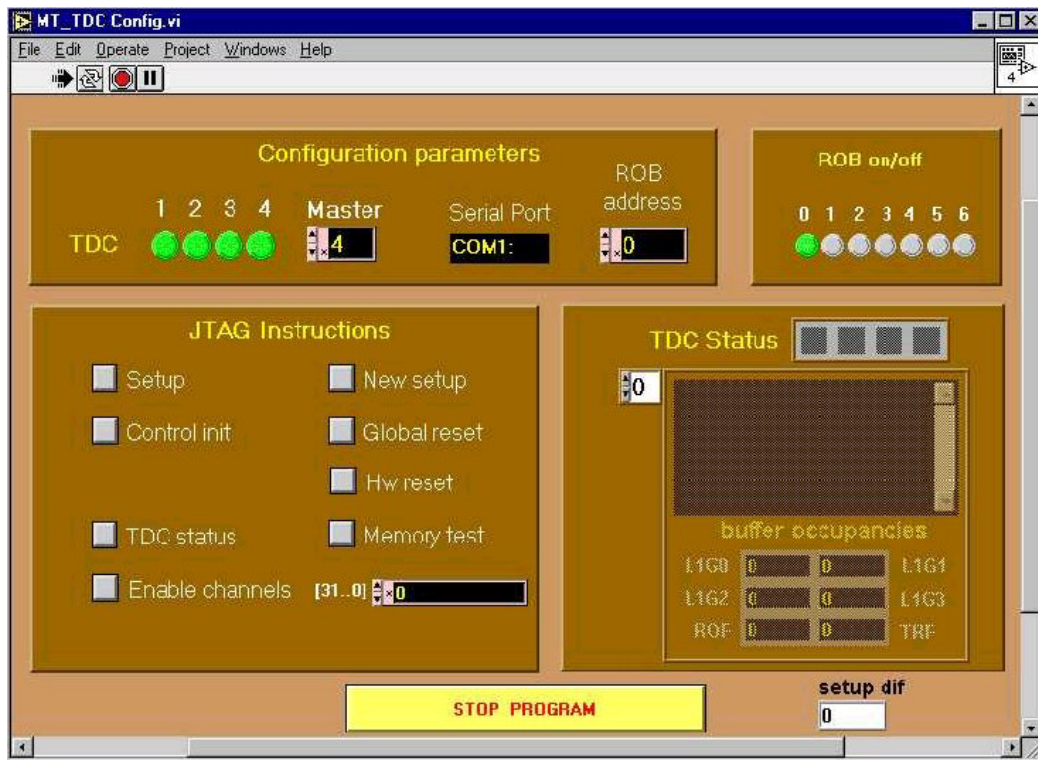


Figura 5.17: Imagen del programa de configuración y monitorización de la ROB.

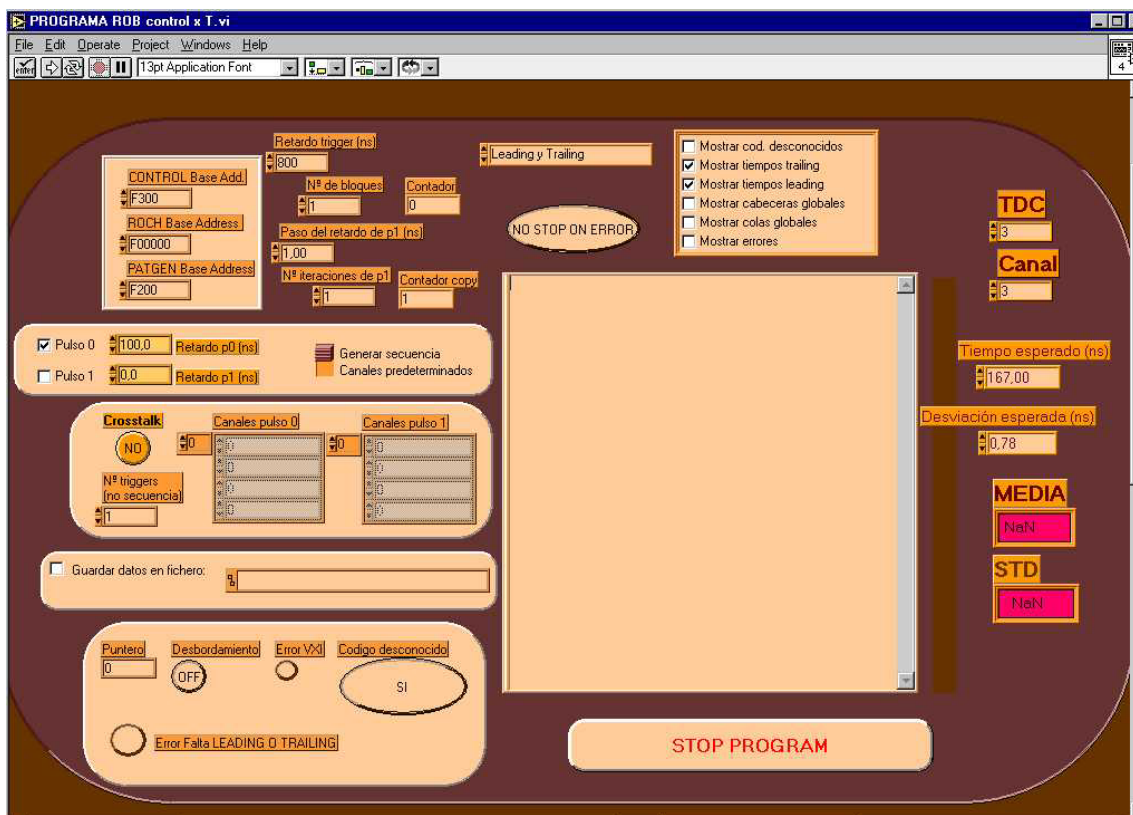


Figura 5.18: Imagen del programa de adquisición de datos para la operación de la ROB.

### 5.4.2 Modo test de pulsos.

Con el fin de realizar tareas de comprobación de todo el sistema y poder garantizar que todos los canales funcionan perfectamente y que se reciben señales a través de todos ellos, se ha ideado un test que chequea cada canal y que además comprueba la lógica del disparo.

Este último factor es el que obliga a que el test no consista únicamente en estimular cada canal y leer los datos que salen del TDC para comprobar que ese canal está funcionando correctamente, sino que se estimulan todos los canales de la cámara generando unos pulsos que luego son filtrados adecuadamente por las distintas etapas y al final sólo llegan a la lógica del disparo las señales correspondientes a una traza de un muón vertical (ver fig. 5.19), comprobándose así que el sistema de trigger de muones es capaz de detectarla correctamente.

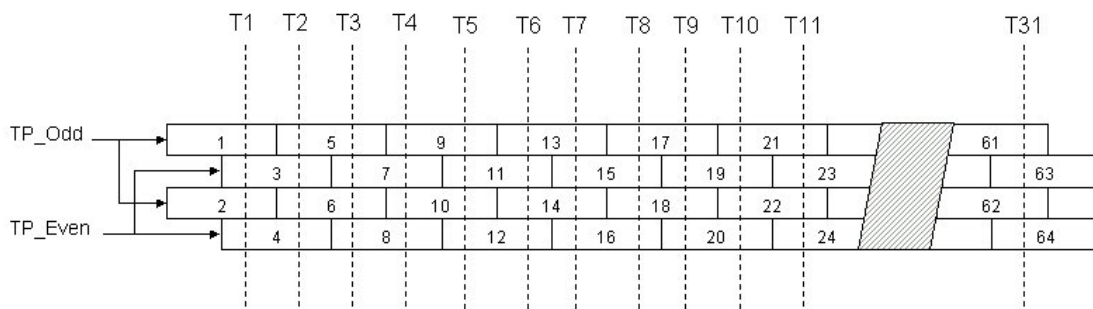


Figura 5.19: Representación de las distintas trazas sobre la cámara de deriva que conforman el test de pulsos.

Para que los valores de tiempo medidos sean los apropiados para esa traza se estimulan independientemente las capas pares e impares de una supercapa, ya que al estar desplazadas media celda entre sí, los hilos de las capas pares se encuentran en la misma posición vertical e igual sucede con las capas impares. La diferencia de tiempos entre los dos estímulos se calcula para que reproduzca una traza que atraviesa ortogonalmente la cámara de deriva en cualquier posición de la celda.

En total se generarán tantos estímulos como celdas halla, pero en cada estímulo se producirán señales en todas las celdas, por lo que las etapas electrónicas posteriores deben habilitar en cada estímulo únicamente los canales apropiados.

## **5.5 IMPLEMENTACIÓN DE LA LÓGICA DIGITAL DE LA CPLD.**

La CPLD (Complex Programmable Logic Device) seleccionada es un dispositivo ALTERA de la familia MAX7000, cuyos chips se basan en la arquitectura de matriz de múltiples arrays (Multiple Array MatriX, MAX). Está fabricado en tecnología CMOS, y es del tipo de las memorias EEPROM, pudiéndose configurar y borrar eléctricamente a través de una conexión al PC. Las MAX7000 pueden tener de 32 a 512 macroceldas y retardos pin a pin de hasta 3.5 ns.

La CPLD seleccionada es la EPM7128AE, que tiene 128 macroceldas y un total de 2500 puertas lógicas, las cuales son más que suficientes para el diseño que se va a grabar, de hecho, la ocupación de la FPGA es del 40%. Este dispositivo se alimenta a 3.3V.

El empaquetado del dispositivo es del tipo TQPF (Thin Quad Flat Pack), y tiene 100 pines totales, de los cuales sólo necesitaremos 46. Cuatro de ellos se utilizarán para la programación del dispositivo que se realizará también a través de un interfaz JTAG con una conexión a través de un cable tipo Byteblaster al puerto paralelo del ordenador. También se han situado varios puntos de prueba para comprobar el funcionamiento de líneas de lógica interna durante el período de prueba.

Dieciséis de los pines están destinados para la habilitación de los receptores DS90LV048 con el fin de realizar la selección de canales durante el modo de test de pulsos. El funcionamiento en ese modo se basa en una máquina de estados que se inicializa con la señal Track reset, y por la que se avanza cuando se reciben pulsos en la señal Track advance. En cada uno de los estados se van habilitando los distintos receptores según la tabla 5.7, en la que también se indica los canales de los correspondientes TDC's a los que se refieren. Este modo sólo opera cuando la señal de Track mode lo ha indicado.

En el código VHDL se dispone de un contador de 5 bits que se incrementa con la señal Track advance y que va pasando por cada uno de los 32 estados.

## Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

Suceso	Celdas por las que pasa la traza	Receptor habilitado	TDC y canales habilitados
1	1, 2, 3, 4	1	TDC 0 ch 0-3 y ch 28-31
2	3, 4, 5, 6	1-2	TDC 0 ch 0-7 y ch 24-31
3	5, 6, 7, 8	2	TDC 0 ch 4-7 y ch 24-27
4	7, 8, 9, 10	2-3	TDC 0 ch 4-11 y ch 20-27
5	9, 10, 11, 12	3	TDC 0 ch 8-11 y ch 20-23
6	11, 12, 13, 14	3-4	TDC 0 ch 8-23
7	13, 14, 15, 16	4	TDC 0 ch 12-19
8	15, 16, 17, 18	4-5	TDC 0 ch 12-19 y TDC 1 ch 28-31
9	17, 18, 19, 20	5	TDC 1 ch 0-3 y ch 28-31
10	19, 20, 21, 22	5-6	TDC 1 ch 0-7 y ch 24-31
11	21, 22, 23, 24	6	TDC 1 ch 4-7 y ch 24-27
12	23, 24, 25, 26	6-7	TDC 1 ch 4-11 y ch 20-27
13	25, 26, 27, 28	7	TDC 1 ch 8-11 y ch 20-23
14	27, 28, 29, 30	7-8	TDC 1 ch 8-23
15	29, 30, 31, 32	8	TDC 1 ch 12-19
16	31, 32, 33, 34	8-9	TDC 1 ch 12-19 y TDC 2 ch 28-31
17	33, 34, 35, 36	9	TDC 2 ch 0-3 y ch 28-31
18	35, 36, 37, 38	9-10	TDC 2 ch 0-7 y ch 24-31
19	37, 38, 39, 40	10	TDC 2 ch 4-7 y ch 24-27
20	39, 40, 41, 42	10-11	TDC 2 ch 4-11 y ch 20-27
21	41, 42, 43, 44	11	TDC 2 ch 8-11 y ch 20-23
22	43, 44, 45, 46	11-12	TDC 2 ch 8-23
23	45, 46, 47, 48	12	TDC 2 ch 12-19
24	47, 48, 49, 50	12-13	TDC 2 ch 12-19 y TDC 3 ch 28-31
25	49, 50, 51, 52	13	TDC 3 ch 0-3 y ch 28-31
26	51, 52, 53, 54	13-14	TDC 3 ch 0-7 y ch 24-31
27	53, 54, 55, 56	14	TDC 3 ch 4-7 y ch 24-27
28	55, 56, 57, 58	14-15	TDC 3 ch 4-11 y ch 20-27
29	57, 58, 59, 60	15	TDC 3 ch 8-11 y ch 20-23
30	59, 60, 61, 62	15-16	TDC 3 ch 8-23
31	61, 62, 63, 64	16	TDC 3 ch 12-19
	63, 64, 65(1), 66(2)	16-1	TDC 3 ch 12-19, 0-3 y 28-31
			siguiente ROB

Tabla 5.7: Tabla de los receptores y canales que se habilitan en cada suceso en el modo test de pulsos.

Otra función que realiza la CPLD es la “or” de las cuatro señales de error provenientes de cada uno de los TDC’s para generar una sola línea de error ROBERROR que se conecta al ROBUS. Incluyendo en esta línea una señal de error obtenida de una discrepancia entre la cuenta del número de byte que se está transmitiendo y el identificador que proviene de la palabra del TDC.



Además es la encargada de controlar las señales de Data\_Ready/Get\_Data, reduciendo a 20 MHz la velocidad de transferencia de la lectura de datos de los TDC's. Esto puede verse en el listado VHDL del programa de la FPGA en el apéndice 1.

También realiza la inicialización del serializador cuando le llega una señal de reset, alargando en primer lugar el pulso de powerdown, que debe estar activo 1  $\mu$ s, cuando se recibe un reset global de la placa.

El rasgo más destacado de la lógica de esta CPLD es la implementación de un sistema de comprobación de registros triplemente redundante (componente trff). La utilidad de dicho sistema es la de garantizar el correcto funcionamiento de la CPLD aún en el caso de que se produzcan SEU's aislados. En el caso de que se alterarse el contenido de un bit de un registro, la lógica redundante permitiría detectarlo y recuperar el valor correcto que antes hubiera. Este sistema no es resistente a dos fallos simultáneos en el mismo registro, pero la probabilidad de que esta situación ocurra es ínfima, ya que el estado se verifica, y eventualmente se corrige, cada 25 ns.

En la figura 5.20 se puede ver un esquema de la lógica de un registro con triple redundancia, y la implementación en VHDL se encuentra en los apéndices.

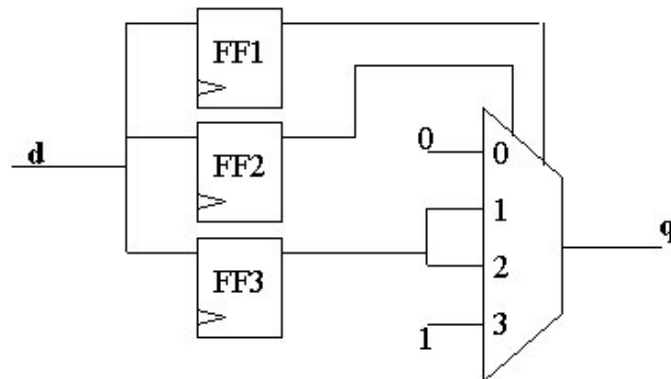


Figura 5.20: Diagrama del sistema de triple redundancia implementado en los registros de la CPLD.

Con el fin de estudiar el número de SEU's que se obtienen en pruebas de radiación, se ha implementado un generador de pulsos que produce un pulso cada vez que se detecta un fallo en algún registro. Estos pulsos pueden ser recogidos posteriormente por un contador externo conectado a los pines J15 de la ROB.

## 5.6 ANÁLISIS DEL ANCHO DE BANDA DEL ENLACE ROB-ROS.

Dado que el serializador trabaja a 20 MHz y envía 12 bits en cada ciclo, el ancho de banda máximo del enlace ROB-ROS es 240 Mbps. A continuación se va a calcular el ancho de banda efectivo o throughput que es el ancho de banda que utilizaremos en condiciones normales de operación.

Como ya se ha indicado anteriormente, la tasa de disparos que se espera en el LHC tras el filtrado que realiza el sistema de trigger de primer nivel es aproximadamente 100 KHz. Por otro lado, el flujo esperado de partículas cargadas procedentes de interacciones es de  $1 \text{ Hz/cm}^2$  [5]

Teniendo en cuenta que las dimensiones de la cámara de deriva son de  $2 \text{ m} \times 2.5 \text{ m}$ , es decir, una superficie de  $5 \text{ m}^2$ , lo que implica una tasa de hits de 50 KHz, que al provenir de directamente de las interacciones caerán dentro de la ventana de asignación del HPTDC. A esto habrá que sumarle los hits debidos al ruido de fondo, pero éstos suponen una fracción despreciable, del orden del 0.05% de esta tasa, por lo que no se tendrá en cuenta para esta discusión. Esta tasa de 50 KHz implica que, en promedio, en la mitad de los disparos habrá datos procedentes de algún muón, y en la otra mitad sólo se tendrán sucesos vacíos.

Cuando el muón atraviesa la cámara de deriva produce 8 hits en las supercapas  $\Phi$  y 4 en la supercapa  $\theta$ , pues el ángulo con el que inciden es cercano a la perpendicular al plano de la cámara. Debido a ello, en la mayoría de los casos (probabilidad del 6%) todos los hits  $\Phi$  van a la misma ROB y todos los  $\theta$  a otra ROB, pues dentro del minicrate las ROB se conectan de la forma indicada en la figura 5.21 a los canales de la cámara de deriva. En una cámara con las dimensiones indicadas anteriormente se tendría un minicrate con 3 tarjetas ROB  $\Phi$  y 2  $\theta$ .

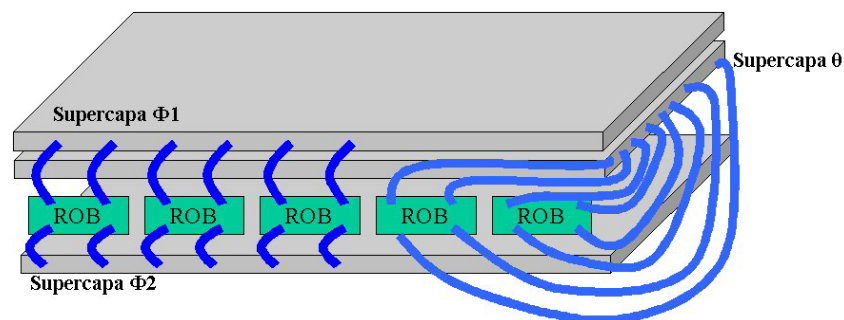


Figura 5.21: Esquema de conexionado de una cámara de deriva a las ROB's de un minicrate.

Por tanto se tiene que una ROB  $\Phi$  recibirá 8 hits, que junto con la cabecera y cola del HPTDC master, supondrán 10 palabras de 32 bits en cada suceso. Una ROB  $\theta$  a su vez, transmitirá 6 palabras de 32 bits por suceso. En los sucesos que no se reciban hits, ambas ROB transmitirían 2 palabras de 32 bits.

Cada ROB  $\Phi$  recibirá señales procedentes de un muón 1 de cada 3 veces que haya muón, es decir, 1 de cada 6 veces que hay disparo. En el caso de la ROB  $\theta$  esto sucede 1 de cada 4 veces que hay disparo. Con estas probabilidades y sabiendo que la tasa de disparos es de 100 KHz, se obtienen los siguientes valores de tasa de transmisión para las distintas ROB:

$$\text{ROB } \Phi = 11 \text{ Mbps.}$$

$$\text{ROB } \theta = 9.6 \text{ Mbps}$$

En media se puede considerar que el ancho de banda que se utilizará normalmente es de unos 10 Mbps, que como puede verse queda bastante por debajo de los 200 Mbps que disponemos, por lo que no hay riesgo de que el enlace sea un cuello de botella. De hecho, a 200 Mbps con una tasa de disparo de 100 KHz tendríamos que transmitir aproximadamente 63 palabras de 32 bits por ROB en cada suceso, lo cual es muy poco probable teniendo en cuenta el flujo de partículas esperado en la región del barril, y sólo podría darse en el caso de tener algún canal estropeado y que sea ruidoso, con una frecuencia de oscilación del orden de varios megahercios, en cuyo caso sería deshabilitado.

## **5.7 FABRICACIÓN Y MONTAJE DE LA ROB.**

Se construyó una PCB de 10 capas cuyas dimensiones eran 22,6 x 9.8 cm<sup>2</sup>. Existían 2 planos de alimentación, 1 de 2.5 y 1 de 3.3V, y 2 de masa. Todos estos planos facilitan la disipación térmica de la placa, ya que ésta va a tener lugar por conducción. Para ello se situaron también dos bandas metálicas conectadas a tierra en las zonas en las que la tarjeta se va a apoyar sobre unos raíles en el minirate para facilitar así la disipación. Lo mismo ocurre en la parte superior dónde unas tiras de aluminio separarán la ROB de las TRB's, aumentando así la superficie de contacto y por tanto de disipación de calor.

Se ha prestado especial atención al rutado de ciertas señales, como por ejemplo las líneas diferenciales, las cuales deben tener la misma longitud para que no haya desfase entre la información que transporta cada una de ellas. Esto puede apreciarse en la figura 5.22.

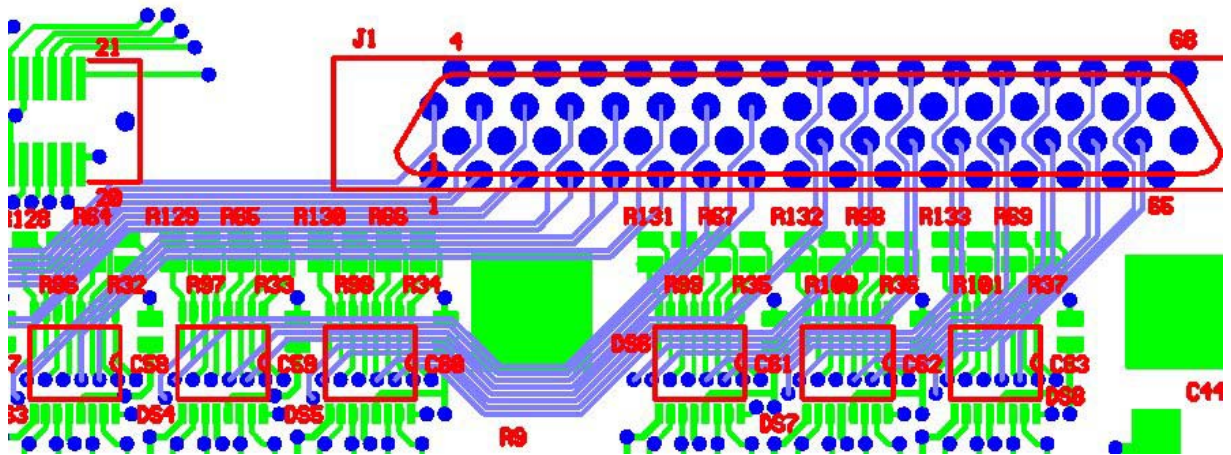


Figura 5.22: Imagen del rutado de un par de líneas diferenciales.

También se ha procurado tener especial cuidado a la hora de rutar la señal de reloj, de forma que las interferencias con otras pistas fueran lo menores posibles. Por ello se la ha apantallado entre planos de masa para evitar que esta señal de alta frecuencia se induzca en otras pistas que discurran paralelas a ella [32] y [33].

El resultado es una tarjeta con una alta densidad de integración, dónde se han utilizado pistas de 0,2 mm de ancho y vías con taladros de 0,4 mm.

El montaje de la ROB se realizó en la empresa IMPELEC, S.A., que disponía de los medios apropiados para realizar soldadura de las BGA's de los HPTDC's. En la radiografía de la figura 5.23 se aprecia la calidad de la soldadura.



Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

---

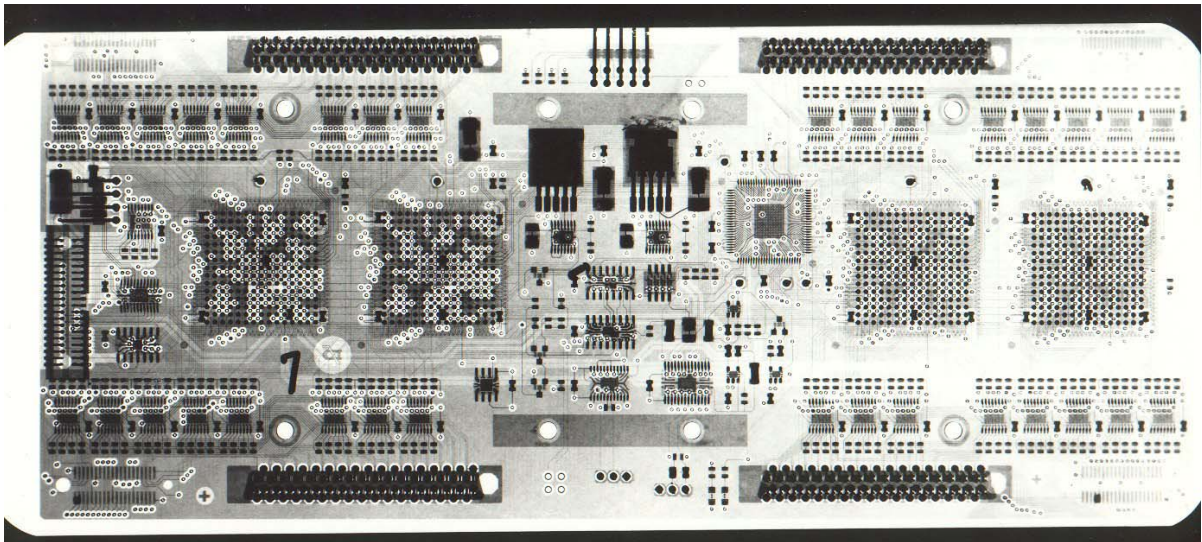
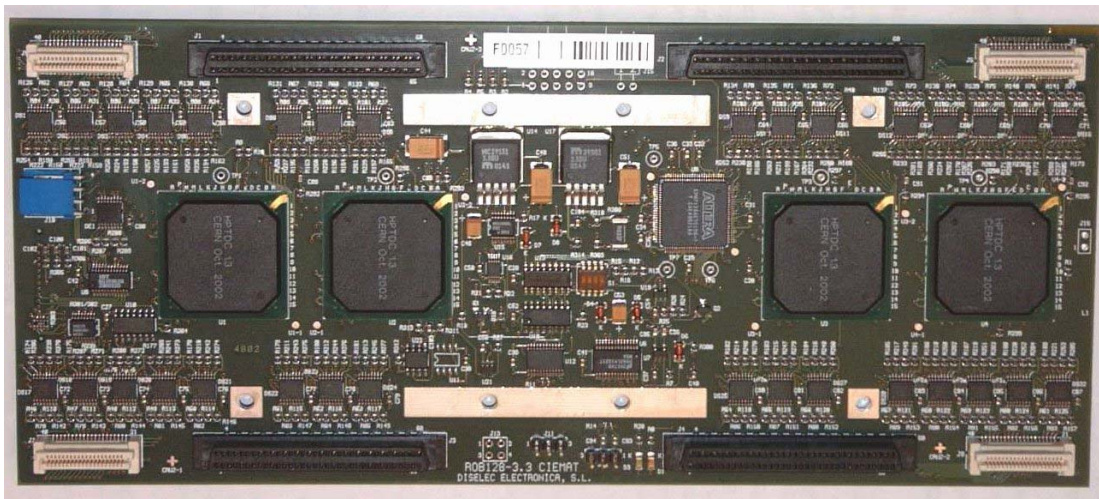


Figura 5.23: Radiografía de una ROB en la que se aprecia la correcta soldadura de los distintos componentes.

El resultado de este trabajo es la tarjeta de adquisición de datos que se muestra en la figura 5.24.



Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

---



Figura 5.24: Imagen de la cara frontal y trasera de la tarjeta de adquisición de datos ROB.

## 6 Tests de funcionalidad y validación de la tarjeta ROB.

### 6.1 ESTUDIO DE LA RESOLUCIÓN.

El límite para la resolución máxima de un convertidor analógico digital está dada por los errores de cuantización que se tienen incluso en un ADC ideal. Estos errores se modelan como fuentes de ruido, suponiendo que la entrada al sistema es una señal estocástica y por tanto el error de cuantización (diferencia entre la entrada y la salida del sistema) tiene una probabilidad de distribución como se muestra en la figura 6.1.

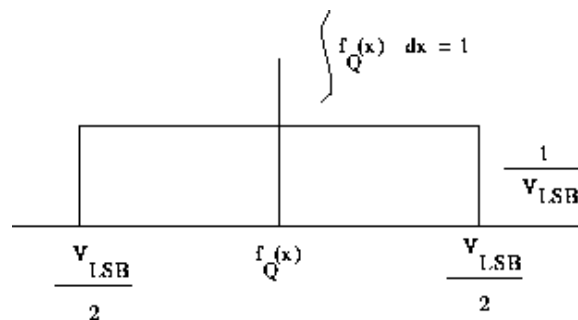


Figura 6.1: Distribución de probabilidad de la función de error de cuantización en un ADC.

El error de cuantización, límite teórico para nuestro HPTDC ( $LSB = 0.78125$  ns), sería por tanto:

$$\sigma^2 = \int_{-\infty}^{\infty} x^2 f(x) dx = \frac{1}{LSB} \int_{-LSB/2}^{LSB/2} x^2 dx = \frac{LSB^2}{12} \quad (6.1)$$

$$\sigma_{ideal} = \frac{LSB}{\sqrt{12}} = 225,5 ps$$

Con el fin de obtener la resolución de nuestro sistema se realizaron una serie de medidas utilizando para ello la instrumentación que se muestra en la figura 6.2. Se ha empleado el generador de patrones Tektronix DG2020, que permite retrasar pulsos con una precisión de 100ps, para generar los hits y la señal de disparo. La señal de disparo se introducía a continuación en la tarjeta de Control para sincronizarlo con el reloj de 40 MHz al que estaba conectada la ROB, mientras que las señales de los hits se introducían directamente en la tarjeta Patgen que los enviaba a continuación a la ROB. Este sistema permitía utilizar hits no

sincronizados con el reloj de la ROB, lo cual es fundamental para que éstos caigan en cualquier punto de la escalera del TDC.

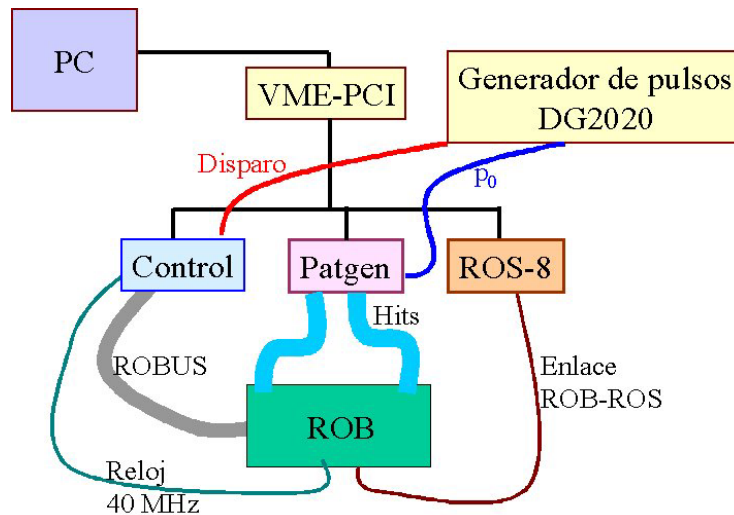


Figura 6.2: Representación del esquema de conexionado durante las pruebas de resolución.

Para realizar las medidas se utilizaban dos pulsos en dos canales diferentes del TDC, cuya separación se iba incrementando de 100 ps en 100 ps, a ser posible procedentes de dos cables distintos para minimizar los efectos de crosstalk. El primer pulso proporciona una referencia temporal para la medida que se realiza del segundo pulso. Se analizó un rango de 60 ns en pasos de 100 ps, comenzando por una separación inicial entre pulsos de 100 ps. La escalera obtenida se presenta en la figura 6.3, dónde se observa que se ajusta con bastante precisión a una recta de pendiente unidad.

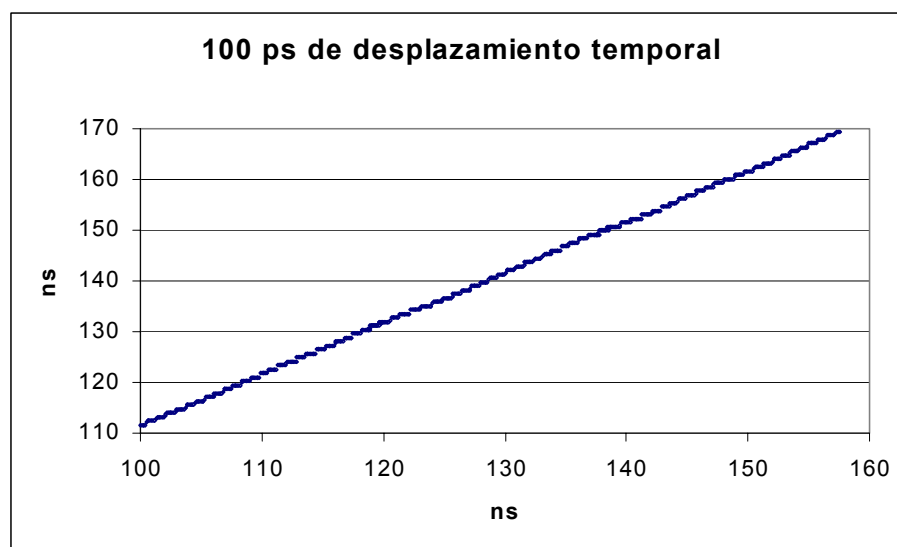


Figura 6.3: Escalera obtenida en el HPTDC.



De las diferencias entre esta escalera y la recta ideal que debería obtenerse, se obtiene el histograma de la figura 6.4, cuya desviación estándar es la resolución RMS de nuestro HPTDC y cuyo valor es:

$$\sigma_{\text{rms}} = 260 \text{ ps}$$

Este valor es muy próximo a la resolución ideal del TDC y resulta ser el mismo que el indicado en las especificaciones del TDC.

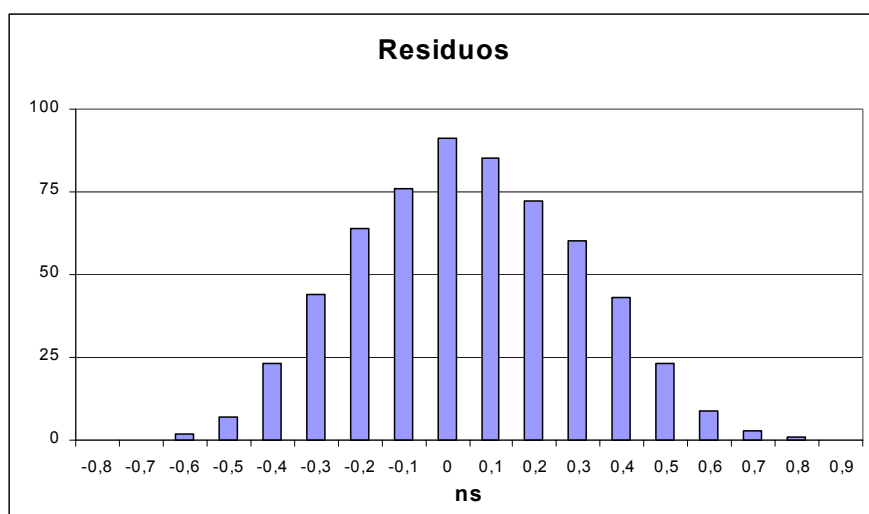


Figura 6.4: Histograma de los residuos obtenidos a partir de la figura 6.3.

## 6.2 ANÁLISIS DEL CROSSTALK.

Se ha realizado un estudio de la posible interferencia entre hits, tanto a nivel de placa como a nivel de HPTDC, analizando el efecto en la medida temporal de un canal provocado por la inyección de hits en canales adyacentes.

Para realizar este estudio se ha empleado el equipo indicado en la figura 6.5. En él se observa una primera tarjeta de Control que genera las señales de disparo y los pulsos  $p_0$  y  $p_1$  con los retardos adecuados para que caigan en la ventana de asignación del TDC. Los pulsos van a la tarjeta Patgen que realiza un fan-out a los distintos canales de un TDC. Por uno de ellos va la señal  $p_0$ , cuya medida temporal se verá afectada por las señales  $p_1$  que irán por canales

adyacentes. Por su parte, la señal de disparo se introduce en la segunda tarjeta de Control, que sincroniza esta señal con su reloj de 40 MHz y la transmite a la ROB.

Es importante utilizar señales de  $p_0$  y  $p_1$  no sincronizadas con el reloj para que en cada suceso caigan en una posición del bin del TDC y al realizar un elevado número de medidas se obtenga una curva gaussiana y obtener así una mayor precisión en la medida. Eso obliga a utilizar una referencia temporal,  $T_0$ , que provendrá de la señal de disparo de la primera tarjeta de Control, y que se introducirá en otra Patgen para dirigirse a otro canal del TDC, alejado de los anteriores tanto temporal como espacialmente para minimizar su interferencia. En la figura 6.6 se representa en un diagrama de tiempo las distintas señales.

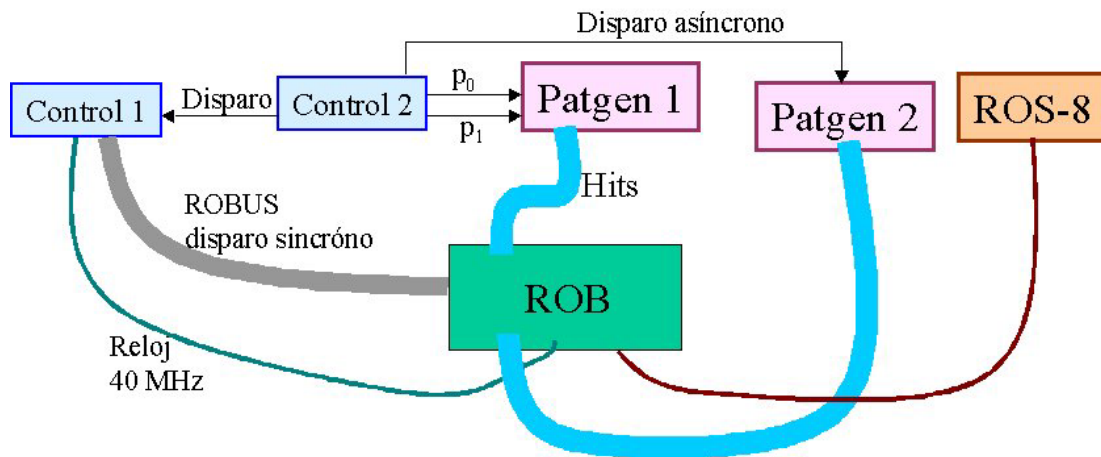


Figura 6.5: Representación del sistema utilizado para la medida del crosstalk.

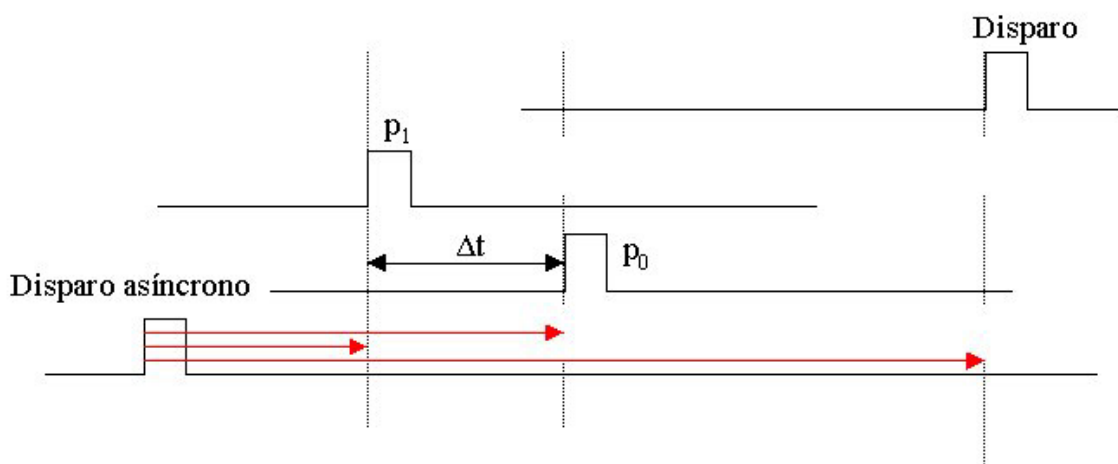


Figura 6.6: Diagrama temporal de las distintas señales empleadas en la prueba de crosstalk.  $p_0$  es la señal cuyo tiempo medimos y se ve afectada por  $p_1$  que hace un barrido para distintos  $\Delta t$ .

Las medidas realizadas se pueden ver en la figura 6.7, dónde se ha representado la diferencia entre  $p_0$  y  $p_1$  frente a la medida temporal de  $p_0$  cuando se desplazaba  $p_1$  desde 150 ns antes de  $p_0$  hasta 50 ns después. Puede observarse el efecto de la influencia entre las dos señales en el pico que se observa en las proximidades del 0, en donde la medida temporal es ligeramente superior, del orden de 150 ps mayor del valor que se mide en  $p_0$  sin  $p_1$ .

Este efecto de crosstalk está formado por distintas contribuciones, por una parte se debe a crosstalk en la ROB, en el HPTDC, en los cables desde Patgen a la ROB, a interferencias dentro de la propia Patgen, etc. Con el objetivo de discernir la contribución debida al equipo empleado y la que tenía lugar en el interior del HTPDC, se procedió a deshabilitar en el propio TDC los canales por los que entraba  $p_1$ , midiendo únicamente  $p_0$  mientras se desplazaba  $p_1$  como antes.

Los resultados se muestran en la figura 6.8, y en este caso la interferencia es mucho menor, de aproximadamente 80 ps. De ello se deduce que la mayor parte de la interferencia es interna al TDC, aunque está dentro de los límites indicados en su manual de operación [27] que son 150 ps máximos.

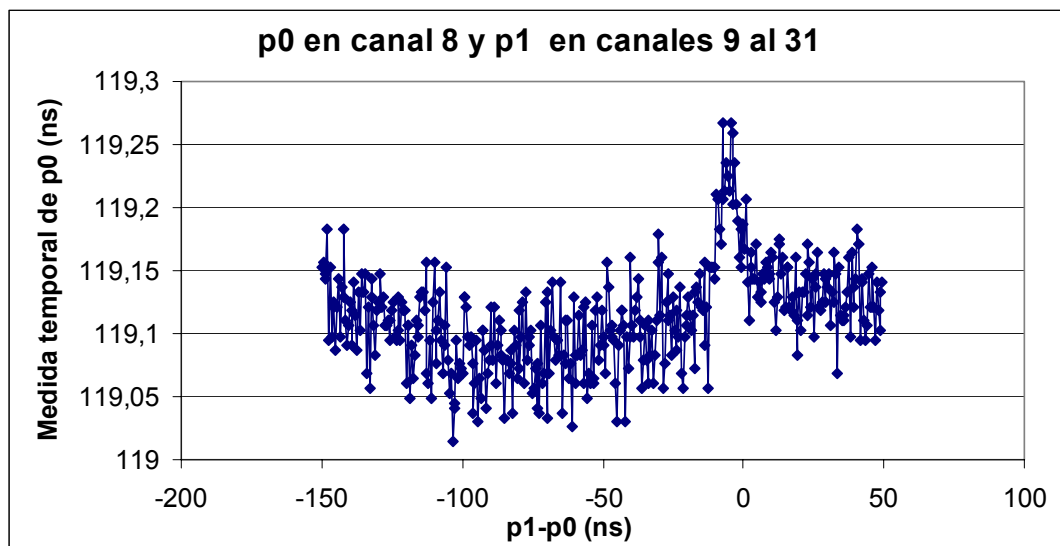


Figura 6.7: Desviaciones temporales obtenidas debidas al crosstalk entre hits.

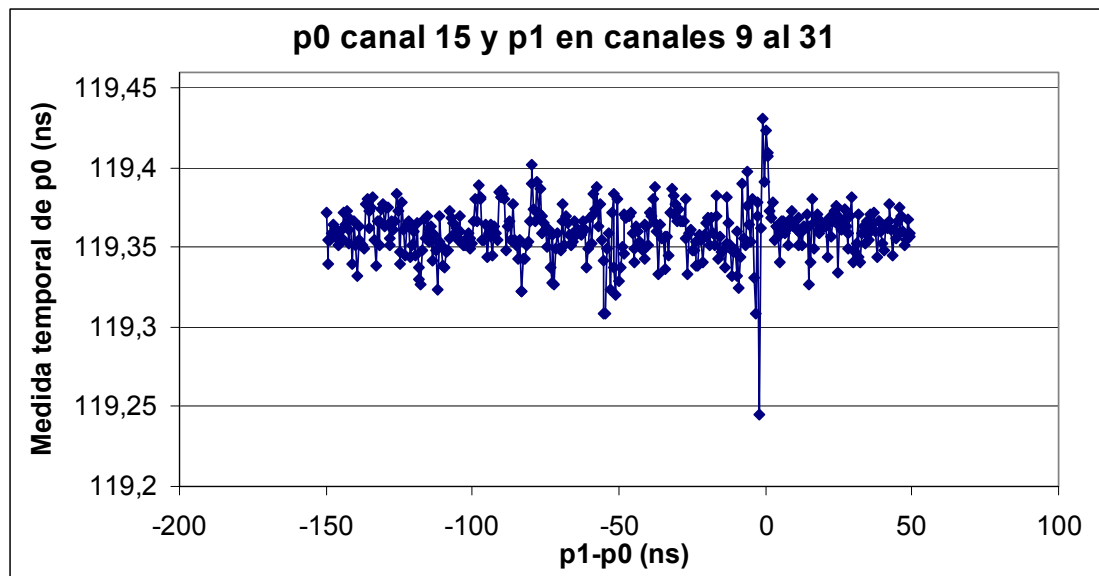


Figura 6.8: Desviaciones temporales obtenidas debidas al crosstalk antes del HPTDC.

### **6.3 COMPORTAMIENTO FRENTE A LA TEMPERATURA: CICLOS Y TEST ACELERADO.**

Con la finalidad de caracterizar la tarjeta ROB y su comportamiento frente a distintas condiciones medioambientales, se han realizado una serie de pruebas térmicas que garanticen el correcto funcionamiento de la ROB en situaciones límite más allá de las que deberían darse en condiciones normales durante la operación en el detector CMS. Sin embargo, dado el escaso mantenimiento que tendrá el sistema una vez instalado, se han realizado pruebas que sirvan también como test acelerado que permita encontrar componentes especialmente débiles o que se degraden fácilmente [36] y [37].

Estos tests se basan en las técnicas de estrés medioambiental [34] que incluyen ensayos del tipo HALT (Highly Accelerated Life Testing), que son tests destructivos para descubrir los límites de operación de un sistema, y HASS (Highly Accelerated Stress Screening) o HAST (Highly Accelerated Stress Testing), que son tests no destructivos para la inspección de componentes débiles o defectuosos.

Los tests del tipo HALT, como por ejemplo los burn-in [35], se fundamentan en el modelo de Arrhenius [34] que establece el valor del factor de aceleración (cociente entre la tasa

de fallos a la temperatura de operación y la tasa de fallos a la temperatura de estrés) en función de las temperaturas del test y de la energía de activación del mecanismo de fallo que tenga lugar en un dispositivo semiconductor. La ecuación que utiliza es la siguiente donde AF es el factor de aceleración, K la constante de Boltzmann y  $E_a$  la energía de activación. En la tabla 6.1 se recogen algunos valores de los factores de aceleración típicos a 105°C de algunos mecanismos de fallo.

$$AF = e^{\left(\left(\frac{E_a}{K}\right)\left(\frac{1}{T_0} - \frac{1}{T_{stress}}\right)\right)} \quad (6.2)$$

	AF
Corrosion	41
Defectos en el óxido de puerta	62
Defecto intermetálico	12
Defecto de metalización	62
Defectos de máscaras o fotoresistencias	322
Defectos de montaje	322
Inyección de carga	45420

Tabla 6.1: Factores de aceleración a 105°C para distintos mecanismos de fallos.

En nuestro caso se realizaron dos tipos de pruebas, la primera de ellas consistente en estudiar el comportamiento de los distintos componentes frente a la temperatura, para lo que se realizaron ciclos de temperatura no agresivos y se midieron las propiedades de los distintos dispositivos, y por otro lado se realizó un test acelerado, por encima de las condiciones normales de operación de los distintos componentes, para intentar encontrar fallos prematuros en alguno de los dispositivos.

### 6.3.1 Descripción de la cámara climática.

Para realizar estas pruebas se ha utilizado una cámara climática cuya imagen se puede ver en la figura 6.9, que tiene un rango de temperatura de -30 a 150°C, y que calienta a través de unas resistencias blindadas y aleteadas de acero inoxidable y enfría mediante un evaporador frigorífico ambos situados en el circuito cerrado de circulación del aire.



Figura 6.9: Imagen de la cámara climática utilizada para los tests de temperatura.

Esta cámara dispone de un programador/regulador DI-100 formado por un regulador PID y controlado por un microcontrolador que permite conexión al PC. El interior de la cámara tiene un volumen de unos 80 litros, y dispone de una ranura lateral por la que pueden introducirse los cables necesarios para realizar pruebas con el equipo en funcionamiento, como será nuestro caso. La cámara puede programarse a través del regulador DI-100 especificando los puntos de temperatura y humedad final de cada tramo y la duración del mismo, de forma que pueden realizarse pruebas con el perfil de temperatura deseado. En nuestro caso no se realizará control de humedad durante el proceso, teniéndose sólo en cuenta el perfil de temperaturas.

### 6.3.2 Ciclos de temperatura.

Dado que se están empleando dispositivos comerciales, el límite máximo de temperatura que pueden soportar es en todos los casos 70°C y en muchos, el límite inferior es 0°C, por ello se decidió realizar un test consistente en ciclos de temperatura con rampas de 0.2 °C/min entre ambos valores, para estudiar el comportamiento de los distintos dispositivos en todo su rango de operación. En la figura 6.10 se puede observar el ciclo programado y la lectura obtenida del sensor de temperaturas situado en la placa.

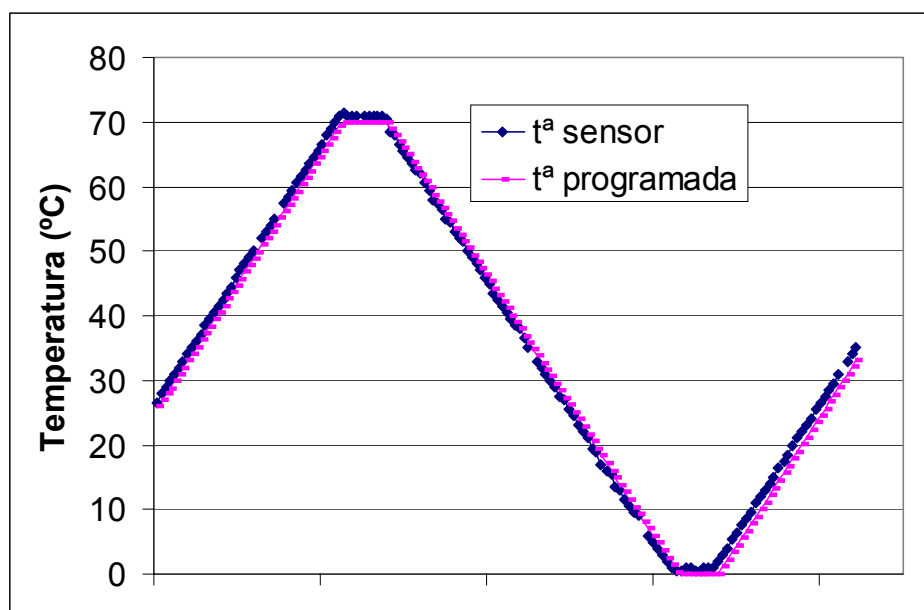


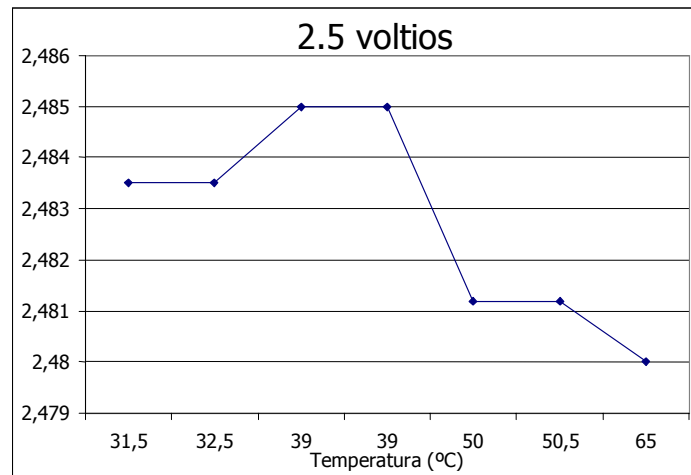
Figura 6.10: Ciclo de temperatura programado y lectura del sensor de temperatura.

Para ello se situó una ROB en el interior de la cámara climática, sostenida mediante un soporte de madera, y conectada completamente a un sistema de pruebas como el que se indica en la figura 6.9. Se desarrolló un programa en LabView para que realizara la toma de datos a intervalos regulares, cubriendo así todo el rango de temperaturas.

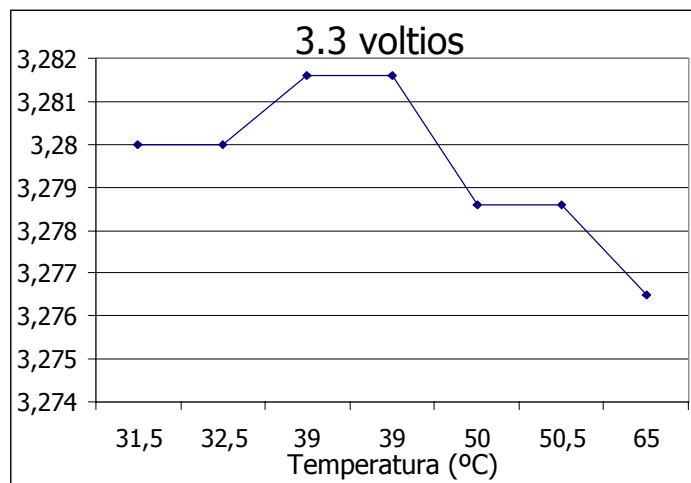
En primer lugar se estudió la estabilidad de los reguladores empleados con la temperatura. En las gráficas 6.11 y 6.12 se puede comprobar que la tensión de salida no varía en todo el rango de temperaturas en un intervalo de  $\pm 0.01$  V, teniéndose una variación de tensión media a la salida de los reguladores inferior a 0.2 mV/°C. Esto es algo superior a la variación máxima indicada en la hoja de datos del fabricante que es de 0.1 mV/°C.

Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

---



Figuras 6.11: Medidas de la tensión de 2.5V en placa frente a la temperatura.



Figuras 6.12: Medidas de la tensión de 3.3V en placa frente a la temperatura.

En la figura 6.13 se puede observar también la variación de la corriente de 2.5V en función de la temperatura. Esta variación es de 30 mA en total, aproximadamente 0.4 mA/°C.



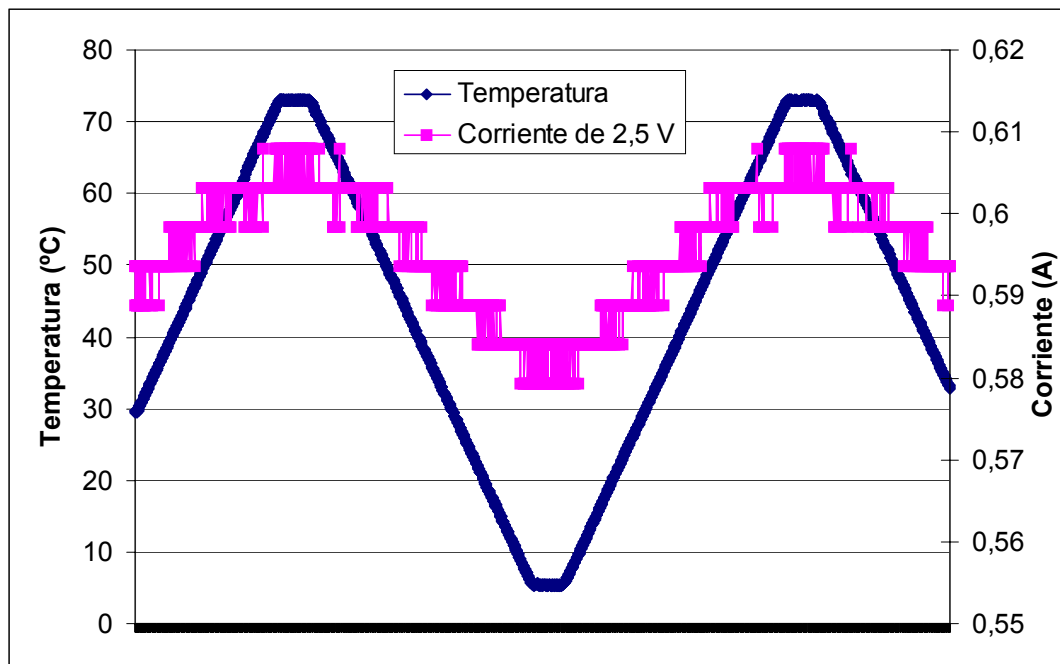


Figura 6.13: Variación de la corriente de 2.5V en función de la temperatura.

Por otro lado se observó una clara variación del valor de la medida temporal de los hits en función de la temperatura. En la figura 6.14 se puede comprobar que cuanto mayor es la temperatura, menor es el valor de la medida de tiempo realizada, es decir, la digitalización se ha realizado antes.

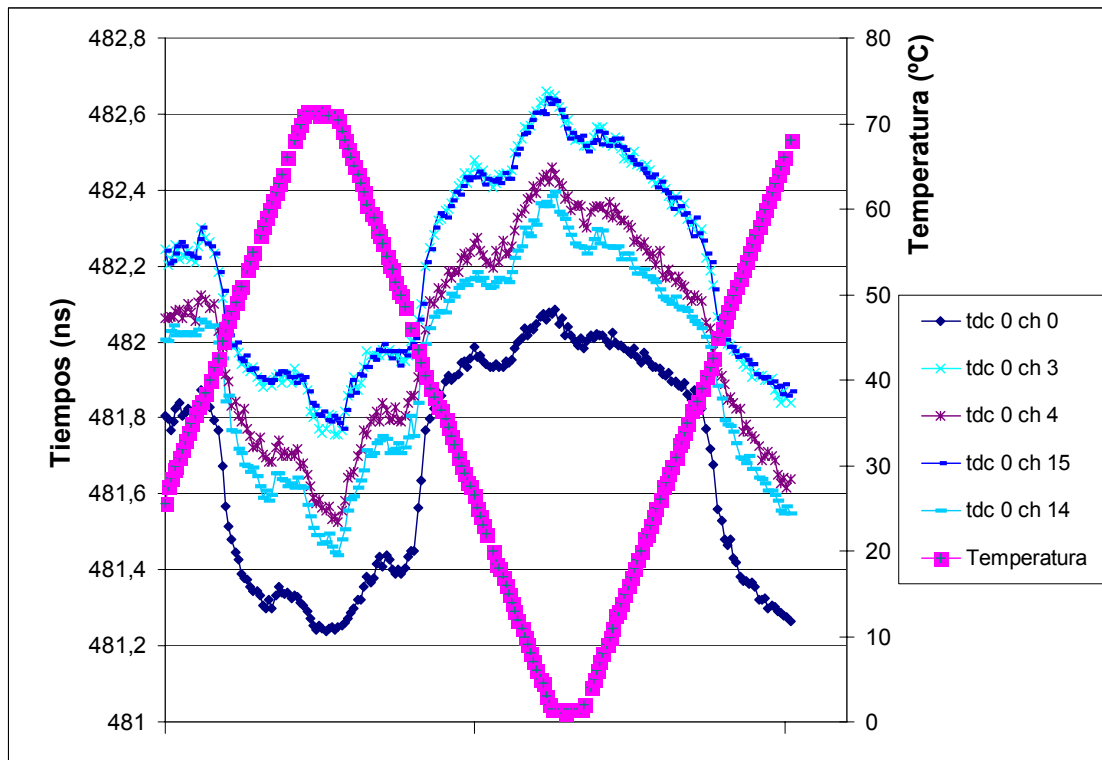


Figura 6.14: Variación de la medida temporal en función de la temperatura.

Estas pruebas se han repetido con distintas tarjetas, y en todos los casos se obtienen situaciones similares, con formas ligeramente diferentes dependiendo del canal del que se trate. La máxima desviación temporal que se observa es del orden de 1 ns entre 0°C y 70°C, lo que proporciona una desviación media de 14 ps/°C; sin embargo, este valor depende de la temperatura a la que nos encontremos, siendo máxima la desviación en torno a los 40°C, dónde se encuentran pendientes del orden de 45 ps/°C.

Estas desviaciones son la suma de las distintas contribuciones de cada uno de los elementos del sistema. Por una parte serán desviaciones en el propio HPTDC, que según el manual de operación no deberían ser superiores a 10 ps/°C, y por otro lado, los hits atraviesan también el receptor DS90LV048 antes de llegar al TDC, y éste también puede aportar su contribución a la diferente forma de las señales.

En principio es poco probable que estas diferencias sean debidas a los cables o a las pistas de cobre dado que el coeficiente térmico de éste es positivo ( $420 \cdot 10^{-5} \text{K}^{-1}$ ) y su resistencia

es mayor a medida que aumenta la temperatura, ralentizando así el flanco de subida del hit lo que provocaría una medida temporal mayor.

En la siguiente figura 6.15 se representan las desviaciones en las medidas temporales con respecto al valor medido a 20°C realizadas a la salida de los receptores DS90LV048 en función de la temperatura. Los resultados indican que la desviación media de estos receptores es de 4 ps/°C, aproximadamente un 30% de la desviación total observada.

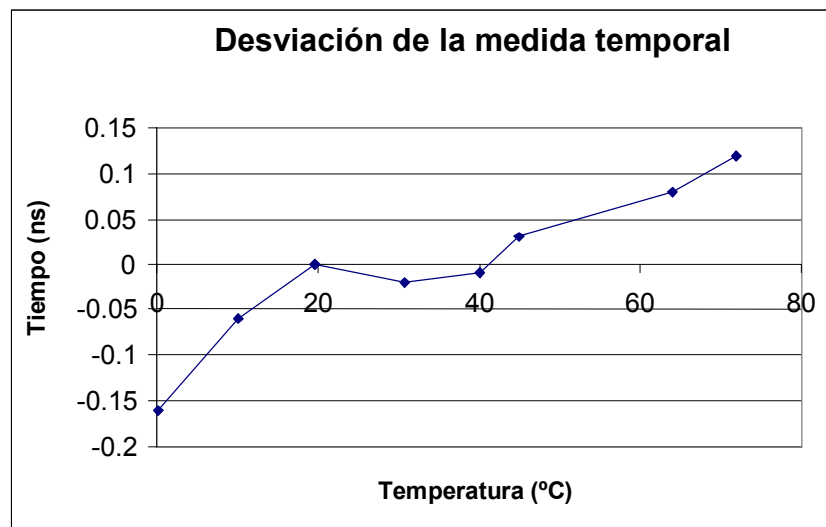


Figura 6.15: Desviación de la medida temporal con respecto al valor a 20°C debida a los receptores DS90LV048.

### 6.3.3 Pruebas de envejecimiento acelerado.

Se han realizado ensayos de duración de una tarjeta ROB para investigar qué componentes eran los más débiles y cuales eran los que tenían mayor probabilidad de fallar. El objetivo era obtener información sobre el principal modo de fallo y su energía de activación para poder hacer estimaciones del tiempo y las condiciones adecuadas en las debería realizarse un ensayo de burn-in con las 1500 tarjetas de la producción final para desechar así las que vayan a sufrir mortalidad infantil debido a alguno de sus componentes.

Para poder realizar un estudio exhaustivo es necesario disponer de suficiente estadística, pero debido al largo tiempo que llevan estas pruebas, en nuestro caso sólo se ha podido realizar

un ensayo con una sola tarjeta ROB que se ha mantenido alimentada y en operación durante 4 meses en un horno a 105°C.

Para ello se desarrolló un programa que realizaba un análisis completo de la funcionalidad de la tarjeta, tanto de su configuración como de los distintos modos de funcionamiento, registrando en los ficheros correspondientes en el caso de encontrarse algún error durante el proceso. Las pruebas consistían en una secuencia de operaciones que se repetía cada dos minutos. La secuencia se describe a continuación:

- *Comprobación del encendido.* Se realiza a través del sensor DS2438, y se comprueba si la tarjeta se enciende con alguna dirección diferente de la suya y si se enciende correctamente con su dirección, para ello se comprueba también la señal FLTB.
- *Lectura del IDCODE del HPTDC.* Mediante esta lectura se puede comprobar si la tarjeta responde cuando se realiza algún acceso JTAG a cualquier dirección que no es la suya, y en caso contrario, si responde afirmativamente.
- *Monitorización de la tensión y de la temperatura en placa.* Se ha comprobado que la temperatura en placa era algo superior a la temperatura ambiente, en torno a 2 °C.
- *Configuración de los HPTDC's:* Se comprueba que no se obtienen fallos en los HPTDC's tras cargar los datos de configuración.
- *Adquisición de datos:* Se realiza una secuencia enviando un suceso a cada uno de los 128 canales de la tarjeta, comprobando que en cada caso se recibe un hit y sólo uno por el canal correspondiente y con el valor de tiempo adecuado, y que no se reciben datos por ningún otro canal. Esta secuencia se repite 50 veces y se comprueba que los TDC's no envían ningún mensaje de error.
- *Modo test de pulsos:* Se realiza una secuencia en modo de test de pulsos comprobando que en cada paso se obtienen los canales apropiados y que por ello, tanto la lógica de la CPLD como los distintos receptores DS90LV048 funcionan correctamente.

Después de 4 meses de operación, los únicos fallos obtenidos fueron debidos a que los cables de datos y de alimentación se estropeaban debido a las altas temperaturas. No se encontró ningún fallo ocasionado por ningún componente de la placa a pesar de que su límite máximo de temperatura estaba establecido en 70°C. La tarjeta ROB sigue funcionando en perfectas condiciones y sólo se ha apreciado una coloración amarilla en la sustancia que recubre la PCB debido a un envejecimiento acelerado.

Aunque sería necesario realizar este ensayo con un mayor número de tarjetas, en principio, se tomarán como válidos estos resultados para hacer una estimación del tiempo de vida de las ROB. Dado que en 4 meses a 105°C no se ha detectado ningún fallo, consideraremos que la tasa de fallos a 105°C es como máximo:

$$\text{Tasa fallos a } 105^{\circ}\text{C} = \frac{1}{4\text{meses}}$$

Si el período de operación que se estima es del orden de los 10 años (120 meses), y se pretende no tener ningún fallo en ese tiempo, el factor de aceleración que debería tener un mecanismo de fallo para hacerse visible con una prueba de 4 meses a 105°C es:

$$\text{AF} = (\text{Tasa fallos a } 105^{\circ}\text{C} / \text{tasa fallos en condic normales}) \geq 30$$

De los valores que se tienen en la tabla 6.1 se deduce que la mayoría de los mecanismos de fallos tienen factores de aceleración mayores, por lo que, aunque la prueba no sea totalmente concluyente por falta de estadística, sí apunta al menos a que la tarjeta diseñada parece ser bastante fiable.

## **6.4 ENSAYOS BAJO HACES DE PRUEBA EN EL GIF DEL CERN.**

### **6.4.1 Descripción del haz de pruebas y del equipo empleado.**

Las condiciones más similares de operación a las que se encontrarán durante la operación del LHC se dan en pruebas bajo haces reales de muones en aceleradores de partículas

como los existentes en el CERN. Por ello se realizaron una serie de tests, [38] y [39], utilizando una cámara de deriva de tipo MB2 construida en el CIEMAT y situada en una de las líneas de salida de haces del acelerador SPS (Super Proton Synchrotron) del CERN llamada GIF (Gamma Irradiation Facility).

Se conectó al front-end de esta cámara una tarjeta ROB para realizar la adquisición de datos y poder comprobar de esta forma que la electrónica desarrollada puede soportar la tasa de partículas cargadas que se encontrarán en el funcionamiento normal del LHC, así como estudiar su comportamiento bajo situaciones desfavorables como un canal ruidoso en la cámara de muones y comprobar la pérdida de hits que esto pudiera conllevar. De esta forma se garantiza que se cumplen los requisitos básicos de CMS y se demuestra la fiabilidad del sistema en un medio con condiciones de ruido similares a las de la operación final.

El GIF está situado en el área oeste del CERN, al final del haz X5, que es uno de los haces secundarios del sincrotrón SPS. El modo de operación puede ser variado, dependiendo de la estructura del haz que se utilice y de la naturaleza de las partículas elegidas en el haz secundario, pero es un acelerador con capacidad de reproducir el haz estructurado de 25 ns que se tendrá en el LHC. Además, en el GIF existe una fuente de rayos gamma de  $Cs^{137}$  capaz de generar un ruido de fondo en el área de incidencia del haz. Un sistema de filtros de plomo permite regular el flujo de este haz de rayos gamma, con 17 factores variables de atenuación, generando el más pequeño un ruido de fondo un factor 2 más grande que el máximo esperado en cualquiera de las cámaras de deriva del LHC.

En la figura 6.16 se puede observar una representación esquemática del GIF y de la disposición de la cámara de deriva y de los filtros con respecto al haz incidente. La ROB se conectó en total a 96 canales de la cámara,  $\Phi$  y  $\theta$ , suficiente para cubrir la región en la que incide el haz, que no es más que  $\pm 0.8$  celdas en  $\Phi$  y  $\pm 1.3$  celdas en  $\theta$ , lo que resulta en un total de 40 canales de una ROB. Este es el principal inconveniente de los haces de muones, su pequeña sección transversal (aprox  $10 \text{ cm}^2$ ).

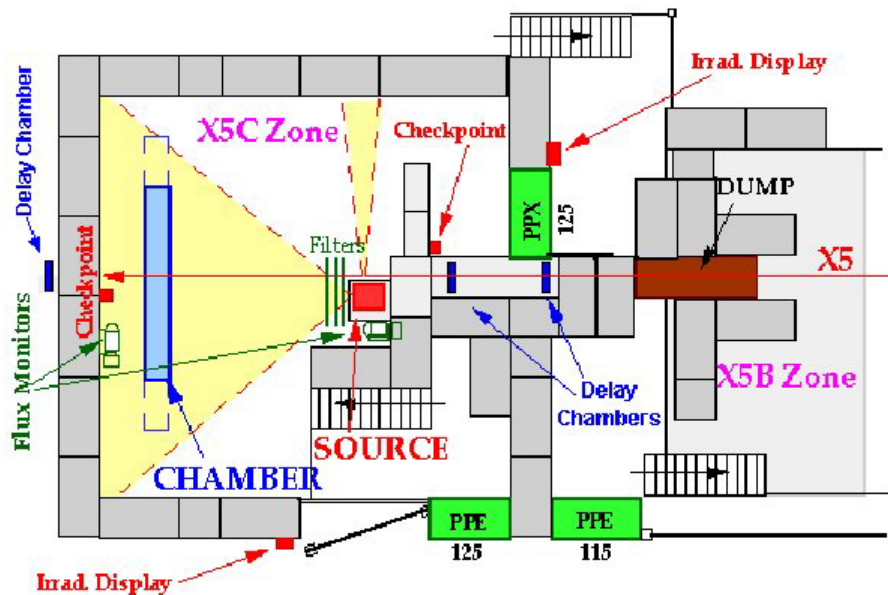


Figura 6.16: Representación esquemática del área del GIF dónde se instaló la cámara de muones.

El disparo se realizaba a través de un sistema de plásticos situados delante de la cámara de deriva y que se conectaban a una lógica de procesado y retardo para proporcionar una señal sincrónica equivalente al disparo del LHC. Esta lógica de procesado no realizaba las tareas de la lógica del disparo de muones de CMS, sino que proporcionaba un disparo válido mediante un sistema de coincidencia entre dos plásticos paralelos de distinto tamaño. El disparo proporcionado era una señal eléctrica NIM de 25 ns de anchura.

En total se realizaron tomas de datos durante dos períodos de irradiación, el primero de ellos, P2B, con un haz de muones no estructurado cuya intensidad era de aproximadamente 6000 disparos/spill (1200 disparos/s), siendo la duración del spill (período de tiempo en el que hay partículas en el haz secundario) de 5.1 segundos y el período de repetición de 16.8 segundos. La segunda etapa de irradiación, P2C, consistía en un haz cuya estructura era de 25 ns, es decir, los muones venían agrupados en paquetes separados temporalmente entre sí múltiplos de 25 ns, siendo la intensidad del haz de 26000 disparos/spill (5000 disparos/s) para las mismas ventanas temporales del spill.

En ambos casos recibíamos señales NIM de comienzo y final del spill que podíamos utilizar como interrupciones de nuestro sistema para diferenciar entre la presencia o no del haz y estudiar, por ejemplo, los ruidos de fondo.

En la figura 6.17 se puede observar un esquema del sistema de pruebas utilizado, que incluía una tarjeta VME de Control para la configuración y monitorización de la ROB y una tarjeta VME de lectura de datos, similar a la ROS-8. Los 96 canales suponían utilizar tres de los cuatro conectores de datos de la ROB, por lo que en el cuarto restante se introdujo como referencia temporal la señal de disparo, no sincronizada con el reloj de la ROB, proveniente del sistema de coincidencia como si fuera un hit más, introduciendo los retardos posteriores necesarios en el disparo, ya sincronizado, para que cayera en su ventana de asignación.

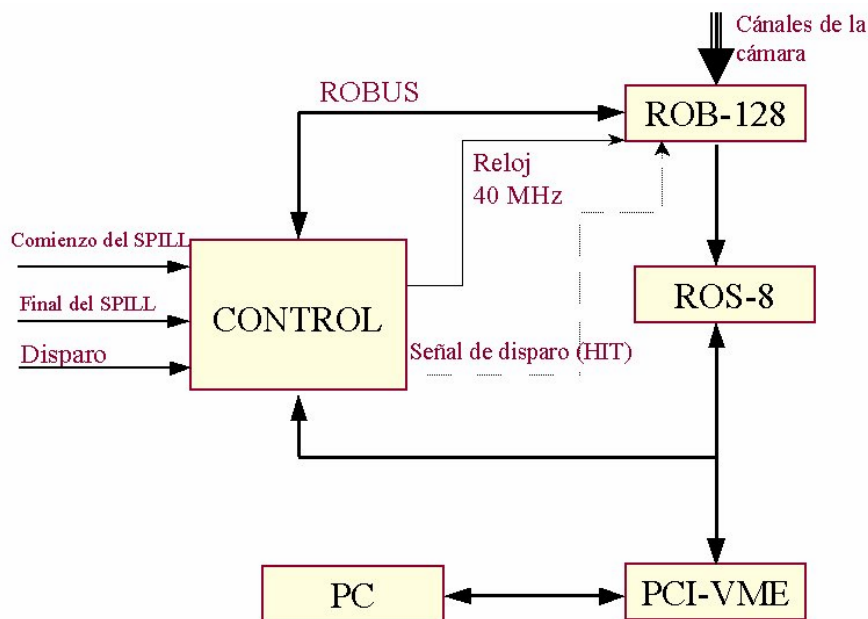


Figura 6.17: Esquema del equipo utilizado durante la prueba de haces.

#### 6.4.2 Primer período de prueba de haces, P2B.

Durante el primer período del haz de pruebas se realizaron 7 tomas de datos de  $5 \cdot 10^5$  sucesos/ensayo. Los parámetros utilizados habían sido: 1.1  $\mu$ s de latencia, 1.3  $\mu$ s de ventana de rechazo, varios valores de la ventana de búsqueda según el ensayo: 900 ns, 1  $\mu$ s, 1.1  $\mu$ s y distintos valores de ventana de asignación: 700 ns, 800 ns y 900 ns. Dado que la velocidad máxima de deriva es aproximadamente 400ns, estos valores acomodaban perfectamente la ventana, como puede verse en la figura 6.18 en la que se observa la distribución temporal de los hits recibidos en todo el ancho de la ventana. Como puede comprobarse la ventana estaba bastante centrada en lo que es el rango dinámico de la celda y se aprecia perfectamente la zona



de ruido y la zona correspondiente a los hits de los muones. Aunque es necesario que la ventana del TDC sea suficientemente grande para registrar todos los hits procedentes de una celda, independientemente de la posición por la que la atravesó la partícula, no debe utilizarse una ventana demasiado grande porque entonces se estarían recogiendo muchos hits debidos a ruido ambiente y podrían saturarse las memorias del TDC y perder hits que sí provengan del paso de un muón.

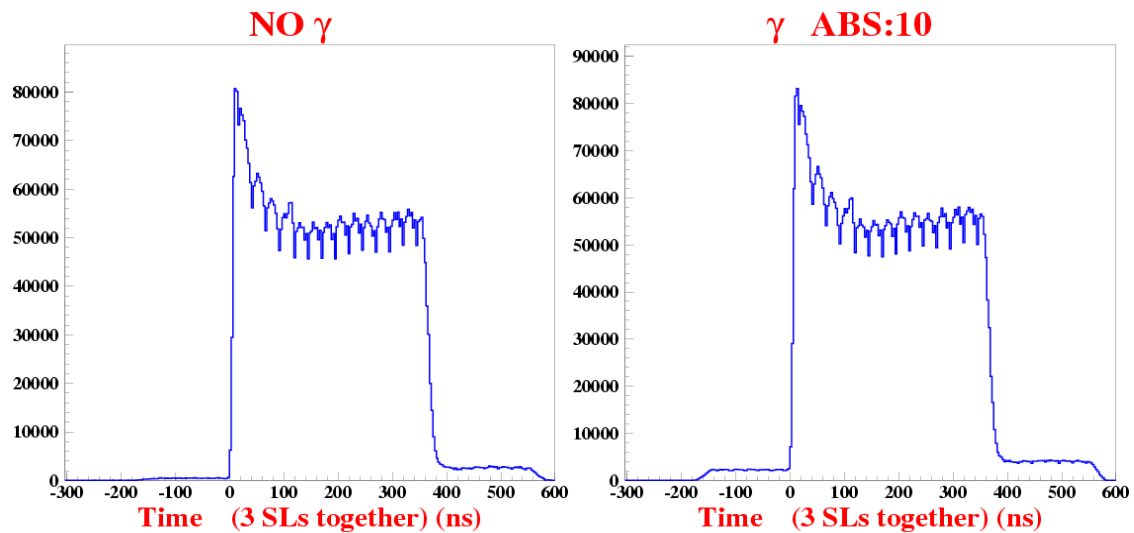


Figura 6.18 Distribución del tiempo de deriva de una celda sin ruido de fondo (izquierda) y con rayos gamma y un filtro del 10% (derecha).

De los datos tomados se confirmó que no se habían producido errores de TDC, ni había habido desbordamiento de ninguna de las memorias, por lo que la ROB se había comportado perfectamente.

Dado que introducíamos la señal de disparo como un hit más, resultaba muy sencillo el estudio del solapamiento de disparos, pues cuando esto tenía lugar, en ese suceso se encontraban dos (o más) hits de disparo en vez de uno, y en el siguiente suceso se reproduciría la misma estructura de hits posteriores al segundo disparo.

No se obtuvieron muchos sucesos con disparos solapados, lo cual es normal si se tiene en cuenta que la ventana de asignación duraba 800 ns y que la tasa de disparos con la que trabajamos era de aproximadamente 1 disparo/ms, por lo que la probabilidad de tener disparos solapados era sólo  $8 \cdot 10^{-4}$ , lo que implicaría unos 400 sucesos por ensayo con disparos solapados y el número medio que se tuvo fue del mismo orden, en torno a 700.

También se realizaron pruebas irradiando la cámara con rayos gamma, para simular el ruido de fondo bajo condiciones normales de operación del LHC. Como puede verse en la figura 6.18 el ruido efectivo total se vio incrementado, pero esto no tuvo efecto en el comportamiento del TDC a la hora de saturar las memorias ni provocar la pérdida de hits.

La estructura no horizontal del espectro del TDC que se puede ver en la figura 6.18, es debido a la no linealidad de la velocidad de deriva en la celda, y como puede verse se tiene una mayor densidad de valores pequeños de tiempo de la que debería haber, correspondiéndose con la región próxima al ánodo, lo que indica que el factor de aceleración en esa zona es mayor y los tiempos son menores de lo que deberían ser.

### **6.4.3 Segundo período de prueba de haces, P2C.**

Durante el segundo período de pruebas se tomaron en total 9 ensayos equivalentes a un total de  $5 \cdot 10^6$  sucesos. La configuración de la ROB y el equipo utilizado fueron básicamente los mismos que durante el primer período de pruebas. La principal diferencia residía en la estructura de 25 ns que tenía en este caso el haz y su mayor intensidad.

En este ensayo se detectaron ocasionalmente mensajes de error del TDC, debidos al desbordamiento de las memorias. El motivo de ello fue que había dos canales ruidosos, el 16 y el 19 del TDC 1 de la ROB, los cuales pertenecían al mismo grupo de primer nivel de las memorias de ese TDC. La frecuencia con la que se obtenían hits en estos canales era del orden de megahertzios, lo que fácilmente saturaba la memoria si además se tiene en cuenta que se trataba de dos canales en el mismo grupo, y que el tamaño de la ventana de asignación era bastante grande.

Se programó el HPTDC para que enviara información del estado de llenado de sus memorias junto con los datos, la cual permitía trazar el llenado de las mismas en cada suceso. Un ejemplo de los datos recibidos se puede ver en la figura 6.20, donde se comprueba claramente que la memoria de primer nivel del grupo 3 del TDC 1 está a punto de llenarse completamente.

<b>Memoria L1 (max)</b>	<b>TDC 0</b>	<b>TDC 1</b>	<b>TDC 2</b>	<b>TDC 3</b>
<b>grupo 0 (0-7)</b>	6	16	14	11
<b>grupo 1 (8-15)</b>	17	17	21	12
<b>grupo 2 (16-23)</b>	16	254	5	5
<b>grupo 3 (24-31)</b>	13	15	0	0

•Ocupación mínima de la memoria L1 = 0; excepto TDC 1 grupo 2 = 8

<b>FIFO de disparos</b>	<b>TDC 0</b>	<b>TDC 1</b>	<b>TDC 2</b>	<b>TDC 3</b>
<b>Ocupación max.</b>	3	3	3	2

•Ocupación mínima de la FIFO de disparos = 0

<b>FIFO de lectura</b>	<b>TDC 0</b>	<b>TDC 1</b>	<b>TDC 2</b>	<b>TDC 3</b>
<b>Ocupación max.</b>	56	120	79	59

•Ocupación mínima FIFO de lectura = 3

Figura 6.20: Ocupación de las distintas memorias del HPTDC durante un ensayo de la prueba de haces.

Esta frecuencia tan elevada en un canal indica que el ruido se debe a una oscilación en la etapa preamplificadora, posiblemente por tener algún problema en la conexión con el hilo de la celda. En posteriores ensayos, estos canales fueron deshabilitados pues no proporcionaban ninguna información de utilidad una vez se había comprobado el comportamiento del HPTDC en esta situación, y se había garantizado que una situación ruidosa de este tipo afectaría únicamente a los 8 canales del mismo grupo, que serían los únicos en los que podría producirse la pérdida de datos por llenado de las memorias. El resto de los canales funcionaron perfectamente.

De la información de la figura 6.20 se puede ver también la ocupación de la FIFO de disparos, cuya ocupación máxima en este ensayo es de 3 disparos. Esta memoria está lejos de saturarse, pues tiene hasta 16 posiciones. Lo mismo sucede con la memoria de salida, que aunque su ocupación es mayor en el caso del TDC 1 debido a los canales ruidosos, también está lejos de producir un desbordamiento, pues tiene 256 posiciones.

Con esta estructura de haces se obtuvieron hasta 5 disparos solapados que pudieron detectarse como hits en el mismo suceso. En la siguiente tabla 6.2 se observa la tasa de disparos solapados que se obtuvo.

2 disparos/suceso	38610	12.6 %
3 disparos/suceso	3256	1.1 %

4 disparos/suceso	154	0.05 %
5 disparos/suceso	6	0.002 %

Tabla 6.2: Tasa de disparos por suceso en el segundo período de prueba de haces.

Dada la elevada tasa de disparos de este período de pruebas, no es sorprendente el elevado número de sucesos solapados que se encuentra, sin embargo, la tasa de sucesos múltiples es 100 veces mayor que en el primer período mientras que la intensidad de disparos es únicamente 5 veces mayor. Esto se explica dada la estructura del haz, ya que al estar concentrados los muones en paquetes, es mucho más probable que se solapen sus ventanas temporales.

En la figura 6.21 se ha representado la separación temporal entre dos disparos recibidos en el mismo suceso, cosa que puede hacerse ya que estos tienen la misma referencia temporal. En esta gráfica se puede observar claramente la estructura de 25 ns del haz, ya que la mayoría de los disparos están separados una distancia temporal múltiplo de esos 25 ns. El valor más probable es que estén distanciados aproximadamente 125 ns, disminuyendo la probabilidad cuanto mayor es la separación temporal. Sería interesante realizar una gráfica similar para conocer la estructura del haz en el primer período de pruebas, que se espera que sea una distribución aproximadamente uniforme, no obstante la intensidad de disparos que se tenía no era suficiente para poder realizar éste cálculo, ya que la tasa de disparos solapados es muy pequeña y es necesario que estén solapados para que su referencia temporal sea la misma.

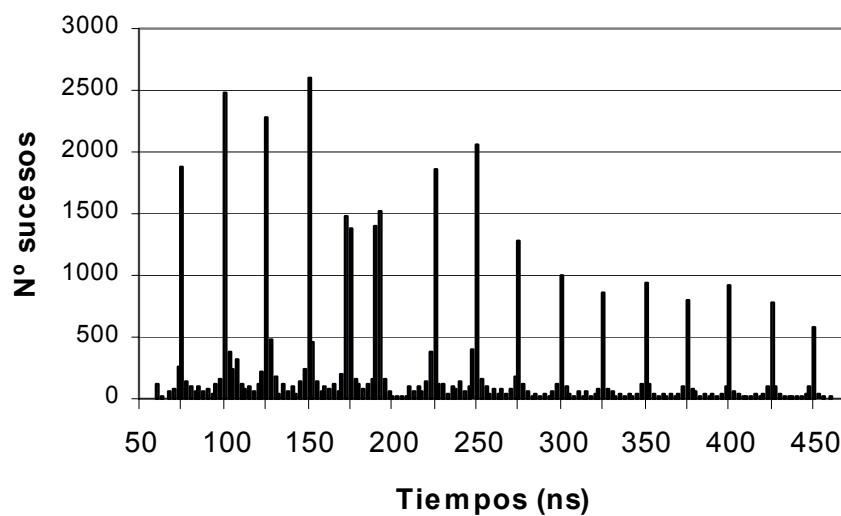


Figura 6.21: Estructura de 25 ns del haz de muones, obtenida a partir de las diferencias temporales entre dos disparos en sucesos solapados.

En resumen, se ha demostrado que los HPTDC's y la ROB diseñada pueden soportar las condiciones de operación que se prevén en el LHC, respondiendo favorablemente a condiciones de ruido de fondo y también a situaciones de canales ruidosos que pueden deshabilitarse individualmente y que en todo caso, únicamente afectarían al funcionamiento de un grupo de 8 canales. Hay que tener en cuenta que aunque la tasa de disparos que se manejaba en este caso es inferior a la que se espera en el LHC (5KHz en vez de 100 KHz), la tasa de muones es mucho mayor, 500 Hz/cm<sup>2</sup> frente a 1 Hz/cm<sup>2</sup> que se espera en el LHC, y que en última instancia es lo que puede provocar el desbordamiento de las memorias.

## **6.5 ANÁLISIS DE PARÁMETROS CARACTERÍSTICOS**

### **6.5.1 Consumo y tiempo de encendido.**

Cada tarjeta consume aproximadamente 0,5 A en la alimentación de 3.3V y 0.5 A en la de 2.5 V, luego el consumo total por tarjeta es aproximadamente de 2.9 Wattios.

El encendido de la tarjeta dura aproximadamente 100 ms, siendo el encendido de 3.3 unos 22  $\mu$ s antes del encendido de la alimentación de 2.5V.

### **6.5.2 Consideraciones sobre el reloj.**

El jitter medido en placa es de 34 ps rms (350 ps pico a pico) utilizando como generador de reloj un cristal de cuarzo. El PLL del HPTDC reduce éste jitter hasta aproximadamente 25 ps rms, lo cual se ha podido medir utilizando la salida de test del HPTDC que puede configurarse para proporcionar señales internas del chip, como por ejemplo el reloj a la salida del PLL. Se han realizado distintas pruebas variando la corriente del PLL cuando el reloj de entrada de la ROB había sido alterado con un jitter de 5 ns rms. Los resultados se muestran en la tabla 6.3.

Corriente del PLL	Jitter rms
1	59 ps
4	180 ps

8	470 ps
12	0.93 ns
16	1.33 ns
20	1.87 ns
24	2.78 ns
31	3.83 ns

Tabla 6.3: Relación entre la corriente del PLL y el jitter del reloj a la salida del PLL.

Aunque de esta tabla se deduce que pudiera interesar una corriente mayor para disminuir el jitter de reloj, esto presenta un inconveniente y es el hecho de que cuanto mayor es la corriente del PLL más tiempo tarda éste en enganchar, como puede verse en la tabla 6.4.

Corriente del PLL	Tiempo en enganchar (us)
1	170
4	45
8	23
12	15
16	11
20	9
24	7
31	5

Tabla 6.4: Relación entre la corriente del PLL y el tiempo que éste tarda en enganchar.

### 6.5.3 Problemas detectados en el HPTDC.

El único fallo reseñable que se ha detectado en el HPTDC es que el número de palabras (Wordcount) que proporciona el último campo de la palabra de cola global, que cierra el suceso y que refleja el número de palabras transmitidas, es incorrecto cuando se habilitan las colas locales en los TDC's, ya que la última cola correspondiente al TDC master no se cuenta y por tanto se obtiene un número inferior al que correspondería. Este es un error de diseño del HPTDC que no tiene ningún efecto en nuestra aplicación.

Por otro lado, en una primera versión del HPTDC, se detectó una interferencia entre la llegada de hits al TDC y la fase del reloj, produciéndose un error de paridad del contador de cruce de haces cuando la rampa de subida del hit coincidía con la fase positiva de reloj. Esto puede verse en la figura 6.22 en la que se representa el número de errores obtenidos en 12

intentos para cada valor del retardo del hit, en pasos de 0.5 ns. Como puede verse cada 25 ns que coinciden las fases se obtiene un error de TDC. Este problema se ha resuelto en la última versión del HPTDC, en la que se han modificado algunos pasos de la fase de metalización en la fabricación del chip.

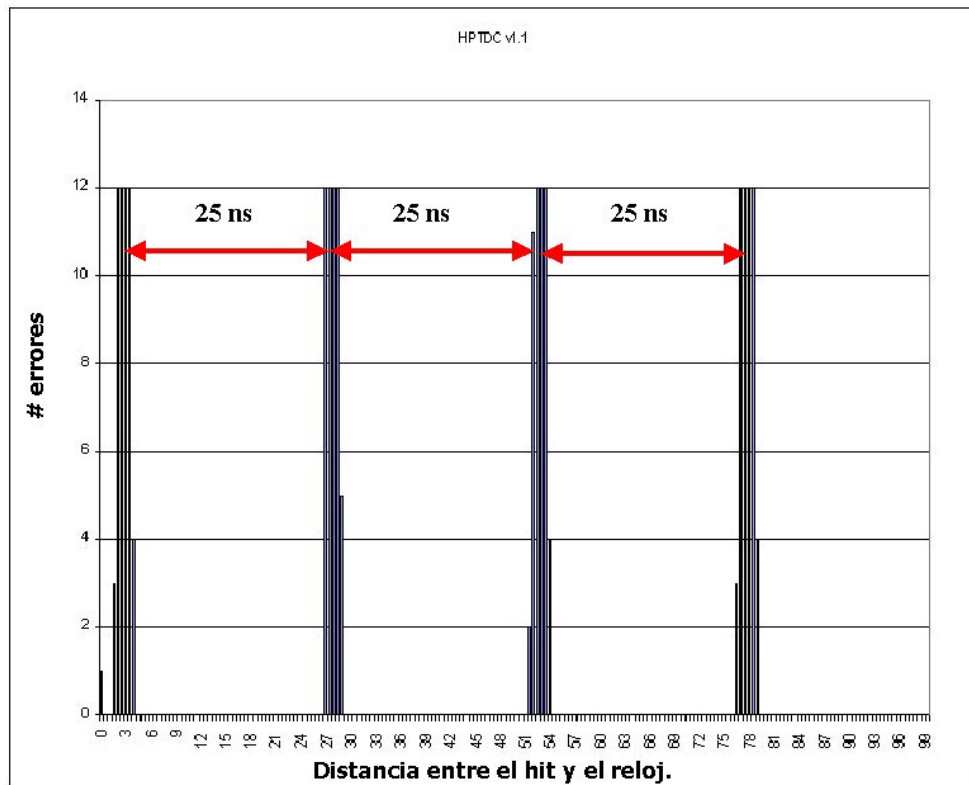


Figura 6.22: Representación de la tasa de errores de una versión previa del HPTDC como consecuencia de la interferencia entre la señal de reloj y los hits.

## **6.6 ESTUDIO DEL COMPORTAMIENTO DE LA ROB BAJO RADIACIÓN.**

Con el fin de caracterizar los componentes que se han escogido frente a radiación se han realizado pruebas bajo un haz de protones de 60 MeV. Esta energía está disponible, por ejemplo, en el ciclotrón de la Universidad Católica de Lovaina, Bruselas. En la figura 6.23 se puede ver una fotografía del punto de salida del haz del ciclotrón de Lovaina que es donde colocamos nuestras tarjetas ROB, con un diafragma regulable para irradiar únicamente la zona de interés.

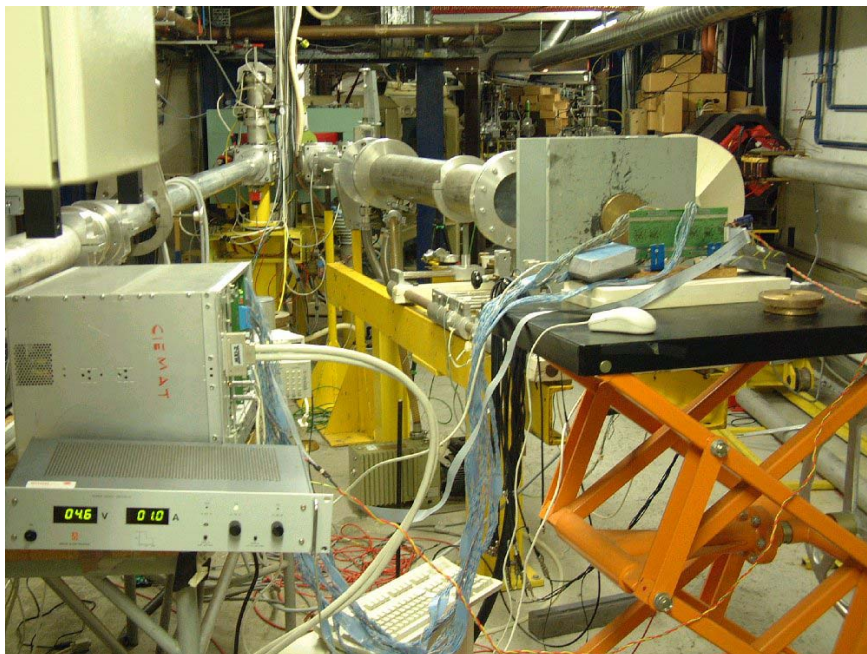


Figura 6.23: Imagen de la irradiación de la ROB en el ciclotrón de UCL.

Aunque el flujo de partículas que tendremos en la región donde se sitúan las ROB's es debido principalmente a neutrones, el realizar pruebas con protones con energías por encima de 50 MeV provoca efectos similares a los que se obtendrían con neutrones [reff19 articulo rad], siendo en cambio relativamente sencillo utilizar aceleradores de protones mientras que los haces de neutrones de estas energías son mucho más costosos y escasos y en ningún caso monoenergéticos. La principal diferencia reside en que al utilizar protones, además de los efectos de SEE y de desplazamiento, se almacenará una cierta dosis en los componentes



electrónicos. En nuestro caso, tras exposiciones de  $5 \cdot 10^5$  protones, la dosis total recibida asciende a 7 krad.

Estas pruebas se han realizado mientras los componentes estaban en funcionamiento, por lo que fue necesario diseñar un sistema de pruebas a distancia que permitiera controlar y monitorizar la toma de datos para detectar cualquier error tipo SEU que son los que esperamos que sucedan con mayor probabilidad.

A continuación se describen las distintas pruebas que se han realizado y el equipo de análisis que se utilizó en cada caso.

- Reguladores MIC29151-3.3BU y MIC 39301-2.5BU: Se realizó un estudio de la corriente y tensión que proporcionaban sobre una resistencia de carga de valor fijo a lo largo del período de irradiación. Los resultados obtenidos indican una variación de la tensión de salida inferior al 1% para la dosis irradiada, que es equivalente a 50 años de operación en el LHC.
- HPTDC y zona central de ROB (básicamente todos los circuitos integrados que se utilizan): Se irradió cada TDC por separado, y luego la zona central en común. En este caso se realizó un sistema de pruebas que mantuviera a la ROB en modo de adquisición de datos continuo, de forma que cualquier alteración de los bits de las memorias de cualquier componente pudiera ser detectado.

Se utilizó un equipo similar al descrito en el esquema 5.21, inyectando datos a través de la tarjeta VME Patgen y generando los disparos a través de la tarjeta Control-X, así como la configuración y la monitorización a través del JTAG.

Se realizaron en total 2 campañas de irradiación, irradiándose en total 8 HPTDC's y dos zonas centrales de la ROB. Ningún efecto se observó al irradiar los componentes de las zonas centrales, y sólo en un caso se observó un error de paridad en el registro SETUP de un HPTDC. Una vez reprogramado el TDC volvió a funcionar correctamente. Teniendo en cuenta que cada HPTDC se ha irradiado con una fluencia equivalente a 50 años de operación del LHC, una primera estimación, y con los reparos debidos a la falta de estadística, nos indica que podríamos esperar encontrar en todo el detector durante su funcionamiento menos de 1 fallo por día, lo cual

Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

sería perfectamente aceptable, sabiendo que se preve reinicializar el sistema con una frecuencia del orden de 1 o 2 horas

- CPLD ALTERA MAX7000 EPM7128AE: El equipo de pruebas utilizado en este caso fue muy similar al anterior, sólo que el programa que se utilizaba ejecutaba unas pruebas en modo test pulse, pues en este caso la utilización de la lógica de la CPLD es mucho mayor. Además se conectó un contador de sucesos a la salida del contador de SEU de la FPGA para llevar así la cuenta de las veces que ha actuado la lógica triplemente redundante.

En total se realizaron 4 ensayos de media hora cada uno con un total  $5 \cdot 10^5$  protones por ensayo, y no se observó ningún dato erróneo durante todo el funcionamiento. Por ello se estima que el comportamiento de esta CPLD va a ser satisfactorio bajo la dosis de radiación esperada en CMS.

## **7 CONCLUSIONES.**

En el presente trabajo se ha descrito el proceso de diseño de la tarjeta de adquisición de datos ROB que se utilizará para la digitalización de tiempos de las señales procedentes de una cámara de deriva dentro del detector de muones del experimento CMS. El diseño se ha basado en los requisitos impuestos por las características de precisión, rendimiento y fiabilidad que se necesitaban del sistema, y teniendo a su vez en consideración características propias del entorno en el que va a operar esta electrónica, que incluye aspectos tanto de seguridad, como ambiente radiactivo, moderados campos magnéticos, etc. Se ha intentado llegar a un compromiso entre las diferentes restricciones, creando un sistema fiable y de altas prestaciones con un interfaz lo más simple posible y a la vez preciso y potente, debido a la limitada accesibilidad que tendrá el detector una vez en funcionamiento.

En el capítulo 4 se han descrito los distintos pasos de diseño, tanto aspectos analógicos como digitales, analizando parámetros tales como la tasa de datos que soporta, el sistema de protección contra cortocircuitos y consumos excesivos, los distintos modos de funcionamiento, etc.

En el siguiente capítulo se ha pasado a detallar los distintos ensayos realizados que permiten garantizar el correcto funcionamiento de la tarjeta de adquisición de datos en diversas condiciones. Un aspecto importante está relacionado con el funcionamiento en ambientes radiactivos, para lo cual se han realizado pruebas de los distintos componentes bajo un haz de protones en el Ciclotrón de la Universidad de Lovaina. Los resultados han sido satisfactorios y confirman la tolerancia del sistema a los flujos de partículas previstos.

Así mismo se han realizado pruebas bajo haces de muones utilizando cámaras de deriva en las instalaciones del CERN, dónde se pueden simular situaciones de ruido de fondo similares a las que se tendrán durante el funcionamiento del LHC, lo mismo que la estructura y la tasa de muones que proporcionan los haces. La tarjeta de adquisición ROB se comportó perfectamente soportando la tasa de disparos y de hits que se tuvo, con independencia del ruido de fondo y llegando incluso a operar en situaciones con dos canales ruidosos (MHz) con escasa pérdida de datos, y en todo caso, en un grupo de 8 canales localizados.

También se han realizado otras pruebas de caracterización de la tarjeta como es el estudio de la resolución y la linealidad del HPTDC, el crosstalk de la tarjeta, estudios del consumo que presenta, el jitter de reloj, la tasa de transferencia, etc. Todas estas pruebas han proporcionado resultados satisfactorios.

Finalmente se incluyen también una serie de pruebas de tolerancia a temperatura y de estudio del tiempo de vida que confirman su correcta operación en límites más allá de los que se espera tener durante sus 10 años de período de funcionamiento.

Las pruebas realizadas han permitido por tanto una exhaustiva verificación de las tarjetas ROB, incluyendo tanto aspectos de diseño como de fabricación y montaje. Toda la funcionalidad de la tarjeta ha sido probada y validada en situaciones de operación más allá de las que se esperan en el acelerador LHC. Se concluye por tanto que la tarjeta diseñada es fiable y cumple con los requisitos establecidos, pudiendo garantizarse un funcionamiento adecuado en el detector CMS.

Las publicaciones a las que ha dado lugar el presente trabajo son: [38], [39], [40] y [41].

## **8 BIBLIOGRAFÍA.**

- [1] William R. Leo. “Techniques For Nuclear And Particle Physics Experiments. A How-To Approach”. Second Revised Edition. Springer-Verlag 1994.
- [2] Agustín Tamarro Sanz. “Instrumentación Nuclear”. Servicio de Publicaciones de la J.E.N. Madrid 1970.
- [3] The CMS Collaboration. “CMS Technical Proposal”, CERN/LHCC/94-38. LHCC/P1, Diciembre 1994
- [4] The LHC Study Group. “The Large Hadron Collider. Conceptual Design”, CERN/AC/95-05, Oct 1995
- [5] The CMS Collaboration. “The Muon Project. Technical Design Report”, CERN-LHCC 97-32 CMS, Diciembre 1997
- [6] The CMS Collaboration. “The Magnet Project. Technical Design Report.”, CERN/LHCC 97-10, Mayo 1997
- [7] The CMS Collaboration. “Tracker Technical Design Report”, CERN/LHCC 98-6, Abril 1998
- [8] The CMS Collaboration. “The Hadron Calorimeter. Technical Design Report”, CERN/LHCC 97-31, Junio 1997
- [9] The CMS Collaboration. “The Electromagnetic Calorimeter. Technical Design Report”, CERN/LHCC 97-33 Diciembre 1997
- [10] D. Jorge Mocholí Mocholí. “Diseño y Estudio de Cámaras de Deriva para el Detector CMS de LHC”. Memoria de tesis. UCM. Madrid, 1998.
- [11] A. H. Walenta et al., Nucl. Instr. Meth. 92(373) 1971.

- [12] W. Blum, L. Rolandi, “Particle Detection with Drift Chambers”, Springer-Verlag Berlin, 1993.
- [13] F. Gasparini et al., Nucl.Inst Meth A336 (1993) 91
- [14] M. Pegoraro (INFN, Padova, Italy). “A prototype FrontEnd ASIC for the Readout of the Drift Tube CMS Barrel Muon Chambers”. Proceedings of the 4<sup>th</sup> Workshop on Electronics for LHC Experiments. CERN/LHC/98-36. October 1998.
- [15] S. Cittolin (CERN). “LHC DAQ Systems.” Proceedings of the 8<sup>th</sup> Workshop on Electronics for LHC Experiments. CERN 2002-003 CERN-LHCC-2002-34 LHCC-G-014 Septiembre 2002.
- [16] The CMS Collaboration. “The TriDAS Project. Technical Design Report”. Volume I. The Trigger Systems. CERN/LHCC 2000-38. December 2000.
- [17] N. Ellis (CERN). “First-Level Trigger Systems at LHC”. Proceedings of the 8<sup>th</sup> Workshop on Electronics for LHC Experiments. CERN 2002-003 CERN-LHCC-2002-34 LHCC-G-014 Septiembre 2002.
- [18] B. G. Taylor. “RD12 Timing, Trigger and Control (TTC) Systems for LHC Detectors.”  
<http://www.cern.ch/TTC/intro.html>
- [19] Materials and Cable Working Group. “CERN Safety Instruction IS23”. 1993.
- [20] P. Jarron. “Radiation tolerant electronics for the LHC experiments.” Proceedings of the 4<sup>th</sup> Workshop on Electronics for LHC Experiments. CERN/LHC/98-36. October 1998.
- [21] <http://radhome.gsfc.nasa.gov/top.htm>  
<http://www.comrad-uk.net/Default.asp>  
[http://radnet.jpl.nasa.gov/cgi-win/1/FrontPage\\_CGI\\_Project?|main](http://radnet.jpl.nasa.gov/cgi-win/1/FrontPage_CGI_Project?|main)  
<http://rd49.web.cern.ch/RD49/RD49News/spurrad.html>

- [22] P. Jarron, A. Paccagnella. "RD49 status report: study of the radiation tolerance of ICs for LHC". CERN-LHCC-97-63. Diciembre 1997.
- [23] A.H. Johnston. "Radiation effects in advanced microelectronics technologies". IEEE-Transactions-on-Nuclear-Science, vol.45, no.3, p.1345. Jun 1998
- [24] H. K. Tang et al., "Parameter-free, predictive modeling of single event upsets due to protons, neutrons and pions in terrestrial cosmic rays." IEEE Trans on NS Vol 41, No6, Dec 1994.
- [25] F. Faccio et al. "Estimate of the Single Event Upset (SEU) rate in CMS" ". Proceedings of the 4<sup>th</sup> Workshop on Electronics for LHC Experiments. CERN/LHC/98-36. October 1998.
- [26] A.H. Johnston. "Latchup in integrated circuits from energetic protons", IEEE-Transactions-on-Nuclear-Science, vol.44, 2367. 1997
- [27] J. Christiansen. "High Performance Time to Digital Converter. Version 2.1". CERN/EP-MIC. Julio 2002
- [28] Harry Bleeker, Peter Van den Eijden, Frans de Jong. "Boundary-Scan Test. A Practical Approach". Kluwer Academic Publishers. 1993.
- [29] Manuel Mota, Jorgen Christiansen. "A High-Resolution Time Interpolator Based on a Delay Locked Loop and an RC Delay Line". IEEE Journal of Solid-State Circuits, Vol.34, No. 10, October 1999.
- [30] National Semiconductors. "LVDS Owner's Manual. A General Design Guide for National's Low Voltage Differential Signaling (LVDS) and Bus LVDS Products". 2<sup>nd</sup> edition. 2000.
- [31] MAXIM. "Overview of the 1-wire Technology and its Use." Application note 1796. Diciembre 2002.

- [32] David L. Terrell, R. Kenneth Keenan. "Digital Design for Interference Specifications. Second Edition. A practical Handbook for EMI suppression." 1997. TKC.
- [33] Clyde F. Coombs, JR. "Printed Circuits Handbook." Cuarta Edición. McGraw-Hill. 1996.
- [34] V.Lakshminarayanan. "Environmental-stress screening improves electronic-design reliability." Center for development of telematics. Sept 2001. EDN.
- [35] "Test Method Standard for Microcircuits." MIL-STD-883E. Dpto. Defensa USA. Diciembre 1996.
- [36] Jensen, F. Electronic. "Component Reliability", John Wiley & Sons, 1995.
- [37] "Environmental Test methods and engineering guidelines" MIL-HDBK-810.
- [38] Agosteo, S ; Altieri, S ; Belli, G ; Bonifas, A ; Carabelli, V ; Gatignon, L ; Hessey, N P ; Maggi, M ; Peigneux, J P ; Reithler, H ; Silari, M ; Vitulo, P ; Wegner, M. "A facility for the test of large area muon chambers at high rates". Nuclear Instrumentation and Methods. Phys. Res., A : 452 (2000) no.1-2, pp.94-104
- [39] C. F. Bedoya, J. Alberdi, J. Marín, J.C. Oller, C. Willmott. "Design and Performance Testing of the Read-Out Boards for the CMS-DT Chambers". Proceedings of the 8th Workshop on Electronics for LHC Experiments. CERN 2002-003 CERN-LHCC-2002-34 LHCC-G-014. Septiembre 2002.
- [40] C. F. Bedoya, M. C. Fouz, J. Marín, J.C. Oller, C. Willmott, Amigo, L.J. "Validation of the Read Out Electronics for the CMS Muon Drift Chambers at Test Beam in CERN/GIF." Informe técnico Ciemat 1010. Diciembre 2002.
- [41] S. Agosteo, L. Castellani, G.D'Angelo, F. Dal Corso, G. M. Dallavalle, M. De Giorgi, C. Fernández, F. Gonella, I. Lippi, J. Marin, R. Martinelli, A. Montanari, F. Odorici, J. C. Oller, M. Pegoraro, G. Torromeo, R. Travaglini, M. Verlatto, C. Willmott and P. Zotto. "Single Event Effects Measurements on the Electronics for the CMS Muon Barrel Detector at LHC". Nuclear Instruments and Methods A 189 (2002) pp. 357-369



- [42] M. Cerrada, N. Colino, B. de la Cruz, C. Fernández, M. C. Fouz, I. Josa, J. Puerta, L. Romero, C. Willmott. “Test Beam Analysis of the First CMS MB2 Drift Tube Muon Chamber”. CMS Note 2003/007. Enero 2003.

## **9 APÉNDICES.**

### **A ESQUEMÁTICOS DE LA ROB.**

A continuación se presentan los esquemáticos de la tarjeta de adquisición de datos ROB que se ha diseñado.

Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

**B      PROGRAMA EN VHDL DE LA CPLD DE LA ROB.**

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity cl128 is

port(
clk_in, reset_pre, reset_in, data_ready: in std_logic;
trk_adv, trk_rst, trk_tm: in std_logic;
this_board: in std_logic;
TBLED: out std_logic;
byte_id: in std_logic_vector(1 downto 0);
tdc_error: in std_logic_vector(1 to 4);
get_data, valid_data, clk20, rob_error, seu: out std_logic;
reset_out: out std_logic;
ena: out std_logic_vector(16 downto 1);
TP1, TP2, TP3: out std_logic;
pwn: out std_logic
);
end cl128;

architecture archi of cl128 is

signal clk20_i, error_id, error_c: std_logic;
signal trk_adv_ff0, trk_adv_ff1, trk_adv_ff2, trk_adv_syn: std_logic;
signal trk_rst_ff0, trk_rst_ff1, trk_rst_ff2, trk_rst_syn: std_logic;
signal get_data_i, valid_data_i: std_logic;
signal byte_id_cnt: std_logic_vector(1 downto 0);
signal ena_i: std_logic_vector(16 downto 1);
signal trk_cnt: std_logic_vector(4 downto 0);
signal one, seu_clk, seu_cnt, seu_gd, seu_vd, seu_eid, seu_bid: std_logic;
signal reset, clk, not_clk20: std_logic;
signal gd_ec: std_logic;
signal pd0, pd1, pd2: std_logic; --04-10-01

component trclk20
port (clk, reset: in std_logic;
      clk20, seu: out std_logic);
end component;

component trff
port (clk, ce, reset, d: in std_logic;
      q, seu: out std_logic);
end component;

--component trffsr
-- port (clk, ce, sr, reset, d: in std_logic;
--       q, seu: out std_logic);
--end component;

component trcnt5
port (clk, cnt_ena, sr, reset: in std_logic;
      seu: out std_logic;
      q: out std_logic_vector(4 downto 0));
end component;

component trcnt2 port(clk, cnt_ena, reset: in std_logic;

```



---

 Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.
 

---

```

        seu: out std_logic;
        q: out std_logic_vector(1 downto 0));
end component;

COMPONENT GLOBAL
  PORT (a_in : IN STD_LOGIC;
        a_out: OUT STD_LOGIC);
END COMPONENT;

begin

TP2 <= trk_adv_syn; --board TP6 pin 72
TP3 <= valid_data_i; --board TP7 pin 54; 1-10-2001
TP1 <= error_id; --; board TP5 pin 25 --CL
TP4 <= one; --board TP8 pin 85 --CL

TBLED <= not this_board;

reset_out <= not reset_pre;
gbl_rst: global port map (reset_in, reset);
gbl_clk: global port map (clk_in, clk);

pwn <= reset_pre or pd0 or pd1 or pd2;
-----
one <= '1';

PR_PD0: process (clk)
begin
  if clk'event and clk='1' then
    pd2 <= pd1;
    pd1 <= pd0;
    pd0 <= reset_pre;
  end if;
end process PR_PD0;
-----
PR_SEU: process (clk, reset)
begin
  if reset='0' then
    seu <= '0';
  elsif clk'event and clk='1' then
    seu <= seu_clk or seu_cnt or seu_gd or seu_vd or seu_eid or seu_bid;
  end if;
end process PR_SEU;

rob_error <= not (error_id or tdc_error(1) or tdc_error(2) or
                 tdc_error(3) or tdc_error(4));

GENA:
  for i in 1 to 16 generate
    ena(i) <= ena_i(i) or not trk_tm;
  end generate;

ena_i <=
  "0000000000000001" when trk_cnt=0 else --0
  "0000000000000011" when trk_cnt=1 else --1
  "0000000000000010" when trk_cnt=2 else --2
  "0000000000000110" when trk_cnt=3 else --3
  "0000000000000100" when trk_cnt=4 else --4
  "0000000000001100" when trk_cnt=5 else --5
  "0000000000001000" when trk_cnt=6 else --6
  "0000000000011000" when trk_cnt=7 else --7
  "0000000000010000" when trk_cnt=8 else --8
  "0000000000110000" when trk_cnt=9 else --9

```

---

 Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.
 

---

```

"000000000100000" when trk_cnt=10 else --10
"000000000110000" when trk_cnt=11 else --11
"000000000100000" when trk_cnt=12 else --12
"000000000110000" when trk_cnt=13 else --13
"000000000100000" when trk_cnt=14 else --14
"000000011000000" when trk_cnt=15 else --15
"000000010000000" when trk_cnt=16 else --16
"000000110000000" when trk_cnt="10001" else --17
"000000100000000" when trk_cnt="10010" else --18
"000001100000000" when trk_cnt="10011" else --19
"000001000000000" when trk_cnt="10100" else --20
"000011000000000" when trk_cnt="10101" else --21
"000010000000000" when trk_cnt="10110" else --22
"000110000000000" when trk_cnt="10111" else --23
"000100000000000" when trk_cnt="11000" else --24
"001100000000000" when trk_cnt="11001" else --25
"001000000000000" when trk_cnt="11010" else --26
"011000000000000" when trk_cnt="11011" else --27
"010000000000000" when trk_cnt="11100" else --28
"110000000000000" when trk_cnt="11101" else --29
"100000000000000" when trk_cnt="11110" else --30
"1000000000000001" when trk_cnt="11111" else --31
"000000000000000";

valid_data <= valid_data_i;
get_data <= get_data_i;
clk20 <= clk20_i;

--CLK 20 MHz
InstCLK20: trclk20
  port map (clk=>clk, reset=>reset, clk20=>clk20_i, seu=>seu_clk);

trk_adv_syn <= trk_adv;
trk_rst_syn <= trk_rst;

--TAV1: process (clk, reset)
--begin
--  if reset = '0' then
--    trk_adv_ff0 <= '0';
--    trk_adv_ff1 <= '0';
--    trk_adv_ff2 <= '0';
--    trk_rst_ff0 <= '0';
--    trk_rst_ff1 <= '0';
--    trk_rst_ff2 <= '0';
--  elsif clk'event and clk='1' then
--    trk_adv_ff0 <= trk_adv_ff1;
--    trk_adv_ff1 <= trk_adv_ff2;
--    trk_adv_ff2 <= trk_adv;
--    trk_rst_ff0 <= trk_rst_ff1;
--    trk_rst_ff1 <= trk_rst_ff2;
--    trk_rst_ff2 <= trk_rst;
--  end if;
--end process TAV1;

-- Track sequence counter
InstTrkCnt: trent5
  port map (clk=>clk, cnt_ena=>trk_adv_syn, sr=>trk_rst_syn, reset=>reset,
    seu=>seu_cnt, q=>trk_cnt);

-- Get data process
--PR_GD: process (clk, data_ready)
--begin

```

---

 Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.
 

---

```

--      if data_ready='0' then
--        get_data_i <= '0';
--      elsif clk'event and clk='1' then
--        if valid_data_i='1' then
--          get_data_i <= not clk20_i;
--        end if;
--      end if;
--end process PR_GD;

not_clk20 <= not clk20_i;

InstGD: trff port map (clk=>clk, ce=>valid_data_i, reset=>data_ready, d=>not_clk20,
  q=>get_data_i, seu=>seu_gd);

-- Valid data process
--PR_VD: process (clk, data_ready)
--begin
--      if data_ready='0' then
--        valid_data_i <= '0';
--      elsif clk'event and clk='1' then
--        if clk20_i='1' then
--          valid_data_i <= '1';
--        end if;
--      end if;
--end process PR_VD;

InstVD: trff port map (clk=>clk, ce=>clk20_i, reset=>data_ready, d=>one,
  q=>valid_data_i, seu=>seu_vd);

-- Byte ID error register
error_c <= (byte_id(0) xor byte_id_cnt(0)) or
  (byte_id(1) xor byte_id_cnt(1));

--PREID: process (clk, reset)
--begin
--      if reset='0' then
--        error_id <= '0';
--      elsif clk'event and clk='1' then
--        if (get_data_i='1' and error_c='1') then
--          error_id <= '1';
--        end if;
--      end if;
--end process PREID;

gd_ec <= get_data_i and error_c;
InstEID: trff port map (clk=>clk, ce=>gd_ec, reset=>reset, d=>one,
  q=>error_id, seu=>seu_eid);

-- Byte ID counter
--PRBID: process (clk, reset)
--begin
--      if reset='0' then
--        byte_id_cnt <= (others => '0');
--      elsif clk'event and clk='1' then
--        if get_data_i='1' then
--          byte_id_cnt <= byte_id_cnt + 1;
--        end if;
--      end if;
--end process PRBID;

InstBID: trcnt2 port map(clk=>clk, cnt_ena=>get_data_i, reset=>reset,
  seu=>seu_bid, q=>byte_id_cnt);

```

---

 Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.
 

---

```

end archi;

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity trff is

port(
  clk, ce, reset, d: in std_logic;
  q, seu: out std_logic
);
end trff;

architecture archi of trff is

signal ff1, ff2, ff3, q_i: std_logic;

begin

q <= q_i;
q_i <= '0' when ff1='0' and ff2='0' else
      ff3 when ff1='0' and ff2='1' else
      ff3 when ff1='1' and ff2='0' else
      '1' when ff1='1' and ff2='1' else
      '0'; --';
seu <= ff3 when ff1='0' and ff2='0' else
      '1' when ff1='0' and ff2='1' else
      '1' when ff1='1' and ff2='0' else
      not ff3 when ff1='1' and ff2='1' else
      '0'; --';

PFF: process (clk, reset)
begin
  if reset='0' then
    ff1 <= '0';
    ff2 <= '0';
    ff3 <= '0';
  elsif clk'event and clk='1' then
    if ce='1' then
      ff1 <= d;
      ff2 <= d;
      ff3 <= d;
    else
      ff1 <= q_i;
      ff2 <= q_i;
      ff3 <= q_i;
    end if;
  end if;
end process PFF;

end archi;

```

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity trent5 is

port(
  clk, cnt_ena, sr, reset: in std_logic;

```

---

 Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.
 

---

```

seu: out std_logic;
q: out std_logic_vector(4 downto 0)
);
end trcnt5;

architecture archi of trcnt5 is

COMPONENT SOFT
  PORT (a_in : IN STD_LOGIC;
        a_out: OUT STD_LOGIC);
END COMPONENT;

signal q_int, c_1, c_2, c_3, s: std_logic_vector (4 downto 0);
signal q_soft: std_logic_vector (4 downto 0);
begin

seu <= s(0) or s(1) or s(2) or s(3) or s(4);

Q_generate: FOR i IN q'range GENERATE
scnt5: SOFT port map (q_int(i), q(i)); --_soft(i));
q_int(i) <=      '0'      when c_1(i)=0' and c_2(i)=0' else
                c_3(i)   when c_1(i)=0' and c_2(i)=1' else
                c_3(i)   when c_1(i)=1' and c_2(i)=0' else
                '1'      when c_1(i)=1' and c_2(i)=1' else
                '0'; --';
END GENERATE;

SEU_generate: for i in q'range generate
s(i) <=  c_3(i)   when c_1(i)=0' and c_2(i)=0' else
        '1'      when c_1(i)=0' and c_2(i)=1' else
        '1'      when c_1(i)=1' and c_2(i)=0' else
        not c_3(i)when c_1(i)=1' and c_2(i)=1' else
        '0'; --';
end generate;

CNT1: process (clk, reset)
begin
  if reset =0' then
    c_1 <= (others => '0');
  elsif clk'event and clk='1' then
    if sr='1' then
      c_1 <= (others => '0');
    elsif cnt_ena='1' then
      c_1 <= c_1 + 1;
    else
      c_1 <= q_int;
    end if;
  end if;
end process CNT1;

CNT2: process (clk, reset)
begin
  if reset =0' then
    c_2 <= (others => '0');
  elsif clk'event and clk='1' then
    if sr='1' then
      c_2 <= (others => '0');
    elsif cnt_ena='1' then
      c_2 <= c_2 + 1;
    else
      c_2 <= q_int;
    end if;
  end if;
end if;

```

---

 Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.
 

---

```
end process CNT2;
```

```
CNT3: process (clk, reset)
begin
  if reset = '0' then
    c_3 <= (others => '0');
  elsif clk'event and clk = '1' then
    if sr = '1' then
      c_3 <= (others => '0');
    elsif cnt_ena = '1' then
      c_3 <= c_3 + 1;
    else
      c_3 <= q_int;
    end if;
  end if;
end process CNT3;
```

```
end archi;
```

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
```

```
entity trcnt2 is
```

```
port(
clk, cnt_ena, reset: in std_logic;
seu: out std_logic;
q: out std_logic_vector(1 downto 0)
);
end trcnt2;
```

```
architecture archi of trcnt2 is
```

```
COMPONENT SOFT
  PORT (a_in : IN STD_LOGIC;
        a_out: OUT STD_LOGIC);
END COMPONENT;
```

```
signal q_int, c_1, c_2, c_3, s: std_logic_vector (1 downto 0);
signal q_soft: std_logic_vector (1 downto 0);
begin
q <= q_int;
```

```
seu <= s(0) or s(1);
```

```
Q_generate: FOR i IN q'range GENERATE
--scnt2: SOFT port map (q_int(i), q(i));
q_int(i) <=      '0'      when c_1(i)='0' and c_2(i)='0' else
                c_3(i)   when c_1(i)='0' and c_2(i)='1' else
                c_3(i)   when c_1(i)='1' and c_2(i)='0' else
                '1'      when c_1(i)='1' and c_2(i)='1' else
                '0'; --';
END GENERATE;
```

```
SEU_generate: for i in q'range generate
s(i) <=  c_3(i)   when c_1(i)='0' and c_2(i)='0' else
        '1'      when c_1(i)='0' and c_2(i)='1' else
        '1'      when c_1(i)='1' and c_2(i)='0' else
        not c_3(i) when c_1(i)='1' and c_2(i)='1' else
        '0'; --';
```

---

 Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.
 

---

```

end generate;

CNT1: process (clk, reset)
begin
    if reset = '0' then
        c_1 <= (others => '0');
    elsif clk'event and clk='1' then
        if cnt_ena='1' then
            c_1 <= c_1 + 1;
        else
            c_1 <= q_int;
        end if;
    end if;
end process CNT1;

CNT2: process (clk, reset)
begin
    if reset = '0' then
        c_2 <= (others => '0');
    elsif clk'event and clk='1' then
        if cnt_ena='1' then
            c_2 <= c_2 + 1;
        else
            c_2 <= q_int;
        end if;
    end if;
end process CNT2;

CNT3: process (clk, reset)
begin
    if reset = '0' then
        c_3 <= (others => '0');
    elsif clk'event and clk='1' then
        if cnt_ena='1' then
            c_3 <= c_3 + 1;
        else
            c_3 <= q_int;
        end if;
    end if;
end process CNT3;

end archi;

```

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

```

```
entity trclk20 is
```

```

port(
clk, reset: in std_logic;
clk20, seu: out std_logic
);
end trclk20;

```

```
architecture archi of trclk20 is
```

```

signal ff1, ff2, ff3, clk20_i: std_logic;

```

```
begin
```

```

clk20 <= clk20_i;

```

---

 Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.
 

---

```

clk20_i <=
  '0' when ff1='0' and ff2='0' else
  ff3 when ff1='0' and ff2='1' else
  ff3 when ff1='1' and ff2='0' else
  '1' when ff1='1' and ff2='1' else
  '0'; --';
seu <= ff3 when ff1='0' and ff2='0' else
  '1' when ff1='0' and ff2='1' else
  '1' when ff1='1' and ff2='0' else
  not ff3 when ff1='1' and ff2='1' else
  '0'; --';

PFF: process (clk, reset)
begin
  if reset = '0' then
    ff1 <= '0';
    ff2 <= '0';
    ff3 <= '0';
  elsif clk'event and clk='1' then
    ff1 <= not clk20_i;
    ff2 <= not clk20_i;
    ff3 <= not clk20_i;
  end if;
end process PFF;

end archi;

-- MAX+plus II VHDL Template
-- Clearable loadable enablabl counter

LIBRARY ieee;
USE ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

ENTITY counter2 IS PORT (
  clear    : IN    STD_LOGIC;
  clk      : IN    STD_LOGIC;
  q        : OUT   std_logic_vector (4 downto 0)
);
end counter2 ;

ARCHITECTURE a OF counter2 IS
signal q_i : std_logic_vector (4 downto 0);
BEGIN
q <= q_i;

PROCESS (clk, clear)
begin
  if clear = '1' then
    q_i <= (others => '0');
  elsif clk'event and clk='1' then
    q_i <= q_i + 1 ;
  end if;
END PROCESS;

END a;

-- MAX+plus II VHDL Template
-- Clearable loadable enablabl counter

```



---

 Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.
 

---

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY __entity_name IS PORT (
    __data_input_name           : IN    INTEGER RANGE 0 TO __count_value;
    __clk_input_name           : IN    STD_LOGIC;
    __clrn_input_name          : IN    STD_LOGIC;
    __ena_input_name           : IN    STD_LOGIC;
    __ld_input_name            : IN    STD_LOGIC;
    __count_output_name        : OUT   INTEGER RANGE 0 TO __count_value
);
END __entity_name;

ARCHITECTURE a OF __entity_name IS
    SIGNAL __count_signal_name  : INTEGER RANGE 0 TO __count_value;
BEGIN

    PROCESS (__clk_input_name, __clrn_input_name)
    BEGIN
        IF __clrn_input_name = '0' THEN
            __count_signal_name <= 0;
        ELSIF (__clk_input_name'EVENT AND __clk_input_name = '1') THEN
            IF __ld_input_name = '1' THEN
                __count_signal_name <= __data_input_name;
            ELSE
                IF __ena_input_name = '1' THEN
                    __count_signal_name <= __count_signal_name + 1;
                ELSE
                    __count_signal_name <= __count_signal_name;
                END IF;
            END IF;
        END IF;
    END PROCESS;
    __count_output_name <= __count_signal_name;
END a;

```

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

```

```
entity trffsr is
```

```
port(
clk, ce, sr, reset, d: in std_logic;
q, seu: out std_logic
);
end trffsr;
```

```
architecture archi of trffsr is
```

```
signal ff1, ff2, ff3, q_i: std_logic;
```

```
begin
```

```
q <= q_i;
q_i <= '0' when ff1='0' and ff2='0' else
      ff3 when ff1='0' and ff2='1' else
      ff3 when ff1='1' and ff2='0' else
      '1' when ff1='1' and ff2='1' else
      '-';
seu <= ff3 when ff1='0' and ff2='0' else
      '1' when ff1='0' and ff2='1' else

```

Diseño y caracterización de una tarjeta de adquisición de datos para el experimento CMS.

```
'1' when ff1='1' and ff2='0' else  
not ff3 when ff1='1' and ff2='1' else  
'-';
```

```
PFF: process (clk, reset)  
begin  
    if reset ='1' then  
        ff1 <= '0';  
        ff2 <= '0';  
        ff3 <= '0';  
    elsif clk'event and clk='1' then  
        if sr='1' then  
            ff1 <= '0';  
            ff2 <= '0';  
            ff3 <= '0';  
        elsif ce='1' then  
            ff1 <= d;  
            ff2 <= d;  
            ff3 <= d;  
        else  
            ff1 <= q_i;  
            ff2 <= q_i;  
            ff3 <= q_i;  
        end if;  
    end if;  
end process PFF;
```