





*A mi familia.*



## AGRADECIMIENTOS

Durante estos ocho años de trabajo he estado rodeada de muchas personas que me han ayudado enormemente a desarrollar esta tesis y a las que estoy profundamente agradecida.

En primer lugar, mi director de tesis, Carlos Willmott. Todo y más. Eternamente agradecida y orgullosa de haber podido trabajar a su lado y compartir una pequeña parte de su sabiduría tanto en los aspectos técnicos como de la vida en general. Sólo espero que él también se sienta orgulloso del trabajo que hemos realizado.

El grupo de Física de Altas Energías del CIEMAT, que se ha encargado de la fabricación y pruebas de las cámaras de deriva y que se encuentra envuelto en la actualidad en el análisis de los datos. Especialmente Mary Cruz, mujer tenaz e incansable, gran coordinadora del grupo DPG (*Detector Performance Group*) y sin cuyo inestimable trabajo no tendríamos detector de muones. También a Isabel, Begoña, Jesús, Pedro, Jorge, etc., cuya ayuda y consejos han sido muy valiosos en las distintas fases por las que ha transcurrido este proyecto. A Marcos Cerrada, mi otro jefe, por su apoyo constante y su consejo, por su “mano” con el taller y por tantas otras cosas. Y también, claro, a Manuel Aguilar, a quien agradezco su amabilidad y su apoyo, y que se encargara de recordarme puntualmente que debía escribir la tesis.

En un lugar preferente se encuentra todo el grupo de técnicos que me han ayudado en la fabricación e instalación de toda la electrónica. A Luis, Amigo, que aunque nos “abandonara” tuvo siempre el buen humor que hacía falta para embarcarse en un proyecto así. A Gaspar, José Manuel, Pardillo, Sergio, etc., sin cuyo trabajo constante, laborioso y de gran calidad no habría sido posible la fabricación y montaje de la barbaridad de “cacharros” que suponen la electrónica de las cámaras de deriva. José Manuel, que ha realizado un trabajo inestimable durante todas las pruebas y que me ha aguantado como “jefa”, muy a su pesar. Sergio y Luis, que me han ayudado enormemente durante las diversas campañas de irradiación realizadas. Y por supuesto a toda la gente del taller, empezando por Alfonso, que han sabido trabajar bajo la improvisación más absoluta.

David Francia, José Manuel, José Miguel, Carmen y su cocina y a Gaspar, de nuevo, siempre ahí, que no sólo realizaron una labor excelente durante la

instalación en el CERN sino que también fueron magníficos compañeros y amigos durante el tiempo que estuvimos “exiliados”.

No cabe duda que gran parte de este largo agradecimiento va dirigido a todas las personas que he conocido en el CERN. El “DT Dream Team”: Gianni, Luigi, ambas Marinas, Roberto, Marco, Alberto, Franco y su magia negra, etc. Con ellos he compartido largas horas de trabajo y también de diversión y con los que hemos puesto en marcha un detector estupendo. A Christoph, una persona excepcional que me ha apoyado enormemente y que ha sido capaz de leerse esta tesis a pesar de estar en español...

Por supuesto a mi familia, la mejor del mundo, ¿cómo no?. Ellos son los que me han dado todas las facilidades posibles y el cariño infinito que me ha permitido llegar a donde estoy ahora. Mis padres, Paco y Cris, y mis hermanas, Ana y Virginia, y los cuñados, John y Pepe, que no se qué haría sin vosotros. También a Mónica, que un día le hará ilusión leer estas líneas, y por supuesto a Thor, maestro del cariño condicional...

A mis amigos, que siempre están ahí, pase lo que pase: Teresa, Ana, Pablo, Gon, Alejandro, Diego, Cristina, Lugo, Raúl, Dani, Carlos, Carolina, etc, que transforman en buenos momentos las etapas más duras del trabajo y comparten un lugar en el maravilloso chochiworld. A Iñako, nuestro mesías, una mención especial por su inmensa paciencia, los años de experiencias e ilusiones y porque si hay alguien que cree en mí, es él.

A Nacho, Juanjo, Jesús, Antonio, José Miguel, Josema y a todos los amigos del CIEMAT, ¡quien os iba a decir que a este “loro” no os lo quitabais de encima!. A Luis Galicia, que deja el regateo chino a la altura del betún y que es capaz de conseguir lo imposible con un par de chistes. A Begoña, la de Nacho, porque gracias a ella, indirectamente, conseguí encontrar la fuerza para terminar este trabajo. A Gustavo que, a pesar de haber “aceptado” tantas cosas cervantinas, ha vivido este proceso paralelamente y que puede comprenderlo como nadie.

A Bonifacio, que apostó por mí al poco de conocernos y que siempre me ha ayudado en los muchos años que interaccionamos. Sus consejos, constancia y su buen humor, siempre están ahí.

Y finalmente, pero no por ello menos, a mi otro director de tesis, José Antonio, que a pesar de la cantidad de trabajo que le rodea, siempre consigue sacar adelante algo más. Muchas gracias por tus consejos y tu confianza en mí.

No habría conseguido nada sin todos vosotros. Mi más sincero: gracias.

# ÍNDICE

AGRADECIMIENTOS..... III

ÍNDICE ..... V

ACRÓNIMOS.....XIII

## CAPÍTULO 1

MARCO DE LA INVESTIGACIÓN..... 1

1.1 Estado del arte ..... 2

1.1.1 *La investigación en física de partículas* .....2

1.1.2 *Los detectores de partículas*.....6

1.1.3 *Los dispositivos de medición de tiempo* ..... 8

1.1.4 *El procesado de datos* .....9

1.2 Planteamiento de la tesis..... 11

1.2.1 *Objetivos de la tesis* ..... 16

1.2.2 *Estructura de la tesis*.....20

## CAPÍTULO 2

EL DETECTOR CMS: UN EXPERIMENTO DEL LHC ... 23

2.1 El colisionador hadrónico LHC ..... 24

2.2 El experimento CMS..... 29

2.2.1 *El espectrómetro de muones*.....31

2.3 Las cámaras de deriva..... 34

2.3.1 *Fundamentos físicos de las cámaras de deriva* ..... 35

2.3.2 *Las cámaras de deriva de CMS* .....38

2.3.3	<i>La electrónica frontal de las cámaras de deriva. Las tarjetas FEB (Front-End Board)</i> .....	40
2.3.4	<i>Construcción e instalación de las cámaras de deriva de CMS</i> .....	42
2.4	<b>El sistema de disparo de CMS</b> .....	44
2.4.1	<i>El disparo de primer nivel (L1A)</i> .....	45
2.4.2	<i>El sistema de disparo del espectrómetro de muones</i> .....	46
2.4.3	<i>El sistema de disparo de las cámaras de deriva</i> .....	48
2.4.4	<i>El disparo de alto nivel (HLT)</i> .....	51
2.5	<b>El sistema de adquisición de datos de CMS</b> .....	52
2.5.1	<i>La cadena de adquisición de datos de las cámaras de deriva</i> .....	53
2.5.2	<i>El sistema de adquisición de datos global (DAQ)</i> .....	55

### **CAPÍTULO 3**

#### **LA TARJETA READ-OUT BOARD: ROB ..... 57**

3.1	<b>Análisis de requisitos</b> .....	58
3.1.1	<i>Requisitos funcionales</i> .....	58
3.1.2	<i>Requisitos mecánicos</i> .....	60
3.1.3	<i>Requisitos medioambientales</i> .....	61
3.2	<b>El digitalizador de tiempos HPTDC</b> .....	64
3.2.1	<i>Arquitectura del HPTDC</i> .....	65
3.2.2	<i>Problemas detectados en el HPTDC</i> .....	69
3.3	<b>Diseño de la tarjeta ROB</b> .....	70
3.3.1	<i>Etapas de entrada de las señales procedentes de las cámaras de deriva</i> .....	71
3.3.2	<i>La interfaz JTAG de control y monitorización de la ROB</i> .....	71
3.3.3	<i>Conexión con el sistema de control y monitorización</i> .....	74
3.3.4	<i>Consideraciones sobre el reset y el reloj de la ROB</i> .....	77
3.3.5	<i>El sistema de alimentación</i> .....	80
3.3.6	<i>Lectura de los datos digitalizados por la tarjeta ROB</i> .....	83
3.3.7	<i>Implementación de la lógica digital de la CPLD</i> .....	85
3.4	<b>Operación de la tarjeta ROB</b> .....	88
3.4.1	<i>Mecanismo de asignación de bits a evento (L1A)</i> .....	89
3.4.2	<i>Solapamiento de eventos. Mecanismo de rechazo de bits</i> .....	92
3.4.3	<i>Programación de los parámetros de interés en el HPTDC</i> .....	93
3.4.4	<i>El Timebox</i> .....	94
3.4.5	<i>Calibración. Corrección de las medidas temporales</i> .....	96
3.4.6	<i>Reconstrucción de la traza del muón</i> .....	99
3.4.7	<i>Calibración entre canales. Modo de operación Test Pulse</i> .....	101
3.5	<b>Fabricación y sistema de pruebas de la tarjeta ROB</b> .....	104

**CAPÍTULO 4**  
**INTEGRACIÓN DE LA TARJETA ROB:**  
**EL MINICRATE.....109**

4.1 Descripción del Minicrate.....	110
4.2 La estructura mecánica.....	112
4.3 El sistema de alimentación .....	115
4.4 El sistema de control y monitorización .....	118
4.5 Los elementos del sistema de lectura .....	120
4.6 Los elementos del sistema de disparo .....	121
4.6.1 Sincronización de la cámara de deriva.....	123
4.7 Fabricación, montaje e instalación de los Minicrates .....	125
4.7.1 El sistema de pruebas del Minicrate en el CIEMAT .....	127

**CAPÍTULO 5**  
**LA TARJETA READ-OUT SERVER: ROS ..... 131**

5.1 Análisis de requisitos .....	132
5.2 El diseño de la tarjeta ROS.....	133
5.3 Los modos de operación .....	134
5.3.1 Modo de operación normal.....	134
5.3.2 Modo operación espía .....	135
5.3.3 Modo de transmisión.....	135
5.3.4 Lectura directa de las FIFOs de entrada .....	135
5.3.5 Otros modos de operación sin sistema TTC.....	135
5.4 La arquitectura del módulo CEROS .....	136
5.5 La arquitectura del módulo ROSCTRL.....	139
5.6 La arquitectura del módulo GOLROS .....	140
5.7 La arquitectura de la placa base ROS-25 .....	144
5.8 La interfaz VME.....	145
5.8.1 La lógica de las señales de Reset .....	146
5.8.2 El acceso A24.....	147
5.8.3 Las interrupciones VME .....	147
5.9 El sistema de alimentación .....	148
5.9.1 El sistema de monitorización I, V, T.....	150

5.10	La implementación del firmware.....	151
5.11	Reconfiguración remota de los dispositivos lógicos programables .....	152
5.12	El formato de los datos .....	155
5.12.1	<i>Cabecera y cola.....</i>	<i>155</i>
5.12.2	<i>Información opcional (Cruce de haces y órbita) .....</i>	<i>156</i>
5.12.3	<i>Palabras de error.....</i>	<i>156</i>
5.12.4	<i>Palabras generadas en el HPTDC y modificadas en la ROS.....</i>	<i>157</i>
5.12.5	<i>Palabras del Trigger Sector Collector.....</i>	<i>158</i>
5.13	El sistema TTS .....	159
5.13.1	<i>El estado Out of synch .....</i>	<i>162</i>
5.13.2	<i>Los estados Warning Overflow y Busy.....</i>	<i>163</i>
5.14	Pruebas de producción de la tarjeta ROS .....	164

## **CAPÍTULO 6**

### **INTEGRACIÓN DE LA TARJETA ROS:**

#### **EL SECTOR COLLECTOR ..... 169**

6.1	El chasis Sector Collector.....	171
6.2	Descripción del interconexión del Sector Collector.....	172
6.2.1	<i>Conexiones de alimentación .....</i>	<i>172</i>
6.2.2	<i>Conexiones ROB-ROS.....</i>	<i>172</i>
6.2.3	<i>Conexiones ROS-DDU .....</i>	<i>174</i>
6.2.4	<i>Otras conexiones .....</i>	<i>176</i>
6.3	El sistema TTC en el Sector Collector .....	176
6.3.1	<i>La tarjeta TIM .....</i>	<i>177</i>
6.3.2	<i>La tarjeta TIMBUS .....</i>	<i>180</i>

## **CAPÍTULO 7**

### **PRUEBAS DE VALIDACIÓN**

#### **DE LAS TARJETAS ROB Y ROS ..... 185**

7.1	Medidas temporales de la tarjeta ROB .....	187
7.1.1	<i>Estudio de la no linealidad diferencial e integral de la tarjeta ROB .....</i>	<i>187</i>
7.1.2	<i>Estudio de la interferencia entre canales en la ROB.....</i>	<i>191</i>
7.1.3	<i>Estudio de la resolución del HPTDC en la ROB.....</i>	<i>194</i>
7.2	Fiabilidad del enlace ROB-ROS.....	198
7.3	Comportamiento frente a la temperatura de la ROB .....	199

7.3.1	<i>Descripción de la cámara climática</i> .....	200
7.3.2	<i>Ciclos de temperatura en la tarjeta ROB</i> .....	201
7.3.3	<i>Pruebas de envejecimiento acelerado de la tarjeta ROB</i> .....	204
7.3.4	<i>Pruebas de “burn-in” de la tarjeta ROB</i> .....	205
7.4	Pruebas de refrigeración del Sector Collector.....	208
7.5	Estudio del comportamiento de la electrónica bajo radiación .....	216
7.5.1	<i>Pruebas de irradiación de la tarjeta ROB</i> .....	217
7.5.2	<i>Pruebas de irradiación de la tarjeta ROS</i> .....	221
7.5.3	<i>Pruebas de irradiación de la tarjeta TIM</i> .....	227
7.6	Estudio de la ocupación y el tiempo de procesado del sistema .....	228
7.6.1	<i>Ocupación de las memorias de la tarjeta ROB</i> .....	231
7.6.2	<i>Velocidad de procesado de la tarjeta ROS</i> .....	234
7.6.3	<i>Estudio del ancho de banda del enlace ROB-ROS</i> .....	238
7.6.4	<i>Estudio del ancho de banda del enlace ROS-DDU</i> .....	238
7.7	Ensayos con haces de muones.....	239
7.7.1	<i>Descripción del sistema durante el haz de pruebas del GIF (2001)</i> .....	240
7.7.2	<i>Primer período de prueba de haces, P2B</i> .....	242
7.7.3	<i>Segundo período de prueba de haces, P2C</i> .....	243
7.8	Pruebas bajo campo magnético: MTCC.....	246
7.8.1	<i>Resumen del comportamiento del sistema</i> .....	248
7.8.2	<i>Pruebas del sistema de lectura con alta tasa de disparo</i> .....	252
7.8.3	<i>Efecto de modulación con la señal de reloj</i> .....	253
7.9	Instalación y comisionado de la electrónica. Pruebas con muones cósmicos con y sin campo magnético.....	256
7.9.1	<i>Tomas de datos con el imán de CMS: CRAFT</i> .....	260
7.9.2	<i>Primeras tomas de datos con el LHC</i> .....	272
7.10	Resumen de las pruebas de validación.....	274

<b>CAPÍTULO 8</b>		
<b>CONCLUSIONES, APORTACIONES</b>		
<b>Y TRABAJO FUTURO</b> .....		<b>277</b>
8.1	Conclusiones y aportaciones de la tesis .....	278
8.2	Trabajo futuro y líneas de investigación .....	285

**APÉNDICE A**  
**INTRODUCCIÓN A LA INSTRUMENTACIÓN DE**  
**LOS DETECTORES DE PARTÍCULAS .....287**

A.1 Los detectores de partículas .....288

*A.1.1 Interacción radiación-materia.....288*

*A.1.2 Tipos de detectores de partículas.....292*

*A.1.3 Detectores de centelleo .....293*

*A.1.4 Detectores de estado sólido .....294*

*A.1.5 Detectores gaseosos de ionización.....295*

A.2 Instrumentación electrónica para física de partículas .....296

*A.2.1 Electrónica analógica y de digitalización.....297*

*A.2.2 Electrónica digital.....298*

*A.2.3 Dispositivos de medición de tiempo.....299*

**BIBLIOGRAFÍA .....303**





# ACRÓNIMOS

<b>ADC:</b>	Analog to Digital Converter
<b>ALICE:</b>	A Large Ion Collider Experiment
<b>ASIC:</b>	Application Specific Integrated Circuit
<b>ATLAS:</b>	A Toroidal LHC ApparatuS
<b>BC0:</b>	Bunch Crossing cero
<b>BCR:</b>	Bunch Counter Reset
<b>BER:</b>	Bit Error Rate
<b>BGo:</b>	Comandos multidifusión enviados por el sistema TTC
<b>BGA:</b>	Ball Grid Array
<b>BiCMOS:</b>	Bipolar-Complementary-Metal-Oxide-Semiconductor
<b>BPM:</b>	BiPhase Mark
<b>BTI:</b>	Bunch and Track Identifier
<b>BTIM:</b>	BTI Module
<b>BS:</b>	Barrel Sorter
<b>BU:</b>	Builder Unit
<b>BX:</b>	Bunch Crossing
<b>CCB:</b>	Chamber Control Board
<b>CERN:</b>	Centre Européen pour la Recherche Nucleaire
<b>CEROS:</b>	Tarjeta y dispositivo lógico programable encargado del procesamiento de los canales de entrada en la tarjeta ROS
<b>CIEMAT:</b>	Centro de Investigaciones Energéticas, Medioambientales y Tecnológicas
<b>CDT:</b>	Code Density Test
<b>CMS:</b>	Compact Muon Solenoid
<b>CMOS:</b>	Complementary Metal Oxide Semiconductor
<b>COTS:</b>	Commercial Off The Shelf
<b>CP:</b>	Charge Parity
<b>CPLD:</b>	Complex Programmable Logic Device
<b>CRAFT:</b>	Cosmic Run at Four Tesla
<b>CRUZET:</b>	Cosmic Run at Zero Tesla
<b>CSC:</b>	Cathode Strip Chamber
<b>DAC:</b>	Digital to Analog Converter
<b>DAQ:</b>	Data AcQuisition
<b>DCS:</b>	Detector Control System
<b>DDU:</b>	Device Dependent Unit. También llamado FED
<b>DLL:</b>	Delay Locked Loop
<b>DNL:</b>	Differential Non Linearity
<b>DQM:</b>	Data Quality Monitor
<b>DSP:</b>	Digital Signal Processing
<b>DSS:</b>	Detector Safety System
<b>DT:</b>	Drift Tubes

<b>DTTF:</b>	Drift Tube Track-Finder
<b>EC0:</b>	Event Counter cero
<b>ECAL:</b>	Electromagnetic Calorimeter
<b>ECL:</b>	Emitter Coupled Logic
<b>FEB:</b>	Front End Board
<b>FED:</b>	Front- End Driver
<b>FIFO:</b>	Memoria de tipo First In, First Out
<b>FMM:</b>	Fast Merging Module
<b>FPGA:</b>	Field Programmable Gate Array
<b>FTP:</b>	Foiled Twisted Pair
<b>FRL:</b>	Front End Readout link
<b>GCT:</b>	Global Calorimeter Trigger
<b>GIF:</b>	Gamma Irradiation Facility
<b>GMT:</b>	Global Muon Trigger
<b>GOL:</b>	Gigabit Optical Link
<b>GOLROS:</b>	Tarjeta encargada de la transmisión óptica en la tarjeta ROS
<b>GREA:</b>	Global Run Extended August
<b>GREJ:</b>	Global Run Extended June
<b>GREJ':</b>	Global Run Extended July
<b>GREN:</b>	Global Run Extended November
<b>Grid:</b>	Red de computación paralela basada en múltiples computadoras interconectadas mediante una red
<b>GRUMM:</b>	Global Run Mid-March
<b>GT:</b>	Level 1 Global Trigger
<b>HALT:</b>	Highly Accelerated Life Testing
<b>HASS:</b>	Highly Accelerated Stress Screening
<b>HAST:</b>	Highly Accelerated Stress Testing
<b>HCAL:</b>	Hadron Calorimeter
<b>HLT:</b>	High Level Trigger
<b>HPTDC:</b>	High Performance Time to Digital Converter
<b>HV:</b>	High Voltage
<b>HVB:</b>	High Voltage Board
<b>INFN:</b>	Istituto Nazionale di Fisica Nucleare
<b>INL:</b>	Integral Non Linearity
<b>ISR:</b>	Intersecting Storage Rings
<b>JTAG:</b>	Joint Test Action Group
<b>L1 (or L1A):</b>	Level 1 Accept
<b>LED:</b>	Light Emitting Diode
<b>LEP:</b>	Large Electron Positron collider
<b>LHC:</b>	Large Hadron Collider
<b>LHCb:</b>	A Large Hadron Collider Beauty experiment
<b>LSB:</b>	Least Significant Bit
<b>LTC:</b>	Local Trigger Controller
<b>LV:</b>	Low Voltage
<b>LVDS:</b>	Low Voltage Differential signaling
<b>LVPP:</b>	Low Voltage Patch Pannel

---

<b>LVTTL:</b>	Low Voltage Transistor Transistor Logic
<b>MAD:</b>	Multiple Amplifier and Discriminator.
<b>MB:</b>	Muon Barrel
<b>MC:</b>	Minicrate
<b>MCC:</b>	Minicrate Cabling Control
<b>MDT:</b>	Monitored Drift Tubes
<b>MT:</b>	Mean Timer
<b>NIM:</b>	Nuclear Instrumentation Module
<b>NMOS:</b>	Negative-channel Metal-Oxide Semiconductor
<b>PACT:</b>	Pattern Comparator Trigger
<b>PADC:</b>	Pressure ADC board
<b>PAF:</b>	Programmable Almost Full
<b>PATGEN:</b>	Pattern Generator board
<b>PCB:</b>	Printed Circuit Board
<b>PFD:</b>	Phase Frequency Detector
<b>PLL:</b>	Phase Locked Loop
<b>PMOS:</b>	Positive-channel Metal-Oxide Semiconductor
<b>PS:</b>	Proton Synchrotron
<b>QPLL:</b>	Quartz crystal based Phase Locked Loop
<b>RHIC:</b>	Relativistic Heavy Ion Collider experiment
<b>ROB:</b>	Read Out Board
<b>ROLINK:</b>	Read Out Link board
<b>ROS:</b>	Read Out Server board
<b>ROSCTRL:</b>	Tarjeta y dispositivo lógico programable que controla el procesamiento de eventos en la tarjeta ROS
<b>ROSMEM:</b>	Tarjeta y dispositivo lógico programable que controla la interfaz con la memoria interna de la tarjeta ROS
<b>ROSVME:</b>	Tarjeta y dispositivo lógico programable que controla la interfaz VME en la tarjeta ROS
<b>RPC:</b>	Resistive Plate Chamber
<b>RWTH:</b>	Rheinisch-Westfälische Technische Hochschule
<b>RU:</b>	Read Out Unit
<b>SEE:</b>	Single Event Effect
<b>SEL:</b>	Single Event Latch-up
<b>SEU:</b>	Single Event Upset
<b>SB:</b>	Server Board
<b>SC:</b>	Sector Collector crate
<b>SL:</b>	Superlayer
<b>SLHC:</b>	Super Large Hadron Collider
<b>SPS:</b>	Super Proton Synchrotron
<b>SX5:</b>	Surface Experimental Hall en CMS
<b>TAC:</b>	Time to Amplitude Converters
<b>TCK:</b>	Test Clock JTAG signal
<b>TDC:</b>	Time to Digital Converter
<b>TDI:</b>	Test Data Input JTAG signal
<b>TDM:</b>	Time Division Multiplexed

<b>TDO:</b>	Test Data Output JTAG signal
<b>TGC:</b>	Thin Gap Chamber
<b>TID:</b>	Total Integrated Dose
<b>TIM:</b>	TTC Interface Module
<b>TMS:</b>	Test Mode Select JTAG signal
<b>TRACO:</b>	Track Correlator
<b>TRB:</b>	Trigger Board
<b>TRST:</b>	Test ReSeT JTAG signal
<b>TS:</b>	Trigger Server
<b>TSC:</b>	Trigger Sector Collector board
<b>TTC:</b>	Trigger Timing and Control
<b>TTCex:</b>	TTC Encoder and Transmitter
<b>TTCvi:</b>	TTC-VMEbus interface
<b>TTCrq:</b>	TTCrx and QPLL Mezzanine Card
<b>TTCrx:</b>	TTC Receiver
<b>TTS:</b>	Trigger Throttling System
<b>USC:</b>	Underground Service Cavern
<b>UXC:</b>	Underground Experimental Cavern
<b>VCO:</b>	Voltage Controlled Oscillator
<b>VCSEL:</b>	Vertical Cavity Surface Emitting Laser
<b>VDC:</b>	Velocity Drift Chamber
<b>VME:</b>	Versa Module Europe bus
<b>WS:</b>	Wedge sorter
<b>YE:</b>	Yoke Endcap
<b>YB:</b>	Yoke Barrel





## *Capítulo 1*

# **MARCO DE LA INVESTIGACIÓN**

En este capítulo se presenta el marco de la investigación en el que se desarrolla esta tesis, realizando una revisión del estado del arte de los experimentos de física de altas energías basados en colisionadores y en concreto, de los sistemas de detección de muones mediante cámaras de deriva. Se explican los desafíos que estos experimentos imponen en los distintos campos de la física y de la ingeniería y se presenta el estado actual de la instrumentación electrónica asociada a este tipo de detectores, centrándonos en los sistemas de medición de tiempos. En este apartado se describe el planteamiento seguido en el desarrollo de esta tesis y se exponen los distintos objetivos perseguidos, cuya consecución se detallará a lo largo del texto. Finalmente, se resume la estructura que tendrá el documento a lo largo de los distintos capítulos.

## 1.1 ESTADO DEL ARTE

### 1.1.1 La investigación en física de partículas

La física de partículas (denominada también física de altas energías) es la disciplina científica que tiene por objeto determinar cuáles son los constituyentes básicos o elementales de la materia y las propiedades de las fuerzas que intervienen en sus interacciones. En los últimos 25 años del siglo XX, el exitoso progreso del conocimiento sobre las propiedades de los constituyentes fundamentales de la materia y sus fuerzas dio lugar al Modelo Estándar [1] a [6] de la física de partículas, que desde los años 70 ha constituido el paradigma para la descripción de la física a escalas de  $10^{-16}$  cm.

El Modelo Estándar describe la materia como una composición de dos tipos de partículas con spin semientero (fermiones), los quarks y los leptones. El primer grupo lo forman los quarks y los antiquarks, que aparecen siempre en combinación y no han sido observados en estado libre. Así, la combinación de tres quarks forma los bariones (como el protón o el neutrón) y de un quark y un antiquark forma los mesones. El Modelo Estándar incluye la teoría unificada electrodébil para la descripción de las interacciones electromagnéticas y débiles, la Cromodinámica Cuántica (QCD) para la descripción de las interacciones fuertes, y el mecanismo de Higgs de ruptura espontánea de simetrías para explicar la masa de los bosones intermediarios en las diferentes interacciones y que predice la existencia de un bosón escalar  $H_0$ , llamado bosón de Higgs.

Hasta la actualidad, el Modelo Estándar de las interacciones fuertes y electrodébiles no sólo ha sido verificado experimentalmente a lo largo de los últimos 20 años, sino que también ha predicho cada uno de los resultados experimentales obtenidos hasta la fecha, como el descubrimiento de los portadores de la fuerza débil W y Z confirmando la teoría unificada de las fuerzas electromagnética y débil [7].

Sin embargo, esto no significa que el campo de investigación haya finalizado. Por una parte, ciertos aspectos del marco teórico carecen aún de confirmación experimental. Uno de ellos es el mecanismo de ruptura espontánea de simetría, que según predice el sector electrodébil del Modelo Estándar, se lleva a cabo a través del mecanismo de Higgs. Para ello predice un bosón de Higgs encargado de proporcionar masa a las partículas, que aún no ha sido detectado experimentalmente.

Por otro lado, sabemos que el Modelo Estándar es una descripción incompleta de la naturaleza ya que, entre otros problemas, no contempla un marco para la unificación de la fuerza gravitatoria con el resto de interacciones fundamentales. Otras teorías propuestas proporcionan una descripción más completa de la estructura de la materia. Una de las más extendidas en la actualidad es la Supersimetría (SUSY) ([8] y [9]), teoría que predice la existencia de compañeros bosónicos para los fermiones conocidos, y viceversa. Es evidente que la SUSY es una simetría rota, puesto que no existen compañeros supersimétricos de la misma masa que las partículas conocidas. Estos han de ser más pesados, y

por tanto no han podido ser estudiados en experimentos de aceleradores hasta la fecha.

Para aclarar estas incógnitas, es necesario explorar una región de energías más altas que permita la búsqueda de partículas de mayor masa que las conocidas en la actualidad. En física de altas energías el método general consiste en colisionar partículas mediante aceleradores y estudiar los productos resultantes de la colisión. A mayor energía de las partículas originales, se pueden crear partículas más pesadas como resultado de la colisión ( $E = m c^2$ ), y mediante los detectores adecuados se pueden medir las distintas propiedades de masa, carga o tiempo de vida de las partículas resultantes.

No obstante, el progreso en este campo no sólo hace necesario observar colisiones cada vez de mayor energía, sino también es necesaria la observación de un mayor número de colisiones por segundo que permitan estudiar efectos más sutiles de escasa probabilidad de aparición. Por ello, la evolución de la física de altas energías en las últimas décadas ha estado dominada por el diseño, construcción y operación de aceleradores que colisionan haces de partículas cada vez mas energéticos y/o intensos y de detectores de partículas cada vez más grandes y complejos.

Desde que fue fundado en 1954, el CERN (*Conseil Européen pour la Recherche Nucléaire*) [10] ha contribuido notablemente al desarrollo de la física nuclear y de partículas permitiendo explorar, mediante la construcción de aceleradores y detectores, los constituyentes básicos de la materia y las fuerzas que la gobiernan. Los experimentos más destacados han estado asociados al desarrollo de grandes máquinas, como el colisionador protón-protón ISR (*Intersecting Storage Rings*) [11] en 1971 y el colisionador protón-antiprotón del SPS (*Super Proton Synchrotron*) [12] que se puso en marcha en 1981 y produjo dos años después las partículas masivas W y Z.

En 1989 se inauguró el colisionador electrón-positrón LEP (*Large Electron Positron collider*) [13], el más grande construido hasta ese momento con un túnel de 26,7 km de perímetro y que confirmó la validez del Modelo Estándar [14] a [19] mediante estudios de gran precisión de la teoría electrodébil y de las predicciones de la Cromodinámica Cuántica, dotándole de una base empírica. Uno de los resultados más importantes de los experimentos del LEP ha sido la confirmación de la existencia de únicamente tres familias de quarks y de leptones.

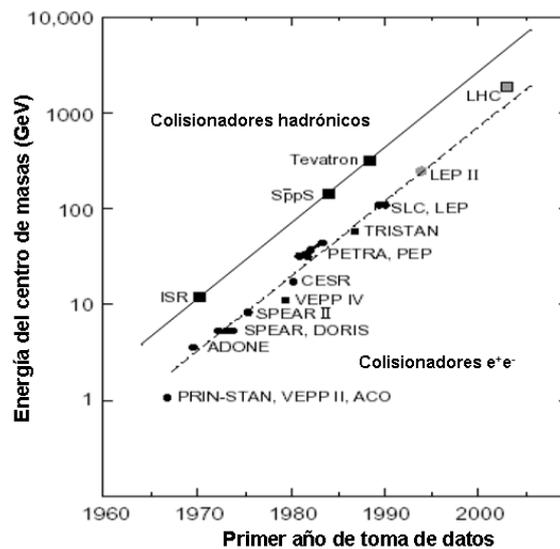
Siguiendo esta línea de investigación, se ha terminado de construir en la actualidad en el CERN el colisionador hadrónico LHC (*Large Hadron Collider*) [20], considerado uno de los proyectos científicos más ambiciosos de la historia y que supone un cambio significativo respecto a la generación anterior de experimentos.

Con el LHC se pretende dar respuesta a algunas de las cuestiones fundamentales que, a día de hoy, se plantean en la física de altas energías, siendo su principal propósito explorar la validez y limitaciones del Modelo Estándar. Existe la firme convicción de que el LHC establecerá la naturaleza de la observada rotura de la simetría electrodébil, dilucidará la posible existencia de partículas supersimétricas o con tecnicolor así como de nuevas interacciones, pondrá de manifiesto el desconfinamiento de los quarks y la transición de fase hadrones-plasma de quarks y gluones y ayudará a profundizar en el conocimiento de la

violación de la simetría CP en procesos con quarks de sabor b. En definitiva, el enorme potencial científico del LHC permitirá descifrar importantes cuestiones formuladas como resultado de décadas de extraordinarios desarrollos teóricos y de una actividad experimental de una magnitud sin precedentes en el terreno de la ciencia pura.

El proyecto LHC supone un salto cualitativo considerable en la construcción de colisionadores, como puede observarse en la figura 1.1, convirtiéndose en el acelerador más grande y que alcanza mayor energía del mundo.

En el LHC colisionan cada 25 ns dos haces de protones que son acelerados a lo largo de un túnel de 26,7 km de diámetro, situado hasta cien metros bajo tierra en la frontera entre Francia y Suiza. De hecho, el único colisionador protón-protón que había funcionado hasta la fecha era el ISR del CERN, con una energía total en el sistema de centro de masas igual a 60 GeV y una luminosidad de  $10^{31}\text{cm}^{-2}\text{s}^{-1}$ . Sus sucesores en energía y luminosidad fueron el colisionador SPS del CERN y el Tevatron [21] de Fermilab, que son máquinas antiprotón-protón. El Tevatron está operando en la actualidad con una energía de 2 TeV y ha alcanzado una luminosidad instantánea de  $40 \cdot 10^{31}\text{cm}^{-2}\text{s}^{-1}$ , parámetros a comparar con los 14 TeV y  $10^{34}\text{cm}^{-2}\text{s}^{-1}$  del LHC. La progresión en energía y luminosidad origina una formidable complejidad en la construcción y operación de la instalación y supone un extraordinario desafío en la realización del programa experimental.



**Figura 1.1:** Comparación de la energía en el centro de masas en los distintos colisionadores a lo largo de la historia.

La investigación dentro del marco de la física de altas energías mediante aceleradores de partículas tiene algunas características que la hacen distinta de otros tipos de investigación. Los aceleradores de partículas son instrumentos muy complejos y costosos y de hecho sólo existen en unos pocos centros en el mundo. En cada proyecto de investigación intervienen un gran número de científicos, ingenieros y técnicos cualificados de diversas disciplinas. El trabajo en equipo

requiere una alta coordinación, tanto dentro de un mismo grupo como con otros grupos de investigación de otros países. Los experimentos son de larga duración, no de días o meses, sino de años, por lo que la planificación a largo plazo juega un papel esencial. La metodología es casi siempre la misma: los distintos grupos de investigación colaborando en un determinado experimento se reparten el trabajo de diseño y construcción de los detectores, necesarios para llevarlo a cabo. Estos instrumentos son construidos y puestos a punto en los centros respectivos y son después trasladados al acelerador para la toma de datos. La toma de datos puede durar típicamente entre uno y diez años, y estos datos deben ser distribuidos entre los diversos grupos para su análisis.

La complejidad de las grandes instalaciones científicas para el estudio de la física de partículas impone retos cada vez mayores en todos los campos de la física y de la ingeniería. La fabricación de estos experimentos ha requerido el desarrollo de múltiples tecnologías (superconductividad, criogenia, alto vacío, ingeniería civil, electrónica de potencia, microelectrónica, computación, telecomunicaciones, instrumentación, mecánica de precisión, etc) que tienen aplicación directa en otros campos de la ciencia y cuyo impacto en la sociedad es incuestionable.

El ejemplo paradigmático son los propios aceleradores de partículas, concebidos inicialmente para estudios de la materia nuclear y subnuclear y que, en la actualidad, se utilizan en numerosos campos, especialmente en el estudio no destructivo de nuevos materiales y en diagnóstico y terapias médicas. En el año 2007 existían del orden de 27.500 aceleradores en el mundo, de los cuales cerca del 30% se empleaban para implantación de iones y otro tanto para física médica, principalmente radioterapia. Sólo una pequeña fracción del parque de aceleradores en funcionamiento se utilizaba, y se sigue utilizando, para investigación fundamental (alrededor de 100) [22].

De relevancia similar es el desarrollo de detectores originalmente concebidos para la detección de partículas en colisionadores y cuyo uso se ha extendido a otro tipo de aplicaciones. Por ejemplo, el desarrollo de nuevos centelleadores sólidos para la detección de radiación electromagnética ha sido rápidamente incorporado a los tomógrafos por emisión de positrones (PET).

El propio CERN ha jugado un papel de primerísimo nivel, no sólo por su capacidad de producir resultados científicos de gran interés, sino también en el desarrollo de tecnologías de uso extendido en campos no afines a la naturaleza de su propia investigación. Este desarrollo ha derivado en nuevas tecnologías tanto industriales (imanes superconductores, detectores de gran precisión para radiodiagnóstico, aceleradores para aplicaciones médicas o para tecnología de los alimentos, etc) como informáticas. Entre ellas, el ejemplo mejor conocido es, probablemente, la invención del world wide web (www), que ha revolucionado los mecanismos de acceso y transmisión de información residente en lugares geográficamente dispersos y que ha tenido un impacto sociológico extraordinario. El potencial de la computación distribuida empleando grandes volúmenes de datos localizados en los cinco continentes utilizando tecnologías Grid [23], a semejanza de lo que ocurre con las redes de distribución de energía eléctrica, es una de las principales contribuciones que está proporcionando en la actualidad el proyecto LHC.

## 1.1.2 Los detectores de partículas

Para el estudio de los productos resultantes de las colisiones de los haces de protones del LHC se emplean dos detectores de propósito general CMS (*Compact Muon Solenoid*) [24], [25] y ATLAS (*A Toroidal LHC Apparatus*) [26], que son los detectores más grandes y de mejores prestaciones jamás construidos en la física de altas energías. Ambos representan un salto cualitativo con respecto a detectores anteriores. La investigación y el desarrollo de nuevos materiales, sensores de silicio, microelectrónica, comunicaciones, sistemas de procesado de datos, etc., ha tenido un papel relevante en el diseño de estos detectores, cuya construcción ha supuesto un constante desafío tecnológico.

Ambos detectores son complementarios ya que, compartiendo criterios imprescindibles de hermeticidad, prestaciones, fiabilidad y robustez, han adoptado soluciones técnicas diferentes para los sistemas magnéticos, los detectores de trayectorias, los calorímetros hadrónicos y electromagnéticos y los sistemas de detección y medida de muones. Ambos son de grandes dimensiones ( $55 \times 35 \times 40 \text{ m}^3$  ATLAS y  $22 \times 15 \times 15 \text{ m}^3$  CMS) y considerable peso (7.000 toneladas ATLAS y 12.500 toneladas CMS) y la construcción de ambos ha supuesto un auténtico reto para la ingeniería civil.

Las diferencias más significativas radican en las opciones magnéticas (un único solenoide superconductor de gran tamaño en el caso de CMS, solenoides y super-toroides superconductores en el caso de ATLAS) y en la solución adoptada para la calorimetría electromagnética (argón líquido en el caso de ATLAS frente a más de 76.000 monocristales de tungstato de plomo en el caso de CMS).

El imán de CMS con 6 m de radio y 12,5 m de longitud genera un campo magnético de 4 T, siendo el solenoide superconductor más grande construido hasta el presente. En la tabla 1.1 se comparan las características del imán de CMS frente a otros imanes desarrollados en experimentos de física de partículas. La intensidad de este imán garantiza una gran precisión en la determinación del momento de las partículas cargadas, permitiendo un diseño del detector CMS relativamente compacto.

Experimento	Laboratorio	B (T)	Radio (m)	Longitud (m)	Energía (MJ)
TOPAZ	KEK	1,2	1,45	5,4	20
CDF	Tsukuba/Fermi	1,5	1,5	5,07	30
VENUS	KEK	0,75	1,75	5,64	12
AMY	KEK	3	1,29	3	40
ALEPH	Saclay/CERN	1,5	2,75	7	130
DELPHI	RAL/CERN	1,2	2,8	7,4	109
ZEUS	INFN/DESY	1,8	1,5	2,85	11
BaBar	INFN/SLAC	1,5	1,5	3,46	27
D0	Fermi	2	0,6	2,73	5,6
L3/ALICE	CERN	0,5	7,9	14,1	150
ATLAS-CS	ATLAS/CERN	2	1,25	5,3	38
ATLAS-BT	ATLAS/CERN	1	4,7-9,75	2	1080
ATLAS-ET	ATLAS/CERN	1	0,8-5,35	5	2x250
CMS	CMS/CERN	4	6	12,5	2600

**Tabla 1.1:** Comparación de los imanes empleados en distintos detectores de física de altas energías.

Tanto ATLAS como CMS están formados por una estructura de subdetectores concéntricos optimizados para la detección de los diversos tipos de partículas según su poder de penetración, entre los que se encuentra el espectrómetro de muones en la parte exterior. Muchos de los procesos que se quieren estudiar en el LHC incluyen muones en su estado final. Quizá el ejemplo más paradigmático sea el bosón de Higgs [27], cuya búsqueda constituye uno de los objetivos prioritarios del proyecto.

Los espectrómetros de muones de ATLAS [28] y CMS [29] son similares en muchas de sus características, empleando ambas tecnologías basadas en cámaras CSC (*Cathode Strip Chambers*) en los laterales del detector, dada la alta tasa de partículas esperada en esa zona, y cámaras de deriva en la parte central del detector, DT (*Drift Tubes*) para CMS y MDT (*Monitored Drift Tubes*) en el caso de ATLAS. Ambos detectores emplean cámaras RPC (*Resistive Plate Chambers*) y también cámaras TGC (*Thin Gap Chambers*) en la parte externa de ATLAS, las cuales proporcionan una rápida respuesta temporal que las hace muy adecuadas para el sistema de disparo.

Ambos detectores consiguen una excelente resolución en la medida del momento de los muones, siendo la principal diferencia las características del campo magnético empleado, que proporciona una mejor resolución en la zona lateral cuando es toroidal y cuando es solenoidal permite alcanzar resoluciones superiores en la zona central del detector.

Las cámaras de deriva DT y MDT se basan ambas en el fenómeno de ionización producido por las partículas cargadas al atravesar un medio gaseoso y en la deriva de los electrones e iones resultantes. La opción de las cámaras de deriva supone un balance adecuado entre las prestaciones requeridas y el coste del detector. Mientras que las cámaras MDT emplean tubos cilíndricos de 3 cm de diámetro con un hilo en el centro para medir el tiempo de deriva, las cámaras DT utilizan una estructura de celdas rectangulares de 4,2 cm de anchura y 1,3 cm de altura. Ambas tienen como objetivo permitir resoluciones espaciales del orden de 80-100  $\mu\text{m}$ . Las cámaras DT permiten además medir tanto la coordenada transversal ( $\Phi$ ) como la longitudinal ( $\Theta$ ), al emplear una estructura de hilos perpendiculares. Estas cámaras han sido optimizadas para la detección y medida de la traza de los muones y de su momento transversal, constituyendo un auténtico detector de trazas de alta resolución que incluye capacidad de disparo con asignación del cruce de haces y que permite cubrir con un coste económico razonable la gran superficie, superior a 23.000  $\text{m}^2$ , de la parte externa de CMS.

Las cámaras de deriva se han empleado en el pasado en una gran variedad de experimentos (JVD de UA2 [30], VCH de OPAL [31, 32], TEC de MARK J [33], ITC de ALEPH [34]), siendo su estructura y su sistema de lectura diferente dependiendo de las características particulares del experimento en cuestión y del estado del arte de la tecnología. En el experimento UA1 [35], por ejemplo, se empleó una cámara de deriva central alrededor del tubo del haz con el fin de medir la posición del vértice y las trazas de las partículas resultantes. En la actualidad, la alta tasa de partículas esperada no permite este tipo de configuración, donde los detectores de trazas centrales han sido sustituidos por sensores de silicio basados en microtiras y píxeles.

### 1.1.3 Los dispositivos de medición de tiempo

A diferencia de otros detectores gaseosos donde la detección de las partículas se realiza a partir de la medida de la amplitud de la carga, bien directamente o mediante ponderaciones geométricas, en las cámaras de deriva el parámetro clave a medir es el tiempo, dado que la velocidad de deriva constante proporciona una relación lineal entre éste y la posición de paso de la partícula.

Los dispositivos de medición de tiempo (TDCs: *Time to Digital Converter*) se han empleado en numerosos experimentos de física de altas energías y han evolucionado de acuerdo con los desarrollos en el campo de la electrónica. Existen diversos métodos de medición de tiempo según las características de resolución y rango de medida. El método básico consiste en un contador, pero a medida que se incrementan las exigencias de resolución temporal se han buscado otro tipo de soluciones como las técnicas *vernier* [36], aunque este método suele presentar limitaciones cuando el rango dinámico requerido es grande. En el pasado se ha conseguido una gran resolución empleando convertidores de tiempo a amplitud seguidos de convertidores analógico a digital (ADCs) [37], existiendo módulos comerciales como el LeCroy 187A, Ortec 566, etc., pero esta arquitectura no satisface en general los requisitos crecientes de bajo consumo y alta integración, además de basarse en tecnologías que deben garantizar un buen comportamiento analógico.

Más recientemente, gracias al avance de la microelectrónica, las arquitecturas basadas en líneas de retardo que se incluyen dentro de dispositivos de silicio han permitido alcanzar resoluciones similares [38]. La integración en silicio de estos dispositivos ofrece múltiples ventajas que han justificado el desarrollo de ASICs (*Application Specific Integrated Circuit*) específicos para estas aplicaciones. La integración de TDCs en ASICs proporciona muy buenas prestaciones, permitiendo integrar un gran número de canales mientras se mantiene un tamaño reducido y un bajo consumo. La conversión es directamente digital, por lo que se pueden integrar memorias y otros elementos digitales incrementando la potencia del dispositivo. Asimismo, permiten modos de funcionamiento programables, ofreciendo una gran versatilidad. También cabe reseñar que ofrecen unas características muy similares de dispositivo a dispositivo, manteniendo la uniformidad cuando el número de canales es muy elevado.

En la actualidad la tendencia es integrar los sistemas de medición de tiempos dentro de FPGAs (*Field Programmable Gate Array*) [39], aunque para aplicaciones específicas como la que se presenta en esta tesis siguen sin ofrecer las características de linealidad, uniformidad y versatilidad requeridas.

Con el fin de cumplir con los requisitos de resolución por debajo del nanosegundo, gran rango dinámico, linealidad, asignación de disparos, permitir solapamiento de disparos, etc., se diseñó en el Laboratorio de Microelectrónica del CERN, en colaboración con los distintos usuarios finales, un ASIC HPTDC (*High Performance Time to Digital Converter*) [40] específico para cumplir con los distintos requisitos del LHC.

Este dispositivo, novedoso dentro del campo de la medición de tiempos, está basado en una serie de TDCs desarrollados en el CERN predecesores del mismo: NA48 [41], TDC32 [42] y AMT0 [43]. El HPTDC mejora muchas de sus

características como la resolución temporal que puede alcanzar los 25 ps, la linealidad temporal y la alta programabilidad y flexibilidad de modos de funcionamiento. Asimismo, ha sido desarrollado en una tecnología tolerante a radiación y tiene una capacidad de almacenamiento adecuada para las tasas de señales que se esperan en el LHC. A pesar de haber sido desarrollado específicamente para aplicaciones en el LHC, sus buenas prestaciones han permitido su introducción en el mundo comercial, pudiéndose encontrar al cabo de unos años en módulos como CAEN V1290A [44] o Cronologic HPTDC8-PCI [45]. No obstante, estos módulos comerciales no son adecuados para su empleo en el detector CMS puesto que no cumplen, entre otros, ninguno de los requisitos de integración o tolerancia a radiación, ni son compatibles con los sistemas de adquisición de datos ni con los sistemas de sincronización del LHC.

#### 1.1.4 El procesamiento de datos

Uno de los aspectos inherentes a grandes detectores como ATLAS y CMS en los que se busca una gran granularidad es el elevado número de canales electrónicos, que supera los  $10^7$ . La información de todos estos canales debe ser transmitida y procesada en sucesivos niveles de empaquetamiento con el fin de obtener sucesos individuales que engloben toda la información de los distintos subdetectores.

Las características ya comentadas de energía y luminosidad tienen importantes repercusiones en el diseño de los sistemas de adquisición, selección, reducción y procesamiento de datos. En los puntos de cruce alrededor de los cuales se sitúan los detectores se producirán del orden de 800 millones de interacciones por segundo, entre las cuales se deben seleccionar en tiempo real aquellas que interesen estudiar. Dado que no es posible almacenar el resultado de este número de interacciones, se han desarrollado potentes sistemas dinámicos de filtrado que seleccionan los sucesos potencialmente interesantes para su posterior almacenamiento y análisis. No obstante, la cantidad de información generada sigue siendo un desafío para el diseño de los sistemas de lectura y procesamiento de datos, así como para los sistemas de computación científica. Se estima que la información que proporcionará el LHC ascenderá a 15 Petabytes al año, que serán analizados por miles de científicos en cientos de institutos repartidos por todo el mundo.

Esta cadena de selección se realiza por una parte mediante redes de multiplexación y sistemas de filtrado de eventos basados en computadoras y, también, a bajo nivel dentro de los propios módulos de electrónica digital de lectura y de disparo. Por ejemplo, en el experimento CMS, se debe realizar un filtrado de primer nivel basado en un sistema hardware programable diseñado a medida que reduzca a 100 kHz los 40 millones de colisiones por segundo que tendrán lugar en cada punto de cruce de haces. Posteriormente se realiza una selección mediante algoritmos software en una granja de varios miles de computadoras que disminuyen el número de sucesos a unos 100 eventos por segundo, que son los que finalmente pueden almacenarse para un análisis *off-line*. El tamaño de cada evento es de aproximadamente 2 MB, por lo que el flujo final de datos es de unos 200 MB/s y, considerando los segundos de operación del

LHC, obtenemos unos valores globales de  $2,25 \cdot 10^6$  GB/año de información útil procedente del detector, que debe ser almacenada.

Desde el punto de vista digital, esto supone el diseño y la fabricación de módulos electrónicos que extraigan la información de interés para cada tipo de detector (medida de la energía, tiempo, posición, etc) y sean capaces de procesarla y transmitirla a las velocidades requeridas.

En la electrónica digital estas tareas se implementan dentro de módulos electrónicos mediante el uso de una combinación de ASIC, microcontroladores, DSP (*Digital Signal Processor*) y FPGA. Los dispositivos lógicos programables están siendo extensamente utilizados en los últimos años por su gran versatilidad y facilidad de reconfiguración y su relativo bajo coste.

La tendencia actual es incrementar la complejidad de estos dispositivos y su velocidad de procesado. Los últimos dispositivos del mercado incorporan grandes bloques de memorias, procesadores, diversos interfaces de comunicación y DSPs dentro de una misma FPGA aumentando su funcionalidad y la flexibilidad de diseño.

Las sucesivas generaciones de circuitos integrados se caracterizan por poseer cada vez una mayor cantidad de puertas lógicas. Esta tendencia a la miniaturización, que se da en todos los aspectos de la electrónica en general, ha estado regida por la ley de Moore, que predice que la densidad de transistores en un circuito integrado, y con ello la potencia de cálculo, se duplica aproximadamente cada 18 meses. El vertiginoso avance de la tecnología electrónica fuerza en muchos casos a la comunidad de altas energías a seguir estas líneas de evolución, aunque sea por simples razones de disponibilidad. Las FPGAs, DSPs y demás circuitos integrados comerciales empleados en la actualidad quedan obsoletos al cabo de pocos años. Por ejemplo, la tecnología CMOS de 180 nm que se empleaba en la fabricación de dispositivos en el año 2000 se ha visto suplantada cada dos años por una nueva tecnología. Las últimas FPGAs están siendo fabricadas hoy en día con tecnologías de 40 nm.

Sin embargo, la progresión no es infinita. Las limitaciones tanto de funcionamiento (pues sus características comienzan a estar regidas por fenómenos de tipo cuántico), como de gestión de la disipación térmica y de coste de las instalaciones necesarias para su fabricación predicen un límite de fabricación de varios nm. A largo plazo, parece que la clave de la evolución estará en la nanotecnología.

No sólo la miniaturización sino también el aumento de la velocidad de procesado fuerzan a un mayor consumo de corriente, lo que crea problemas de disipación. Por tanto, el objetivo es minimizar el consumo de estos dispositivos, empleando tensiones de alimentación cada vez más bajas.

Aún así, en detectores con gran integración existen serios problemas de distribución de potencia, lo que está obligando en la actualidad a considerar la implementación de sistemas de alimentación pulsada, serie, etc., que serán una realidad en próximos experimentos de altas energías.

Los requisitos de mayor velocidad de transferencia de datos y fiabilidad han impulsado enormemente el avance de las interfaces de comunicación, que se encuentran en la actualidad en el rango de transferencia del Gbit/s. Estas

velocidades de procesamiento y de transmisión requeridas imponen a su vez importantes requisitos de integridad de la señal en el desarrollo de electrónica digital. Las pistas pasan a comportarse como líneas de transmisión y su impedancia característica pasa a ser un factor fundamental.

Uno de los avances más destacados en este campo es el de las comunicaciones por fibra óptica, que permiten velocidades de transferencia muy elevadas sobre largas distancias, siendo inmunes a las interferencias electromagnéticas.

Un factor a tener en cuenta durante el diseño de electrónica para experimentos de física de altas energías es que son proyectos a largo plazo, por lo que el diseño de un sistema electrónico se realiza en muchos casos en base a tecnologías que aún no se encuentran en el mercado, pero que teniendo en cuenta la evolución presente se espera poder adquirir comercialmente en el momento de la fabricación. Un ejemplo de esto son los enlaces a Gb/s de fibra óptica de la tarjeta ROS (*Read-Out Server*), que se describirá en esta tesis, cuya arquitectura comenzó a planearse con anterioridad a disponer de este tipo de enlaces en el mercado.

## 1.2 PLANTEAMIENTO DE LA TESIS

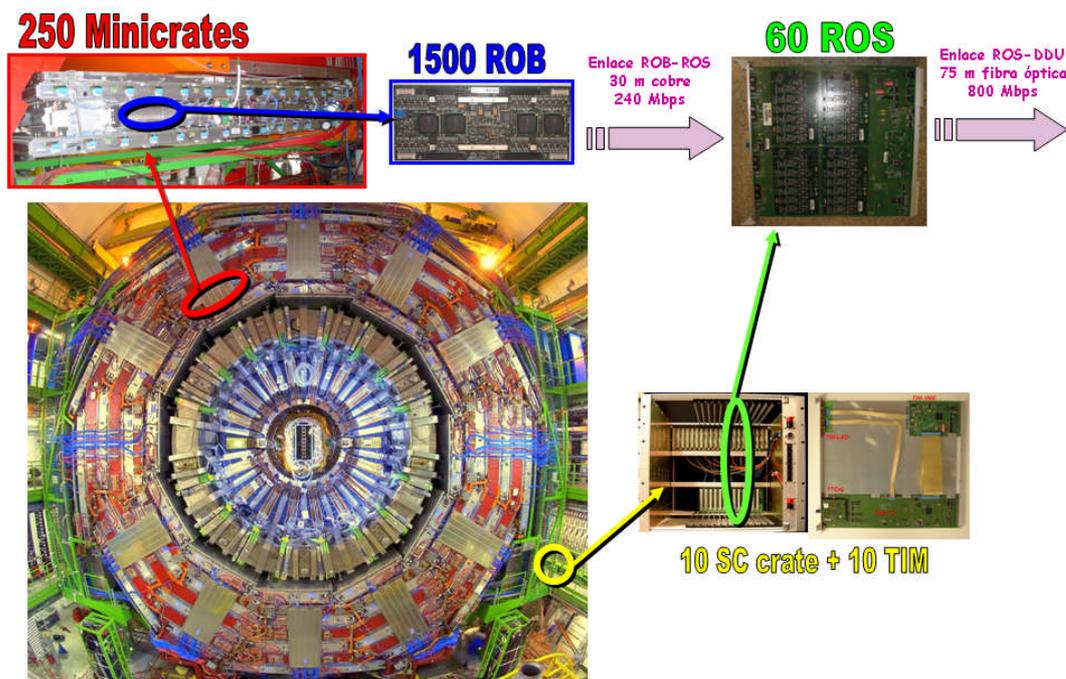
El trabajo realizado en la presente tesis forma parte de uno de estos experimentos de física de altas energías, en concreto se centra en la electrónica de adquisición de datos de las cámaras de deriva DTs (*Drift Tubes*) del experimento CMS.

Como ya se ha comentado, el potencial científico de los experimentos asociados al colisionador LHC es enorme, siendo el proyecto de mayor relevancia a nivel internacional dentro del campo de la física experimental. La comunidad científica española ha contribuido de forma importante a la construcción e integración de los distintos detectores. Como ejemplos en el detector CMS se tienen la construcción de toda la electrónica de lectura de las cámaras de deriva por el CIEMAT (Centro de Investigaciones Energéticas, Medioambientales y Tecnológicas) [46], así como de la construcción de una cuarta parte de estas cámaras de deriva también en el CIEMAT. Además, la construcción del sistema de alineamiento [47] por el Instituto de Física de Cantabria (IFCA) [48] junto con el CIEMAT o las contribuciones de la Universidad Autónoma de Madrid (UAM) [49] al sistema de disparo. Por otro lado, en el experimento ATLAS, el Instituto de Física Corpuscular CSIC (IFIC) [50], la Universidad de Valencia [51], y el Centro Nacional de Microelectrónica de Barcelona (CNM-IMB) [52] se han encargado de la construcción de parte de los módulos de silicio que forman el detector de trazas; el IFIC también ha participado en el desarrollo de la electrónica del calorímetro hadrónico TileCal; el Institut de Física d'Altes Energies (IFAE) [53] de Barcelona se ha responsabilizado del ensamblaje mecánico y óptico de una de las dos partes delanteras del calorímetro hadrónico y la Universidad Autónoma de Madrid (UAM) ha participado en la construcción del calorímetro electromagnético. Finalmente, la Universidad de Barcelona [54] se ha encargado del diseño, producción y pruebas de electrónica de los foto-detectores del RICH del experimento LHCb [55] y el Instituto Galego de Física de Altas Enerxías

(IGFAE) [56] de la Universidad de Santiago de Compostela (USC) [57] ha participado en la producción de los módulos de silicio del detector de trazas del LHCb.

En este contexto empecé mi actividad dentro del Laboratorio de Electrónica y Automática de la División de Física de Altas Energías del CIEMAT. Mi trabajo se ha centrado en el desarrollo de los dos primeros niveles de la electrónica de adquisición de datos de las cámaras de deriva de CMS, formado principalmente por las tarjetas ROB (*Read Out Board*) y ROS (*Read Out Server*). Un esquema de este sistema se puede observar en la figura 1.2. La misión principal de esta electrónica de lectura es la de proporcionar una medida temporal de alta resolución de las señales procedentes de las cámaras de deriva, que se encuentra directamente relacionada con la posición de la trayectoria del muón, permitiendo así la reconstrucción geométrica de las trazas de los muones y la medida de su momento bajo el campo magnético, factor clave para el estudio de las colisiones resultantes del LHC.

## El sistema de adquisición de datos de las cámaras de deriva de CMS



**Figura 1.2:** Diagrama del sistema de adquisición de datos de las cámaras de deriva de CMS donde se indican los distintos componentes que se han diseñado, desarrollado y validado.

La tarjeta ROB (*Read-Out Board*), objeto de la primera parte de esta tesis, ha sido diseñada en torno al ASIC HPTDC, que se diseñó en el Laboratorio de Microelectrónica del CERN bajo los requisitos de los distintos usuarios finales, entre ellos el CIEMAT. La tarjeta ROB permite explotar todas las características fundamentales de este dispositivo, novedoso dentro del campo de la medición de tiempos, haciéndolo adecuado para su uso en las cámaras de deriva DT del experimento CMS.

Como usuarios pioneros de este dispositivo, las diversas pruebas realizadas han permitido corregir y mejorar diversas características del ASIC en sus distintas etapas de prototipado como paso previo a su producción final, validando su funcionamiento [58].

La problemática a la que nos enfrentamos con el diseño de esta tarjeta es múltiple. Además de proporcionar una medida de alta resolución (0,78 ns) de las señales de entrada, el sistema debe ser capaz de almacenar la tasa de datos que se espera durante un tiempo igual a la latencia del sistema con el fin de realizar la asignación de eventos. Dadas las dimensiones del sistema de disparo de CMS, este tiempo de latencia es elevado, de 3,2  $\mu$ s, y el sistema debe continuar funcionando durante ese tiempo, en el cual se producirán nuevas colisiones a una frecuencia de 40 MHz. Por otro lado, dado que el tiempo máximo de deriva (400 ns) es muy superior a los 25 ns que se tienen entre cruces de haces consecutivos, el sistema debe proporcionar un mecanismo de asignación de datos a eventos que sea capaz de manejar sucesos que se solapen debido a la alta frecuencia de operación del acelerador LHC.

La arquitectura escogida para la tarjeta ROB debe contemplar estos requisitos y los anchos de banda de los enlaces de transmisión deben dimensionarse teniendo en cuenta estas características. Por otro lado, es de gran importancia que las características de resolución, linealidad e interferencia entre canales proporcionadas por el HPTDC se mantengan una vez integrado en la tarjeta ROB, dedicando especial atención a aspectos de integridad de la señal durante el diseño y realizando numerosas pruebas para verificar que se conservan estas características.

Con el fin de dar una idea del orden de magnitud del sistema de lectura, hay que decir que el número total de cámaras de deriva de CMS es de 250, siendo 172.200 el número total de canales que deben digitalizarse. La implicación fundamental que se deriva es el elevado nivel de integración que se debe conseguir. Cada tarjeta ROB ha sido diseñada para permitir digitalizar 128 canales en unas dimensiones de 22,6 x 9,8 cm que permitan su instalación en el reducido espacio adyacente a las cámaras de deriva. De esta forma se garantiza que las señales procedentes de la cámara recorran una distancia pequeña, minimizando el número de cables que salen del detector y las interferencias electromagnéticas que degradarían la calidad de las señales. Este nivel de integración debe conseguirse a su vez minimizando el consumo de potencia de la electrónica, factor fundamental debido a que su situación en el interior del detector y la presencia de un campo magnético tan elevado impiden el empleo de sistemas de refrigeración basados en ventiladores, siendo necesaria la refrigeración mediante conducción a través de un flujo de agua desmineralizada.

La optimización de la disipación de calor mediante conducción ha sido tenida en cuenta tanto en el diseño de la tarjeta ROB como en la estructura del Minirate, módulo que integra la electrónica de lectura, disparo y control de la cámara de deriva y que también se presenta en esta tesis como parte de la labor realizada. El Minirate ha sido diseñado específicamente para permitir la interconexión de todos estos elementos y proporcionar una estructura autónoma a cada cámara de deriva. El proceso de construcción de los Minirates se llevó a cabo entre varios institutos europeos, principalmente entre el CIEMAT y el

INFN (*Istituto Nazionale di Fisica Nucleare*) de Legnaro [59] y el INFN de Bologna [60]. En el CIEMAT es donde tuvo lugar toda la fabricación y el montaje de la parte mecánica y el cableado, así como el montaje de toda la electrónica de lectura y de control, montándose en el INFN la parte de la electrónica de disparo. El sistema de pruebas realizado, que incluye los distintos tests de calidad y certifica su buen funcionamiento tras su montaje en el CIEMAT, se describe a lo largo del texto.

El segundo nivel de la cadena de adquisición de datos está formado por las tarjetas ROS (*Read-Out Server*), que se encargan del procesamiento de los datos procedentes de las ROBs y de su transmisión al siguiente nivel de la cadena de adquisición de datos de CMS. Cada tarjeta ROS debe realizar la lectura de 25 tarjetas ROB y permitir el almacenamiento de los datos y su multiplexación. Una de las tareas fundamentales de la tarjeta ROS es la de crear un evento sincronizado con el resto de los detectores de CMS y con la información de cruce de haces del LHC, requiriéndose una lógica inteligente que va más allá de un sistema intermedio de almacenamiento y multiplexación. Por otro lado, la tarjeta ROS debe realizar diversas labores de verificación de la integridad de los datos, garantizando la coherencia y validez de los mismos, y debe ser capaz de procesar los 25 canales con suficiente rapidez como para poder leer la tasa de datos esperada a una velocidad de disparo de hasta 100 kHz, asegurando la integridad y la sincronía de los datos leídos para permitir una correcta decodificación y su posterior análisis.

La arquitectura de la tarjeta ROS se ha concebido como una red de procesadores interconectada que permite un procesamiento inteligente de los datos procedentes de las cámaras de deriva. El procesamiento se ha paralelizado en la medida de lo posible en distintos nodos distribuidos, procurando minimizar el coste de la electrónica.

Por una parte, su diseño debe ser versátil y flexible, con el fin de prever situaciones inesperadas que puedan surgir de cualquier mal funcionamiento en el sistema, que en muchos casos pueden estar ocasionados por la radiación ambiental esperada, creando zonas muertas que disminuyen la eficiencia del sistema. La tarjeta debe poder proporcionar la información necesaria para identificar la fuente de error y minimizar en la medida de lo posible su impacto en el rendimiento global, siendo capaz de recuperarse de errores esporádicos para no degradar el comportamiento del sistema.

Dado el gran número de enlaces ROB-ROS (1.500), el empleo de un enlace óptico entre ambas tarjetas suponía un coste excesivo en el momento de su diseño. La elección de una transmisión basada en cobre, aunque mucho más rentable, obligaba a situar las tarjetas ROS en la caverna de CMS, ya que la distancia de casi 100 m entre el detector y la sala de control no permitía el empleo de un enlace de alta fiabilidad a las velocidades requeridas. Por ello, la tarjeta ROS debe cumplir con los mismos requisitos de bajo consumo, alta integración y fiabilidad necesarios para cualquier módulo electrónico que opere en la caverna de CMS.

Una consecuencia directa del gran flujo de partículas producido en el LHC es el elevado nivel de radiación al que se verá sometido el detector. Tanto las tarjetas ROB como las ROS están localizadas en una zona donde el flujo de

partículas cargadas esperado es del orden de  $20 \text{ cm}^{-2}\text{s}^{-1}$ , la fluencia de neutrones de  $10^{10} \text{ cm}^{-2}$  durante los 10 años de operación y la dosis integrada de 0,2 Gy. Esto exige que los materiales y los dispositivos electrónicos asociados deban ser tolerantes a la radiación, intentando a su vez emplear en la medida de lo posible componentes comerciales con el fin de reducir el coste de fabricación. Aunque existen varias bases de datos con información del comportamiento bajo radiación de distintos componentes [61], las especificaciones que proporcionan están orientadas a electrónica para el espacio, donde el flujo de neutrones es mínimo y, por tanto, los efectos esperados no permiten extrapolar su comportamiento a un entorno como el del LHC. Por ello, la mayoría de los componentes empleados han debido ser caracterizados y se han realizado diversas campañas de irradiación para asegurar su validez.

Debido a las restricciones impuestas por la operación bajo campo magnético y ambiente radiactivo, el acceso a la caverna es muy limitado durante el tiempo de vida del experimento. Por ello, debe diseñarse un sistema robusto y fiable que requiera las mínimas intervenciones durante los 10 años que se espera que CMS esté en funcionamiento.

Con el fin de validar el diseño de la electrónica, se ha realizado un estudio exhaustivo mediante diversas pruebas que demuestran su aptitud para funcionar en el experimento CMS. Estas pruebas incluyen por un lado tests de funcionalidad y caracterización de los parámetros críticos de las tarjetas, incluyendo todas las pruebas realizadas para validar la producción final y, por otro lado, ensayos bajo las condiciones medioambientales que se esperan en el lugar final de operación.

Entre las primeras se incluyen medidas de la resolución temporal y de otros parámetros característicos, medidas de interferencia entre canales, medidas de la tasa de fallos del enlace de datos, estudio del comportamiento frente a altas tasas de datos y de disparo, capacidad de almacenamiento de los búferes internos, etc.

Con el segundo tipo de pruebas se han estudiado fundamentalmente su comportamiento bajo las dosis de radiación esperadas, el funcionamiento bajo campo magnético y diversas medidas del efecto de la temperatura. Además, se han realizado estudios del tiempo de vida de la tarjeta ROB y una selección de las tarjetas mediante una prueba de envejecimiento acelerado para detectar aquellas que pudieran presentar defectos de mortandad infantil. Este factor es especialmente crítico durante la producción de las tarjetas ROB dado que se localizan dentro de la estructura de CMS, siendo su acceso especialmente limitado.

Finalmente, tras la validación de la producción del total de la electrónica de lectura y su instalación en el detector, se ha realizado un conjunto de pruebas de integración con el resto de los subdetectores de CMS mediante la toma de datos con rayos cósmicos, con y sin campo magnético. Se han registrado del orden de 600 millones de muones cósmicos durante las diversas campañas de toma de datos a lo largo del año 2008, y se ha podido estudiar la estabilidad del sistema y la calidad de los datos recolectados.

Los resultados de todas estas pruebas, tanto en el laboratorio como en el detector final, concluyen que el sistema desarrollado es apto para su operación en el LHC. En todos estos ensayos que se describen en la presente tesis he

participado activamente tanto en el diseño, fabricación y montaje de los sistemas de pruebas como en las tomas de datos y su análisis.

Con el fin de validar el funcionamiento del sistema no sólo en tomas de datos con cósmicos (en los que la tasa de muones es muy baja comparado con el LHC), o campañas con haces de muones (en las que el pequeño tamaño de la zona irradiada no es comparable con el tamaño de un sector leído por la tarjeta ROS), se ha realizado una simulación empleando el software más avanzado de interacción de la radiación con la materia (GEANT4) adaptado a la estructura de CMS para el estudio de la ocupación del detector durante su operación en el LHC. Los resultados obtenidos proporcionan una visión más realista en comparación con estudios anteriores de las tasas de señales esperadas procedentes no sólo de muones resultantes de las colisiones, sino de cualquier partícula resultante de una interacción con cualquier parte del material del detector que eventualmente produzca una señal en las cámaras de deriva. Este estudio, fundamental para la comprensión del escenario esperado durante el LHC, está siendo de gran utilidad también para el análisis de los requisitos a los que nos deberemos enfrentar en la actualización del colisionador LHC, el SLHC (*Super LHC*) [62], que se está discutiendo en la actualidad y que supondrá un aumento de, al menos, un orden de magnitud en la luminosidad.

En consonancia con este estudio, se han desarrollado unos programas específicos para la simulación de la lógica de procesado de la tarjeta ROS que engloban los algoritmos de funcionamiento de los distintos dispositivos lógicos programables interconectados en la tarjeta y que permiten reproducir el tiempo de procesado que se espera según la ocupación de las distintas partes del detector. El resultado de este estudio ha permitido validar la topología actual de la tarjeta ROS y proporciona información clave para su rediseño en una futura actualización.

El trabajo que se describe en la presente tesis se trata, por tanto, de un desarrollo singular dentro de la instrumentación electrónica, donde se deben cumplir una serie de características que son completamente novedosas debidas al carácter pionero del colisionador LHC.

### 1.2.1 Objetivos de la tesis

Resumiendo, la finalidad principal de esta tesis queda recogida en dos líneas fundamentales:

- 1) **Especificación, diseño y desarrollo de los dos primeros niveles del sistema de adquisición de datos de las cámaras de deriva del detector CMS**, que incluyen las 1.500 tarjetas ROB, 250 Minicrates, 10 tarjetas TIM y 10 Sector Collector y 60 tarjetas ROS.
- 2) **Caracterización y validación del sistema de adquisición de datos** mediante pruebas en laboratorio, ensayos en condiciones de radiación, campo magnético y tasas de datos similares a las esperadas en el LHC y pruebas de integración del sistema completo, garantizando que se cumplen los requisitos necesarios para su total operatividad en el experimento CMS.

Estas dos líneas básicas se pueden desglosar en detalle para desarrollar los objetivos particulares que se han perseguido:

- 1.1) Estudio y análisis de los requisitos y de las implicaciones del funcionamiento del LHC y de las características particulares de las cámaras de deriva en el sistema electrónico a desarrollar. Entre ellos se incluye el estudio de los sistemas centrales de adquisición de datos, disparo, sincronización y sistemas de control y monitorización de CMS que determinan parte de las características básicas del funcionamiento de la electrónica.
- 1.2) Evaluación de las especificaciones de diseño y de funcionamiento del ASIC HPTDC con el fin de verificar su adecuación a las características del experimento en cuestión. Estudio exhaustivo de sus características fundamentales y detección de errores que puedan comprometer el rendimiento y la fiabilidad del sistema.
- 1.3) Diseño de la electrónica del sistema de adquisición de datos de primer nivel de acuerdo con los requisitos que se han analizado. Esta electrónica está formada por las 1.500 tarjetas ROB, cuyo diseño se ha basado en una arquitectura que permitiera integrar cuatro dispositivos HPTDC en cada tarjeta, alcanzando un nivel de integración de 128 canales por ROB. La tarjeta ROB cuya misión será la digitalización temporal de las señales procedentes de las cámaras de deriva, debe garantizar la conservación de las características intrínsecas del HPTDC y, a su vez, integrar los distintos dispositivos garantizando una interfaz de configuración y monitorización común y un protocolo para la transmisión de datos al siguiente nivel de electrónica con un ancho de banda y una fiabilidad adecuada a las condiciones del experimento.
- 1.4) Implementación de los algoritmos de control del dispositivo lógico programable CPLD (*Complex Programmable Logic Device*) de la tarjeta ROB para garantizar el correcto funcionamiento del sistema de lectura. Estos algoritmos tienen además una funcionalidad clave en el sistema de calibración de las cámaras de deriva, permitiendo operar la electrónica en un modo de funcionamiento específico para el estudio de las constantes temporales básicas de las cámaras de deriva.
- 1.5) Diseño y fabricación de la estructura Minicrate para la integración de la electrónica de lectura, disparo y control de la cámara de deriva en un único módulo autónomo. Análisis de los requisitos básicos de capacidad de integración, disipación de calor, interconexiones entre los elementos y distribución de la alimentación y del sistema de tierras de referencia.
- 1.6) Diseño y construcción del sistema Sector Collector para la integración de la electrónica de lectura y de disparo de segundo nivel basado en una interfaz VME (*Versa Module Europe bus*) [63] de acuerdo con los requisitos de interconexión, distribución de potencia y refrigeración establecidos. Este apartado incluye también

el diseño y desarrollo de las tarjetas electrónicas TIM y TIMBUS para realizar el interfaz con el sistema de distribución de reloj y sincronización TTC de CMS garantizando la integridad de las señales y desarrollando los algoritmos de los distintos dispositivos lógicos programables que permiten la configuración y monitorización del sistema.

- 1.7) Diseño y desarrollo de las 60 tarjetas ROS que forman el segundo nivel del sistema de adquisición de datos basándonos en las premisas básicas de aportar rapidez de procesado, flexibilidad, robustez y fiabilidad. Diseño de los mecanismos de protección frente a sobreconsumos, carencia de la señal de reloj, y de las interfaces que permiten la monitorización global de la tarjeta a través de los distintos sensores y registros de estado del sistema. Desarrollo de una estrategia de procesado subdividida en módulos distribuidos con el fin de maximizar la paralelización y reducir el tiempo de adquisición de datos a la vez que se optimizan los mecanismos para garantizar la integridad de los datos y la recuperación de errores del sistema. Especificación del formato de los datos incluyendo toda la información necesaria para la comprobación del estado del sistema y la posterior reconstrucción de las trayectorias de los muones.
- 1.8) Implementación de los algoritmos de control de los distintos dispositivos lógicos programables de la tarjeta ROS. Desarrollo de las diversas máquinas de estado para el procesado de datos y de los protocolos de interconexión entre los distintos módulos garantizando el máximo rendimiento y un funcionamiento robusto. Diseño de un mecanismo para la reconfiguración remota de los dispositivos basado en la interconexión de las interfaces VME y JTAG (*Joint Test Action Group*) [110].
- 1.9) Diseño y desarrollo de los distintos sistemas de pruebas para todos los módulos fabricados. Definición de la instrumentación necesaria y desarrollo de los programas de interfaz hombre-máquina que permiten al operador manejar el sistema, modificar los parámetros fundamentales, visualizar sus estados y validar cada uno de los módulos fabricados garantizando su correcta funcionalidad en todos los modos de operación.

Por otro lado, dentro de la segunda línea de trabajo:

- 2.1) Caracterización de los parámetros fundamentales relativos a la medición de tiempos de la tarjeta ROB. Estudio de la resolución temporal, la interferencia entre canales y la linealidad diferencial e integral. Comprobación de la conservación de los parámetros del HPTDC tras su integración en la tarjeta ROB.
- 2.2) Validación de la arquitectura de la tarjeta ROB y comprobación de su funcionamiento bajo las condiciones de operación de las cámaras de deriva. Desarrollo de un sistema para el estudio de la tasa de fallos del enlace ROB-ROS.

- 2.3) Estudio del comportamiento de la tarjeta ROB frente a ciclos de temperatura y de su efecto sobre la medición de tiempos. Estudio de la fiabilidad de los componentes electrónicos en un envejecimiento acelerado basado en la relación entre la velocidad de las reacciones químicas y la temperatura establecida por la ecuación de Arrhenius y realización de pruebas de aceleración mediante estrés térmico para la selección de la producción de las tarjetas descartando dispositivos con fallos latentes.
- 2.4) Análisis y pruebas del circuito de refrigeración de los módulos Sector Collector en los armarios de la caverna de CMS y mejora del sistema de refrigeración para optimizar la disipación térmica de las tarjetas electrónicas.
- 2.5) Caracterización de los componentes electrónicos de la tarjeta ROB y ROS bajo radiación mediante pruebas de irradiación bajo un haz de protones en un ciclotrón donde se simulen las condiciones esperadas en el LHC.
- 2.6) Estudio mediante simulaciones Monte Carlo de la ocupación de datos esperada durante la operación en el LHC y su impacto en las unidades de almacenamiento de los módulos electrónicos. Desarrollo de la simulación de las unidades de procesamiento de la tarjeta ROS y estudio del tiempo de procesado en distintas condiciones para verificar la idoneidad del diseño realizado considerando el impacto del ruido de fondo debido a radiación y de los niveles de ruido presentes en el detector.
- 2.7) Obtención de los resultados experimentales para la validación del sistema de adquisición desarrollado en diversas campañas de toma de datos con las cámaras de deriva de CMS. Validación del sistema en ensayos bajo haces en los aceleradores del CERN, simulando el ruido de fondo y la estructura temporal de los paquetes de muones. Tomas de datos cósmicos con y sin campo magnético en las diversas campañas de integración de todo el detector CMS: MTCC (*Magnet Test and Cosmic Challenge*), CRUZET (*Cosmic Run at Zero Tesla*), CRAFT (*Cosmic Run at Four Tesla*), etc. Verificación del correcto comportamiento de la electrónica bajo campos magnéticos y de la satisfactoria integración del sistema de lectura con el resto de los subsistemas de CMS. Realización de pruebas de adquisición de datos bajo altas tasas de disparo en condiciones de ocupación similares a las esperadas durante el LHC y comprobación de que el manejo de la gran cantidad de datos y el dimensionado de la capacidad de almacenamiento de los distintos *buffers* del sistema es adecuada.
- 2.8) Puesta a punto del sistema para las primeras tomas de datos con el LHC y evaluación de la robustez y fiabilidad de la electrónica tras largos períodos de toma de datos continuada.

### 1.2.2 Estructura de la tesis

En esta memoria presento los resultados de mi actividad durante los últimos ocho años en los que he trabajado en el diseño, desarrollo, construcción y validación del sistema de adquisición de datos de las cámaras de deriva de CMS. La memoria de tesis está estructurada en los siguientes apartados:

- En el **Capítulo 1** se ha planteado el marco de la investigación, revisando el panorama actual de los experimentos de física de altas energías y su evolución en los últimos años, explicando los desafíos que implican en los distintos campos de la física y de la ingeniería con el fin de profundizar en el conocimiento del mundo a pequeña escala. Se presenta el estado actual de los sistemas de detección en colisionadores hadrónicos y en concreto, en sistemas de detección de muones basados en cámaras de deriva. En este apartado se revisa el estado del arte de la instrumentación electrónica y, en particular, de los sistemas de medición de tiempo. Se han expuesto los objetivos perseguidos con la realización de esta tesis y se ha establecido la estructura que tendrá el documento a lo largo de sus capítulos.
- En el **Capítulo 2** se describen las características básicas del colisionador LHC y los objetivos científicos que justifican su realización, describiendo su potencial científico en comparación con otros experimentos de altas energías existentes hasta el momento. En este capítulo se describe el experimento CMS y sus detectores asociados, cuyo diseño fue establecido de acuerdo con el entorno de operación estimado y los procesos físicos que se esperan estudiar en el colisionador LHC. Dentro de CMS, el espectrómetro de muones jugará un papel crucial, tanto a la hora de reconstruir la trayectoria y el momento de estas partículas como en su participación en el sistema de discriminación de datos. En este capítulo se describe en detalle el funcionamiento de las cámaras de deriva, como parte del espectrómetro de muones y el sistema de adquisición de datos de CMS, parte del cual es objeto de desarrollo de esta tesis.
- Posteriormente, en el **Capítulo 3** se estudian en detalle los distintos requisitos a los que nos hemos enfrentado en el diseño de la tarjeta ROB, describiendo el entorno en el que tienen que funcionar y los requisitos impuestos por el experimento, factores determinantes a la hora de establecer el diseño de la electrónica. Se describen con detenimiento las características fundamentales del diseño realizado, justificando los puntos más significativos que han desembocado en la presente tarjeta. Se describen los problemas que hemos encontrado en los primeros prototipos del HPTDC y se detallan las características fundamentales de la funcionalidad de la tarjeta ROB, describiendo el proceso de reconstrucción de trazas a partir de sus medidas de tiempo y los aspectos básicos de la calibración del sistema. Finalmente se describe el sistema de pruebas desarrollado con el fin de verificar el montaje de las 1.500 tarjetas ROB en la empresa IMPELEC.
- En el **Capítulo 4** se describe el sistema que permite la integración de las tarjetas ROB dentro del detector CMS y que se denomina Minicrate. Esta estructura permite integrar el sistema de lectura, disparo y sistema de control de la cámara de deriva en una única unidad autónoma para la

detección de partículas cargadas. Además de describir las partes que lo componen y las necesidades que han llevado a la presente estructura, también se describe el sistema de pruebas creado con el fin de validar la producción de los 250 Minicrates en el CIEMAT y que permite analizar los distintos elementos de su funcionamiento.

- El **Capítulo 5** está dedicado por entero al diseño y funcionamiento de la tarjeta ROS y que forma el segundo nivel de la cadena de lectura de las cámaras de deriva de CMS. Se realiza una descripción en detalle de la arquitectura de la ROS y de los distintos módulos que lo componen. Se detallan los sistemas de protección de sobre-consumos, de distribución de reloj y de los algoritmos implementados en los diferentes dispositivos lógicos reconfigurables de la tarjeta ROS. También se presenta el mecanismo diseñado para la reconfiguración de los dispositivos a través de la interfaz VME y que en la actualidad permiten modificar su funcionamiento de forma totalmente remota. La tarjeta ROS ha sido diseñada ofreciendo una gran versatilidad y por ello se resumen los distintos modos de operación y las principales opciones programables. Se indican los mecanismos empleados para garantizar la integridad de los datos y la lógica diseñada para disponer de un sistema de regulación del sistema de disparo en función de las condiciones de ocupación del detector. Las características fundamentales de la tarjeta ROS están basadas en los requisitos de operación y del entorno de radiación e inaccesibilidad de CMS.

- El sistema que integra la electrónica de lectura (ROS) y de disparo de segundo nivel, el sistema Sector Collector, se describe en el **Capítulo 6**. Se presentan los detalles de la arquitectura y de las interconexiones adaptadas a los requisitos de integración en las cavernas de CMS. También se describen los detalles del sistema de sincronización TTC de CMS y el funcionamiento de la tarjeta TIM (*TTC Interface Module*) y del *backplane* TIMBUS, desarrollados también en el CIEMAT, y que permiten la distribución a la electrónica de lectura y de disparo de segundo nivel de todas las señales de reloj, disparo y demás comandos de sincronización.

- En el **Capítulo 7** se presentan los resultados de la gran variedad de pruebas de funcionalidad y caracterización realizadas en las tarjetas ROB y ROS que confirman la correcta operación de la electrónica y su fiabilidad. Estas pruebas incluyen estudios del ASIC HPTDC y de la conservación de sus características críticas una vez integrado en la tarjeta ROB, como el estudio de la resolución temporal, la interferencia entre canales o la linealidad integral y diferencial. También se incluyen las pruebas realizadas para el estudio de la tasa de fallos del enlace de salida o las pruebas realizadas para estudiar el comportamiento frente a ciclos de temperatura y estudios de la fiabilidad de los componentes electrónicos en un envejecimiento acelerado o en pruebas de aceleración para la detección de fallos latentes en dispositivos. También se incluyen los estudios de temperatura realizados en el sistema Sector Collector que han permitido diseñar un sistema adecuado de refrigeración y mejorar el sistema de seguridad de la electrónica. Un apartado de especial importancia concierne el estudio de los distintos componentes electrónicos bajo radiación, para el que se han realizado diversas campañas de irradiación garantizando el

correcto funcionamiento de los dispositivos en el entorno del LHC. Asimismo cabe destacar las simulaciones Monte Carlo realizadas que también se describen en detalle para el estudio de la ocupación del sistema. Dentro de estas simulaciones se incluyen los algoritmos realizados para el estudio del tiempo de procesado de la tarjeta ROS que permiten validar su funcionamiento bajo la tasa de datos esperada. Estas pruebas se complementan con las diversas campañas de haces de muones en los aceleradores del CERN y que han permitido estudiar el sistema en condiciones similares al funcionamiento durante el LHC. Igualmente, se describen las primeras campañas de integración del detector CMS para la toma de rayos cósmicos bajo campo magnético que supusieron un punto de inflexión en el desarrollo de los módulos en cada uno de los institutos y el funcionamiento en modo global de todo el experimento. Finalmente, también se detallan los resultados obtenidos en las sucesivas pruebas de integración del sistema completo de CMS durante las diversas campañas de toma de datos y durante las primeras tomas de datos durante el encendido del LHC. La calidad de estos resultados demuestra el buen estado del detector de muones, que en la actualidad está preparado para comenzar la toma de datos tan pronto como el LHC comience nuevamente a funcionar.

- En el **Capítulo 8** se recogen las conclusiones que se han obtenido en el desarrollo de la tesis, se resumen las principales aportaciones que se han realizado con ella y se plantean posibles trabajos futuros relacionados con las tareas llevadas a cabo.

- Por último, en el **Apéndice A** se realiza un breve resumen de los distintos tipos de detectores de partículas que se emplean en la física nuclear y de altas energías en la actualidad, junto con la instrumentación electrónica que llevan asociados, haciendo especial énfasis en las distintas opciones de módulos digitalizadores de tiempo. Este apéndice permite profundizar en el contexto en el que se ha desarrollado el presente trabajo.

## *Capítulo 2*

# **EL DETECTOR CMS: UN EXPERIMENTO DEL LHC**

En este capítulo se describen las características básicas del colisionador LHC (*Large Hadron Collider*) y del detector CMS (*Compact Muon Solenoid*), cuyo diseño fue establecido de acuerdo con el entorno de operación estimado y los procesos físicos que se esperan estudiar en el LHC. Dentro de CMS, el espectrómetro de muones jugará un papel crucial, tanto a la hora de reconstruir la trayectoria y el momento de los muones resultantes de las colisiones como en su participación en el sistema de discriminación de datos. En este capítulo se describe en detalle el funcionamiento de las cámaras de deriva, como parte del espectrómetro de muones, cuya electrónica de lectura es objeto de desarrollo esta tesis. Asimismo, se describen los sistemas de disparo y de adquisición de datos globales de CMS con el fin de enmarcar el contexto en el que debe integrarse la electrónica desarrollada.

## 2.1 EL COLISIONADOR HADRÓNICO LHC

Como ya se ha comentado, el Modelo Estándar es el que mejor describe en la actualidad los resultados experimentales de la física de partículas. Sin embargo, existen ciertos aspectos del marco teórico que permanecen aún sin confirmación experimental y para su estudio es necesario explorar una región de energías más elevadas que las conseguidas hasta ahora por los experimentos existentes.

Con esa finalidad se ha terminado de construir en la actualidad un nuevo colisionador protón-protón, el LHC (*Large Hadron Collider*) del CERN, preparado para alcanzar energías del orden de 10 veces mayores y luminosidades dos órdenes de magnitud superiores a las alcanzadas en colisionadores precedentes como el LEP (*Large Electron Positron*) del CERN o el Tevatron de Fermilab (USA).

El LHC permitirá explorar una región de energías en las que se espera encontrar el bosón de Higgs, partícula que desempeña un rol importante en la explicación del origen de la masa de las otras partículas elementales. Además, permitirá estudiar la existencia o no de partículas supersimétricas, tal como predicen algunos modelos teóricos, y cuya existencia podría arrojar luz sobre la naturaleza de la materia oscura. Asimismo, permitirá estudiar la validez del Modelo Estándar en algunos aspectos relacionados con la violación de la simetría CP (*Charge Parity*), que por el momento no es capaz de explicar el por qué de la evidente asimetría materia-antimateria que observamos en nuestro universo.

El LHC se ha instalado en el mismo túnel que LEP (*Large Electron Positron collider*), un anillo de 9 km de diámetro situado en las inmediaciones de la frontera franco-suiza (ver figura 2.1). El LHC está emplazado aproximadamente 1 m por encima de LEP, a unos 100 metros bajo tierra, y su concepto de diseño es similar, un sincrotrón en el que dos haces de partículas son acelerados y mantenidos en órbitas circulares en direcciones opuestas por electroimanes.

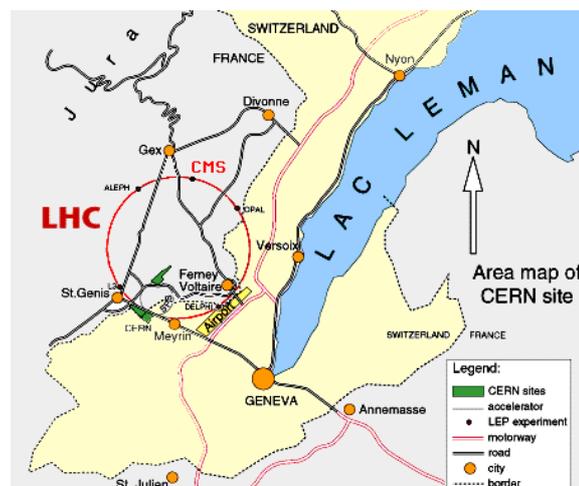
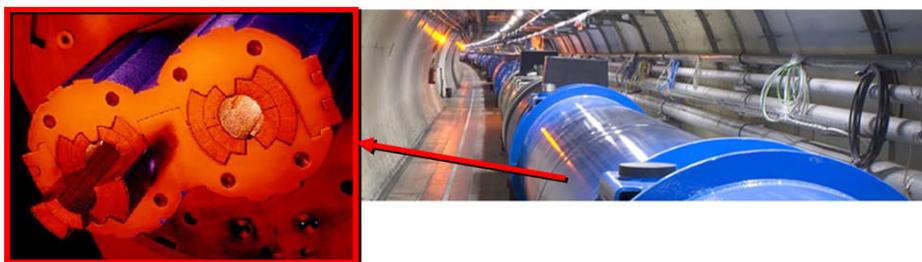


Figura 2.1: Mapa de la zona donde se encuentra el LHC.

Una de las diferencias fundamentales con LEP estriba en la naturaleza de los haces que circulan y colisionan en su interior, electrones y positrones en LEP y protones en el LHC. En los aceleradores, la pérdida de energía debida a radiación sincrotrón es menor cuanto mayor sea la masa de las partículas a acelerar. Dado que los protones tienen una masa en reposo del orden de 2.000 veces la masa de los electrones, para el mismo radio de curvatura se pueden alcanzar haces de energía mucho mayor. La energía que se obtendrá en el LHC es de 7 TeV por haz, lo que supone 14 TeV en el centro de masas, frente a los 209 GeV alcanzados por LEP. Son necesarios valores tan elevados de energía en el centro de masas porque la energía de los haces de protones ha de ser muy superior a la energía de los procesos que se quieren estudiar.

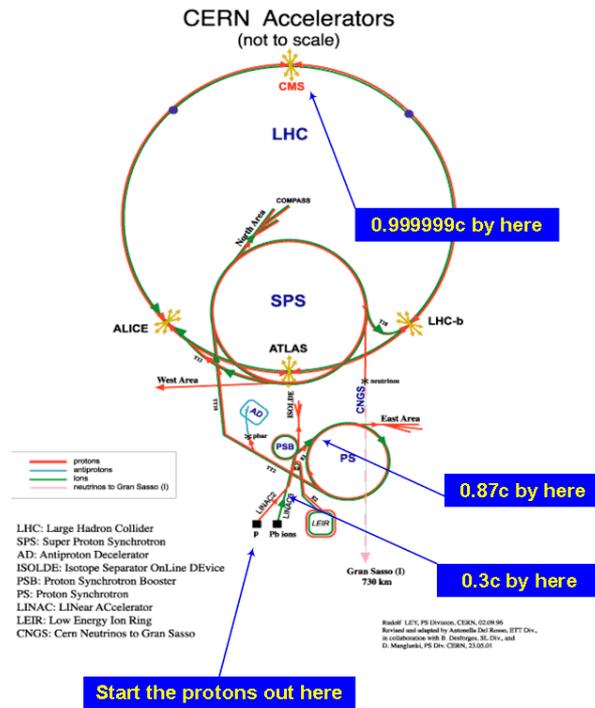
El LHC consiste en dos anillos sincrotrón formados por imanes superconductores operando en helio superfluido a 1,9 K. Debido a que el ritmo de producción de antiprotones es demasiado bajo para alcanzar la luminosidad deseada en el LHC, se decidió utilizar choques protón-protón, lo cual implica que el acelerador debe contener dos estructuras magnéticas para acelerar ambos haces en sentidos opuestos. Debido a restricciones prácticas, el LHC no dispone de dos estructuras magnéticas separadas, sino que está formado por dos tubos que comparten el mismo criostato, con campos magnéticos invertidos de un tubo con respecto a otro. Las inducciones magnéticas de los imanes superconductores alcanzan los 8,65 T. Este conjunto de imanes supone la estructura superconductora más grande del mundo.



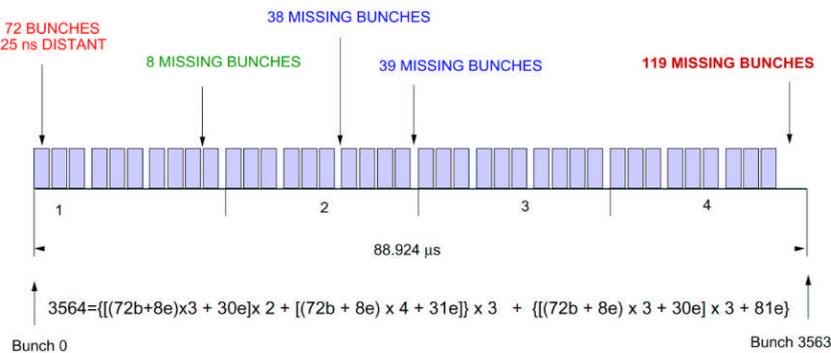
**Figura 2.2:** Imagen del túnel del acelerador LHC y de un dipolo superconductor.

El LHC dispone de un complejo sistema de inyectores como se puede observar en la figura 2.3, basado en los aceleradores ya existentes en el CERN: PS (*Proton Synchrotron*) y SPS (*Super Proton Synchrotron*), que inyectarán protones a 450 GeV, y allí serán acelerados mediante cavidades de radiofrecuencia a lo largo del anillo del LHC a la energía de 7 TeV.

Los protones son agrupados en paquetes (*bunches*) separados temporalmente entre sí múltiplos de 25 ns, es decir, se producirán colisiones de estos paquetes en los puntos de cruce con una frecuencia de 40 MHz. Cada órbita en el LHC está formada por 3564 períodos, tal y como puede verse en la estructura del haz de la figura 2.4, en 2808 de los cuales se produce un cruce de haces.



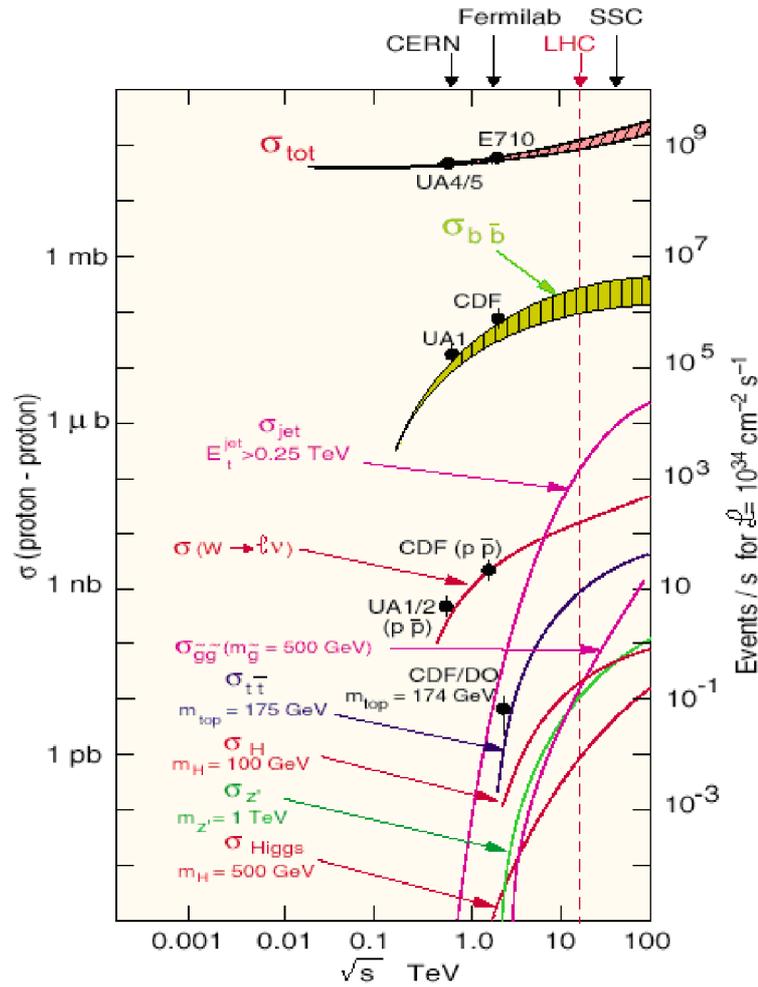
**Figura 2.3:** Diagrama del sistema de aceleradores para el LHC encargados de la inyección de los haces de protones y de su aceleración.



**Figura 2.4:** Estructura de los paquetes de protones en el haz del acelerador LHC. Estos paquetes colisionarán en los puntos de intersección donde se sitúan los detectores. Los paquetes de protones (*bunches*) están separados entre sí múltiplos de 25 ns, y viajan casi a la velocidad de la luz, por lo que, en distancia, los paquetes están separados del orden de 7,5 m.

Se prevé que se producirán aproximadamente 20 interacciones por cruce de haz, es decir, alrededor de 800 millones de interacciones por segundo. El número de interacciones en un colisionador viene dado por la luminosidad del mismo y la sección eficaz de interacción, relacionada con la probabilidad de interacción. La luminosidad de un haz se define como el número de partículas por unidad de superficie y de tiempo, siendo un parámetro que depende del número de paquetes, el número de partículas en cada paquete, la frecuencia de cruce en el anillo y la sección transversal del haz.

La sección eficaz para diferentes procesos y la tasa de producción de sucesos en función de la energía en el centro de masas en colisiones protón-protón se muestran en la figura 2.5. Se puede observar que la sección eficaz de producción del bosón de Higgs aumenta de forma acusada con la energía en el centro de masas, mientras que la sección eficaz total (es decir, la correspondiente a los procesos de contaminación), permanece prácticamente constante. Para poder observar procesos de sección eficaz tan extremadamente baja ( $\sim 10^{-9}$ - $10^{-11}$  respecto a la contaminación), es necesario que el LHC tenga una luminosidad muy elevada. Mientras que la luminosidad de los colisionadores ha sido hasta ahora como máximo  $L = 10^{32} \text{ cm}^{-2} \text{ s}^{-1}$ , en el LHC se alcanzarán valores de  $L = 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ .



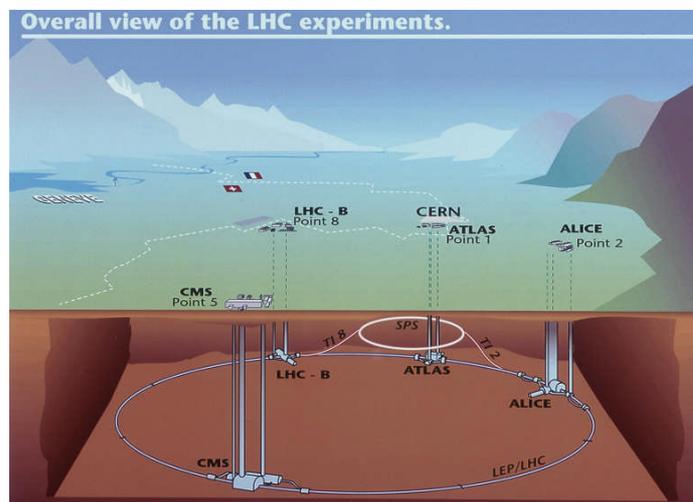
**Figura 2.5:** Secciones eficaces y tasa de producción de varios procesos en función de la energía en el centro de masas de colisiones protón-protón y protón-antiprotón.

Otra de las características del LHC es que también podrán colisionar haces de iones pesados, como plomo, con una energía total de colisión de 1250  $\text{TeV}$ , unas 30 veces mayor que la del RHIC (*Relativistic Heavy Ion Collider*) [64] del Laboratorio Brookhaven de USA. En la tabla 2.1 se muestran algunos de los parámetros de diseño del LHC.

Parámetro	Valor
Energía en el centro de masas	14 TeV
Energía de inyección en el LHC	450 GeV
Número de partículas por paquete	$1,1 \times 10^{11}$
Número de paquetes por anillo	2808
Luminosidad nominal	$10^{34} \text{ cm}^{-2}\text{s}^{-1}$
Tiempo de vida de la luminosidad	10 h
Longitud de los paquetes	53 mm
Radio del haz en el punto de interacción	$15 \mu\text{m}$
Tiempo entre colisiones	24,95 ns
Frecuencia de cruce de haces	40,08 MHz
Frecuencia de interacción	1 GHz
Circunferencia	26,659 km
Campo magnético	8,3 T
Temperatura del imán	$<2 \text{ K}$

**Tabla 2.1:** Resumen de algunos parámetros de diseño del colisionador LHC.

A lo largo del perímetro del LHC se distribuyen hasta 4 detectores situados en los puntos de alta luminosidad de cruce del haz (ver figura 2.6). Los detectores de propósito más general, diseñados para el estudio de las colisiones protón-protón son ATLAS (*A Toroidal LHC Apparatus*) [26] y CMS (*Compact Muon Solenoid*) [25] situados en los puntos 1 y 5 respectivamente. Junto a ellos están ALICE (*A Large Ion Collider Experiment*) [65], enfocado al estudio de las colisiones de iones pesados y LHCb (*A Large Hadron Collider Beauty experiment*) [55], dedicado al estudio de la física de los quarks b.



**Figura 2.6:** Diagrama del anillo LHC y el emplazamiento de los cuatro detectores principales.

El LHC se inauguró oficialmente el 21 de Octubre de 2008, tras la inyección de los primeros haces el 10 de Septiembre de 2008. Actualmente se encuentra en reparación debido a una avería ocurrida tras pocos días después de su puesta en marcha pero se espera que entre de nuevo en funcionamiento a lo largo del presente 2009.

## 2.2 EL EXPERIMENTO CMS

CMS es un detector multipropósito que ha sido diseñado para aprovechar todo el potencial del LHC, detectando con gran resolución los productos resultantes de las colisiones. Los objetivos del diseño de CMS para satisfacer los objetivos de física del LHC se pueden resumir de la siguiente forma:

- Buena identificación de muones y resolución de su momento sobre un amplio rango en la región  $|\eta| < 2,5^1$ , buena resolución de la masa de los dimuones ( $\approx 1\%$  a  $100 \text{ GeV}/c^2$ ) y capacidad para determinar de forma inequívoca la carga de los muones con  $p < 1 \text{ TeV}/c$ .
- Buena resolución en el momento de las partículas cargadas y eficiencia de reconstrucción en la detección de trazas. Filtrado y clasificación de sucesos con  $\tau$  y b-jets eficientes, lo que requiere de un detector de píxeles cercano a la región de interacción.
- Buena resolución de la energía electromagnética y de la masa de difotones y dielectrones ( $\approx 1\%$  a  $100 \text{ GeV}/c^2$ ), cubriendo una amplia región espacial ( $|\eta| < 2,5$ ). Correcta localización del vértice primario de interacción. Buen factor de rechazo de  $\pi^0$  y aislamiento eficiente de fotones y leptones a altas luminosidades.
- Buena resolución de la masa de dijets y de la energía transversa perdida ( $E_T^{\text{miss}}$ ), para lo que es necesario un calorímetro hadrónico hermético cubriendo una gran región espacial ( $|\eta| < 5$ ) y con una segmentación lateral fina ( $\Delta\eta \times \Delta\Phi < 0,1 \times 0,1$ ).

El experimento CMS está formado por una colaboración internacional en la que participan 36 países, 159 instituciones y un total de 1940 científicos e ingenieros. Su diseño sigue el esquema clásico de los experimentos en colisionadores, con una estructura cilíndrica de 15 m de diámetro y 21,6 m de longitud en varias capas que se disponen alrededor del tubo del haz, siendo cada una de ellas un sistema especializado en la detección de un tipo de partículas.

En la figura 2.7 se pueden apreciar los distintos subdetectores que forman CMS: el detector central de trazas (Tracker) [66], el calorímetro electromagnético (ECAL) [67] y el calorímetro hadrónico (HCAL) [68], que están situados en el interior del imán solenoidal superconductor [69]. Este imán de 6 m de diámetro interno y 13 m de longitud genera un campo magnético solenoidal de 4 T que curvará las partículas cargadas para medir su momento transversal con gran precisión.

<sup>1</sup> la pseudorapidez  $\eta$  es una variable que se define a partir del ángulo polar  $\Theta$  como  $\eta = -\ln(\text{tg}(\Theta/2))$ , y tiene la ventaja de que se transforma de forma aditiva bajo transformaciones de Lorentz a lo largo del eje z.

Finalmente, rodeando este conjunto, se encuentra una gran estructura de hierro que aloja el sistema de detección de muones y permite el retorno del flujo magnético. Este armazón de hierro está dividido en una parte central (el barril), formado por cinco ruedas, y tres discos perpendiculares al haz en cada extremo llamados *endcaps*.

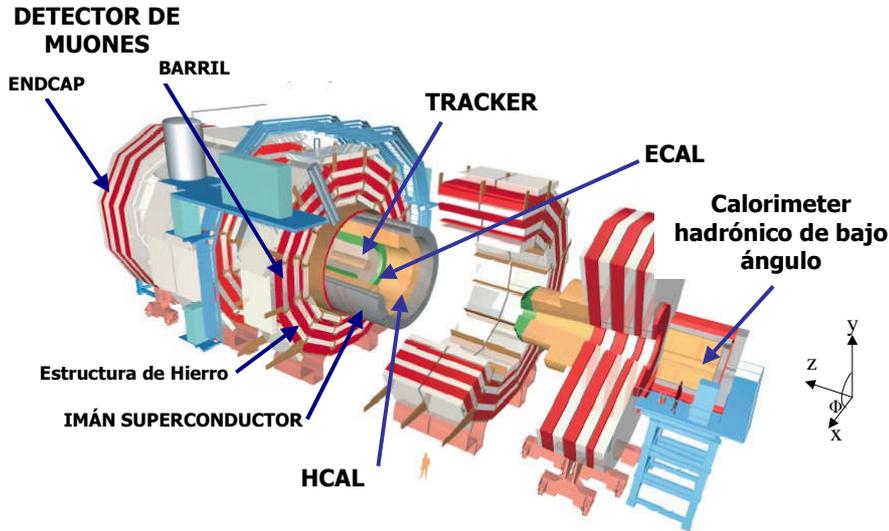


Figura 2.7: Representación tridimensional del detector CMS y sus subdetectores.

El detector de trazas Tracker permite la reconstrucción de muones de gran momento  $p_T$  y de otras partículas cargadas. Consta de varias capas de silicio, con una altísima granularidad, que garantiza que incluso los sucesos más complejos del LHC aparezcan extremadamente nítidos. Está formado por 3 capas de píxeles y 10 capas de microtiras en la región central y 2 discos de píxeles y 9 de microtiras en las regiones de ángulo pequeño. En total hay aproximadamente 67 millones de canales de lectura del detector de píxeles y 10 millones de canales para el detector de microtiras distribuidos sobre una superficie de 220 m<sup>2</sup> de sensores de silicio. La precisión media del punto de impacto está en torno a 20  $\mu\text{m}$  [70], complementada por la precisión de los píxeles de silicio que llega a 10  $\mu\text{m}$  en la coordenada  $r\Phi$  [71].

El calorímetro electromagnético de CMS está formado por más de 75.000 cristales de tungstano de plomo ( $\text{PbWO}_4$ ) con el que se espera alcanzar una altísima resolución en la determinación de la energía de electrones y fotones. La resolución en energía en el rango entre 25 y 500 GeV viene dada por la expresión:

$$\left(\frac{\sigma_E}{E}\right)^2 = \left(\frac{2,8\%}{\sqrt{E}}\right)^2 + \left(\frac{0,12}{E}\right)^2 + (0,42\%)^2 \quad (2.1)$$

El calorímetro HCAL, que medirá la energía de los hadrones, está construido a base de capas de material absorbente (latón) intercaladas con capas activas de material centelleador. La resolución en energía viene dada por la expresión:

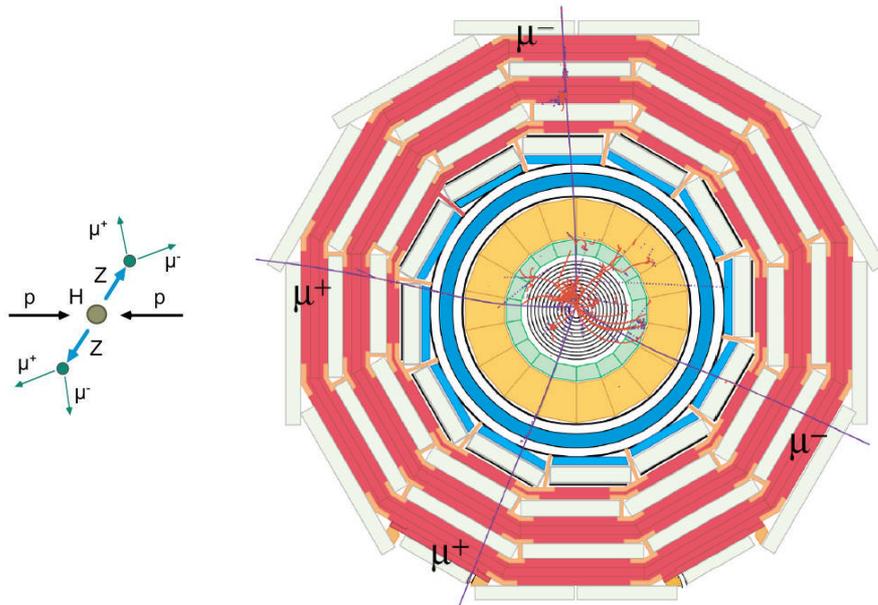
$$\frac{\sigma_E}{E} = \frac{(70-75)\%}{\sqrt{E}} + (7-9)\% \quad (2.2)$$

Con el fin de cubrir todos los ángulos posibles en torno al punto de interacción y aumentar su hermeticidad, en la zona de ángulo pequeño se completa con un calorímetro de fibras de cuarzo insertadas en un material absorbente (acero), formando el calorímetro hadrónico de bajo ángulo.

### 2.2.1 El espectrómetro de muones

Muchos de los procesos que se quieren estudiar en el LHC incluyen muones en su estado final [72]. Un ejemplo es el bosón de Higgs, siendo el canal más limpio de búsqueda a través de su modo de desintegración en dos bosones  $Z^0$ , cada uno de los cuales se desintegra a su vez, en una pareja de leptones de carga opuesta. Si estos leptones son muones, la señal de búsqueda son estados finales con cuatro muones:

$$p p \rightarrow H \rightarrow Z Z \rightarrow \mu^+ \mu^- \mu^+ \mu^- \quad (2.3)$$

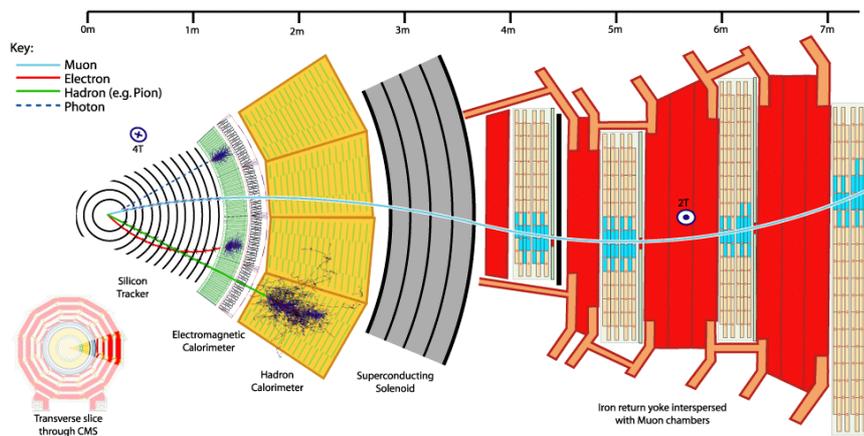


**Figura 2.8:** Simulación de los productos finales de desintegración del bosón de Higgs en una vista transversal de CMS.

Los muones aparecen también en multitud de otros procesos del LHC: desde las partículas supersimétricas y exóticas, hasta partículas conocidas como los bosones vectoriales  $W^\pm$  y  $Z^0$  o los quarks más pesados, permitiendo su selección de forma eficiente.

Como se puede observar en la figura 2.9, en el experimento CMS las únicas partículas capaces de atravesar el sistema de detectores internos y el imán serán muones y neutrinos, puesto que son partículas mínimamente ionizantes y por ello pueden recorrer grandes distancias en medios materiales sin perder

apenas energía. Los neutrinos apenas interaccionarán con el detector, por lo que su presencia deberá ser inferida a partir de la reconstrucción del suceso completo. Los muones, sin embargo, a pesar de que atravesarán el detector completo, realizarán pequeñas deposiciones de energía fundamentalmente mediante ionización. Para reconstruir la topología del suceso de la forma más completa posible, es conveniente situar en las capas externas del detector unos subdetectores específicos para la detección de muones, capaces de aprovechar las peculiaridades de estas partículas. De este modo la identificación de muones está asegurada, y asociando la información proveniente de estos detectores con la de los detectores internos se obtendrá una medida más precisa de su trayectoria y momento.



**Figura 2.9:** Corte transversal del detector CMS y representación de las trazas de distintos tipos de partículas generadas en el punto de interacción.

La identificación de los muones queda garantizada en la parte externa de CMS ya que se tienen al menos 10 longitudes de interacción de calorímetros antes de la primera estación, y otras 10 antes de la última estación gracias al armazón de hierro, lo que hace que solamente puedan llegar a ellas muones y neutrinos.

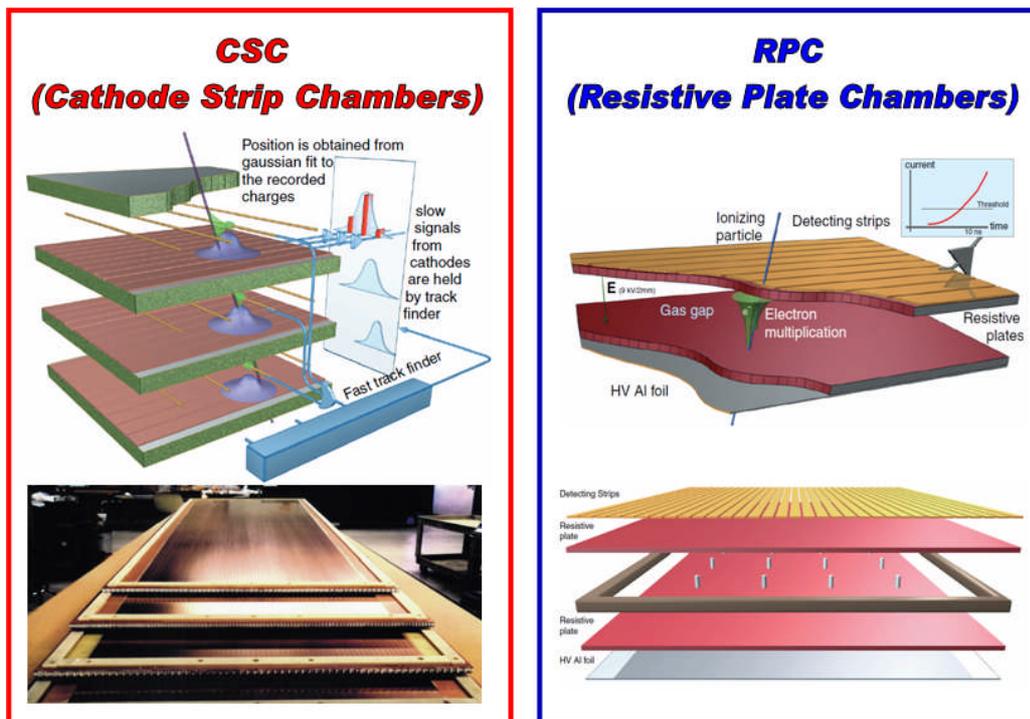
La medida de su momento se hace aprovechando la curvatura de las trazas de las partículas cargadas en el campo magnético solenoidal, que curva las trazas en el plano perpendicular al eje del haz.

Las condiciones de luminosidad, reflejadas en la tasa de partículas esperadas, y el campo magnético del experimento determinan una tecnología de detección de muones diferente para los distintos rangos angulares en CMS. Todas ellas, sin embargo, tienen en común basarse en técnicas de detectores gaseosos.

En la zona de bajo ángulo, cercana a la dirección del haz, donde el campo magnético no es homogéneo y puede llegar a ser muy intenso (hasta 3,5 T) y el flujo de partículas muy elevado ( $1000 \text{ Hz/cm}^2$ ) se ha optado por cámaras proporcionales de hilos y tiras catódicas CSC (*Cathode Strip Chambers*). Las CSCs están formadas por un volumen gaseoso delimitado por dos placas catódicas, una de ellas segmentada en tiras de aluminio. Equidistantes a las placas y dispuestos perpendicularmente a las tiras se sitúan una serie de hilos que actúan como ánodos. Cuando una partícula cargada ioniza el gas, los electrones producidos

derivan hacia los hilos y los iones hacia los cátodos. La avalancha de electrones producida cerca del hilo induce una carga distribuida en las tiras catódicas, proporcionando una medida de las dos coordenadas de paso del muón.

En la región central de CMS, donde el campo magnético residual es pequeño y la densidad de partículas esperada no es muy alta ( $<10 \text{ Hz/cm}^2$ ) se ha optado por celdas individuales de detección, agrupadas en las llamadas cámaras de deriva DT (*Drift Tubes*), y que serán descritas en detalle en el siguiente apartado.



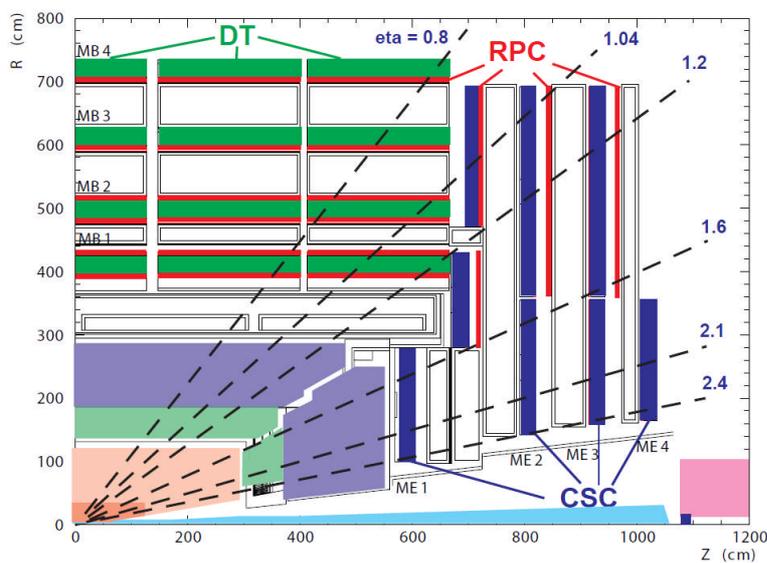
**Figura 2.10:** En la figura de la izquierda se muestra la imagen de una cámara CSC (*Cathode Strip Chamber*) junto con una representación artística del proceso de recogida de carga por los hilos y por los cátodos. En la figura de la derecha se muestra la estructura de una cámara RPC (*Resistive Plate Chamber*) y el proceso de formación de avalancha en el gas contenido entre las placas resistivas.

Gracias a su excelente resolución espacial, tanto las CSCs como las DTs, proporcionan una medida muy precisa de la posición por la que ha pasado el muón y por tanto de su momento. Adicionalmente ambos subdetectores tienen capacidad para proporcionar señales de disparo con identificación del cruce de haces de procedencia; sin embargo, ambas se han complementado con unos detectores específicos de disparo, las RPC (*Resistive Plate Chambers*) que tienen una extraordinaria resolución temporal ( $\sim 2 \text{ ns}$ ) permitiendo una buena eficiencia en la asignación de cruces de haces incluso para altas tasas de muones ( $6 \text{ kHz/cm}^2$ ).

Las cámaras RPC no tienen hilos, consisten en dos planos de un material de alta resistividad separados por 2 mm de gas. Las placas están recubiertas en su cara exterior por electrodos de grafito a los que se aplica un alto voltaje (8,5 – 9 kV), generándose un intenso campo eléctrico en el gas. La rápida señal

inducida por los electrones de la avalancha creados al paso de una partícula ionizante se lee en unas bandas situadas en la parte externa de los electrodos.

Para cubrir sucesos poco frecuentes, la aceptación del espectrómetro de muones tiene que ser cercana al 100%, lo que exige un detector redundante y hermético. En la siguiente figura se muestra la disposición de este sistema que está formado por cuatro estaciones en el barril, distribuidas concéntricamente con respecto al haz entre las capas de hierro de retorno del imán y cuatro estaciones en los discos laterales perpendiculares al haz. Para hacerse una idea de la magnitud de estos detectores el área total sensible cubierta por las cámaras CSC es del orden de  $5.000 \text{ m}^2$  mientras que las cámaras DT cubren  $18.000 \text{ m}^2$  con un total de 172.200 celdas.

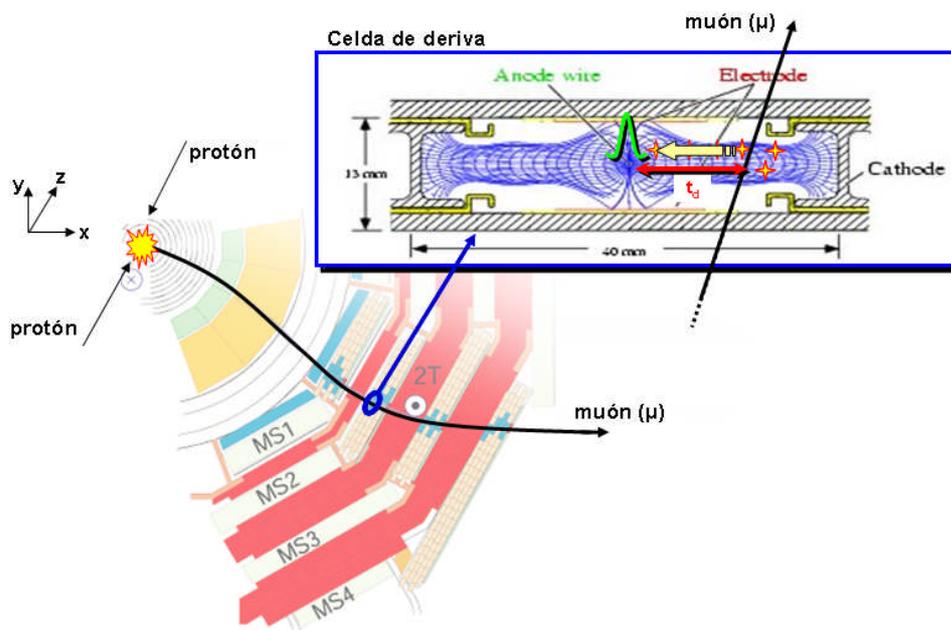


**Figura 2.11:** Vista longitudinal de un cuarto del detector de CMS donde se observan los distintos tipos de detectores empleados en las distintas regiones del espectrómetro de muones: las cámaras de deriva (DT), RPCs y CSCs.

### 2.3 LAS CÁMARAS DE DERIVA

A continuación se describirán brevemente los fundamentos físicos sobre los que se basa el funcionamiento de una cámara de deriva [73] ya que es el detector cuya electrónica de adquisición de datos se va a desarrollar.

Como ya se ha comentado, las cámaras de deriva forman parte del espectrómetro de muones del barril de CMS y permitirán detectar los muones resultantes de las colisiones de protones del LHC que atravesarán todo el detector dejando a su paso una señal en las cámaras de deriva, tal y como se puede observar en la figura 2.12.



**Figura 2.12:** En esta imagen se puede observar cómo un muón resultante de una colisión protón-protón en el LHC atraviesa todo el detector CMS produciendo una señal en las celdas de deriva. La posición de paso del muón viene dada por la posición de la celda que detecta la señal más la medida del tiempo de deriva en el interior de la celda ( $t_d$ ).

Las cámaras de deriva son un caso especial de cámaras de hilos en modo proporcional (ver Apéndice A), cuya funcionalidad permite medir la posición de partículas cargadas con gran precisión. Al igual que otros detectores gaseosos, su funcionamiento se basa en la recolección directa de la ionización producida por una partícula cargada al atravesar un gas encerrado entre dos electrodos sometidos a una diferencia de potencial. Normalmente están formadas por una serie de celdas de deriva, cada una con un hilo que hace de ánodo en el interior de la celda y delimitada por una serie de cátodos que permiten mantener un campo eléctrico uniforme en el volumen de la celda.

La característica fundamental de las celdas de deriva es que la velocidad de deriva de las cargas producidas por ionización es constante a lo largo del volumen del gas, lo que permite establecer una relación linealmente proporcional entre la posición de paso de la partícula dentro del volumen de la celda y el tiempo de deriva.

### 2.3.1 Fundamentos físicos de las cámaras de deriva

La pérdida de energía de una partícula cargada en un medio gaseoso se divide principalmente en dos tipos de reacciones, excitación e ionización. La excitación de un átomo X podemos representarla de la forma:



Donde  $p$  es la partícula cargada. Las secciones eficaces típicas en gases nobles son del orden de  $10^{-17}$  cm<sup>2</sup>. Una ionización tiene la forma:



y tiene secciones eficaces mayores, del orden de  $10^{-16}$  cm<sup>2</sup>. Además, en el caso de que el choque produzca una excitación en vez de una ionización, la molécula gaseosa producirá nuevas reacciones que a la larga podrían generar ionización del medio. Por tanto, en un medio gaseoso se producirán electrones e iones libres, cuyo comportamiento dentro del medio gaseoso vendrá descrito fundamentalmente por fenómenos de difusión y de deriva en un campo eléctrico.

En ausencia de campo eléctrico, los electrones e iones liberados se difundirán uniformemente alrededor de su punto de origen, siguiendo una distribución gaussiana:

$$\frac{dN}{dx} = \frac{N_0}{\sqrt{4\pi Dt}} \exp\left(-\frac{x^2}{4Dt}\right) \quad (2.6)$$

Donde  $N_0$  es el número de cargas en el tiempo  $t = 0$ ,  $x$  es la distancia al punto de origen y  $D$  es el coeficiente de difusión. En este proceso sufrirán múltiples colisiones con las moléculas del gas y perderán su energía. Al cabo de un tiempo breve, los electrones e iones pasarán a estar en equilibrio térmico con el gas y eventualmente se recombinarán. El coeficiente de difusión, que da cuenta de la rapidez con la que se produce la recombinación, depende de parámetros tales como la temperatura del gas ( $T$ ) y la presión ( $p$ ) según la ecuación 2.7, donde  $\sigma_0$  es la sección eficaz total para una colisión con una molécula del gas y  $m$  es la masa de la partícula cargada (electrón).

$$D = \frac{2}{3\sqrt{\pi}} \frac{1}{p\sigma_0} \sqrt{\frac{(kT)^3}{m}} \quad (2.7)$$

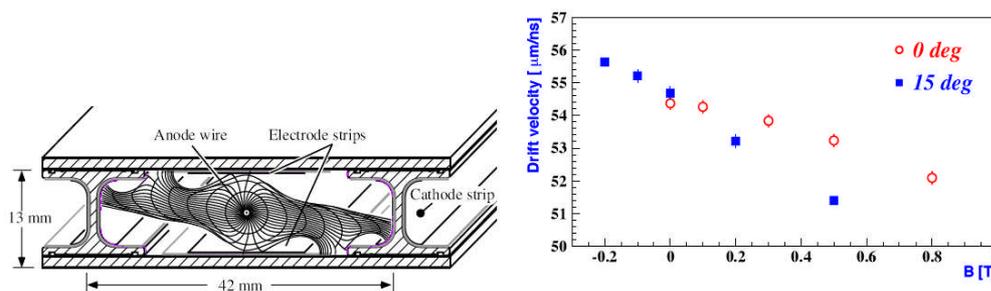
En presencia de un campo eléctrico, los electrones e iones son acelerados a lo largo de las líneas de campo hacia el ánodo y el cátodo respectivamente. Su movimiento se ve frenado por las colisiones con las moléculas del gas que limitan su velocidad de deriva. Comparada con sus velocidades térmicas, esta velocidad es lenta. No obstante, la velocidad de deriva de los electrones, al ser mucho más ligeros, es mucho mayor que la de los iones (un factor  $10^3$ ), por lo que son aquellos los que se recogen generalmente y proporcionan las señales de medida. La velocidad de deriva de los electrones en gas viene dada (asumiendo que el tiempo medio entre colisiones  $\tau$  es constante) [74] por:

$$v_d = \frac{eE}{m} \tau \quad (2.8)$$

La movilidad de los electrones es, hasta cierto punto, una función del campo eléctrico y puesto que es deseable que la velocidad de deriva sea constante, se buscan configuraciones en las que el campo eléctrico permanezca constante

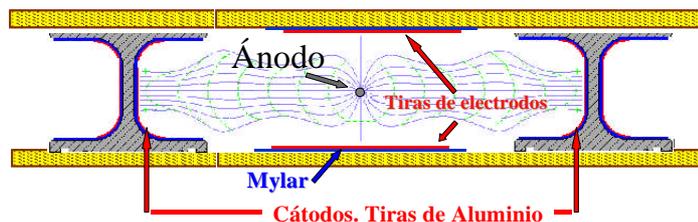
dentro del volumen de una celda añadiendo hilos o electrodos adicionales, o que la velocidad de deriva se halle próxima a la saturación.

Un efecto importante a tener en cuenta en las cámaras de deriva de CMS es la presencia del campo magnético, pues éste modifica las propiedades de deriva de los portadores de carga. Los electrones estarán sometidos a una componente de movimiento debida a la fuerza de Lorentz que modificará sus trayectorias de deriva originales, traduciéndose globalmente en una disminución de la velocidad de deriva aparente, como puede observarse en la figura 2.13.



**Figura 2.13:** En la imagen de la izquierda se puede observar una simulación de la distorsión de las trayectorias de deriva por un campo magnético de 0,5 T paralelo a los hilos, a comparar con la figura 2.14. En la figura de la derecha se observa la variación de la velocidad de deriva aparente para distintos campos magnéticos en trazas perpendiculares ( $0^\circ$ ) e inclinadas ( $15^\circ$ ).

En la figura 2.14 se muestra un esquema de la estructura de una celda de deriva rectangular, en la que el hilo hace de ánodo. En las inmediaciones del hilo anódico el campo eléctrico  $E(r) \sim 1/r$  será lo suficientemente fuerte (típicamente varios kV/cm) para acelerar los electrones hasta el punto de que sean capaces de ionizar mediante colisión las moléculas del gas. De este modo se libera un electrón adicional que, tras ser acelerado, será capaz de provocar una nueva ionización a su vez. Este proceso continuado da como resultado la rápida formación de una avalancha de electrones, que se desarrolla típicamente en menos de 1 ns.



**Figura 2.14:** Corte transversal de una celda de una cámara de deriva. Esta celda de 42 cm de anchura por 13 cm de altura se corresponde con la empleada en las cámaras de deriva DT de CMS. En el centro de la celda se encuentra un hilo anódico de acero inoxidable con un recubrimiento de oro cuyo diámetro es de  $50 \mu\text{m}$ , y su longitud es variable entre 2 y 4 metros.

La avalancha de electrones produce un pulso eléctrico en el hilo que será recogido posteriormente por la electrónica asociada. Las paredes laterales de la celda hacen la función de cátodo, recogiendo la nube de iones generados que se mueven a una velocidad muy inferior. Los cátodos se encuentran generalmente

sometidos a una diferencia de potencial con respecto al ánodo de varios miles de voltios.

Las cámaras de deriva se utilizan principalmente para determinar las posiciones de la traza de la partícula cargada. Para ello se realiza una medida del tiempo transcurrido desde una señal de referencia, o disparo, que indica la llegada de la partícula, hasta que se detecta un pulso en el ánodo. Conocida la velocidad de deriva ( $v_d$ ) de esa cámara, la distancia  $X$  desde el hilo hasta el punto de origen de los electrones como consecuencia del paso de la partícula, viene dada por:

$$X = \int_{t_0}^{t_1} v_d dt \quad (2.9)$$

donde  $t_0$  es el tiempo del paso de la partícula y  $t_1$  el momento en el que el pulso se recibe en el ánodo. Como puede verse resulta muy conveniente que la velocidad de deriva sea constante en el volumen de la cámara para que la relación entre la posición y el tiempo sea lineal.

Las dimensiones de las celdas de una cámara de deriva suelen ser de unos pocos centímetros, aunque se han construido cámaras con un espacio de deriva de hasta medio metro. Sin embargo, las dimensiones reducidas minimizan el efecto de la difusión y evitan tener que usar potenciales muy elevados. Las velocidades de deriva típicas son de unos  $50 \mu\text{m}/\text{ns}$ , lo que proporciona tiempos de deriva del orden del microsegundo, también llamado tiempo de memoria de la cámara.

La pureza del gas utilizado en el interior de las cámaras de deriva tiene especial importancia, utilizándose gases que no sean electronegativos para que los electrones no sean capturados en su camino al ánodo, y que posean una velocidad de deriva que sature a tensiones relativamente bajas, con el fin de garantizar la estabilidad del sistema.

Una de las grandes ventajas de las cámaras de deriva es la gran superficie que pueden cubrir con una cantidad relativamente pequeña de hilos, pudiendo unirse unas celdas junto a otras para formar una estructura de gran tamaño manteniendo una excelente resolución en la posición del paso de las partículas cargadas.

### 2.3.2 Las cámaras de deriva de CMS

Una vez descritos los fundamentos físicos sobre los que se basa el funcionamiento de una cámara de deriva, se pasa a detallar en este apartado las características básicas de las cámaras específicas que se han fabricado para el espectrómetro de muones de CMS.

El armazón de hierro que rodea el imán de CMS está subdividido en cinco secciones cilíndricas o ruedas de unos 2,5 m de grosor llamadas YB (*Yoke Barrel*) +2, +1, 0, -1 y -2 como se puede ver en la figura 2.15. Cada rueda se subdivide en doce sectores, siendo el sector 1 el más cercano al centro del LHC. Las cámaras de deriva se distribuyen intercaladas en cuatro estaciones concéntricas respecto al haz de protones en cada uno de estos sectores. Las estaciones se denominan MB1

(la más interna), MB2, MB3 y MB4 (la más externa). En total hay 250 cámaras de deriva pues los sectores 4 y 10 disponen de dos cámaras MB4 cada uno.

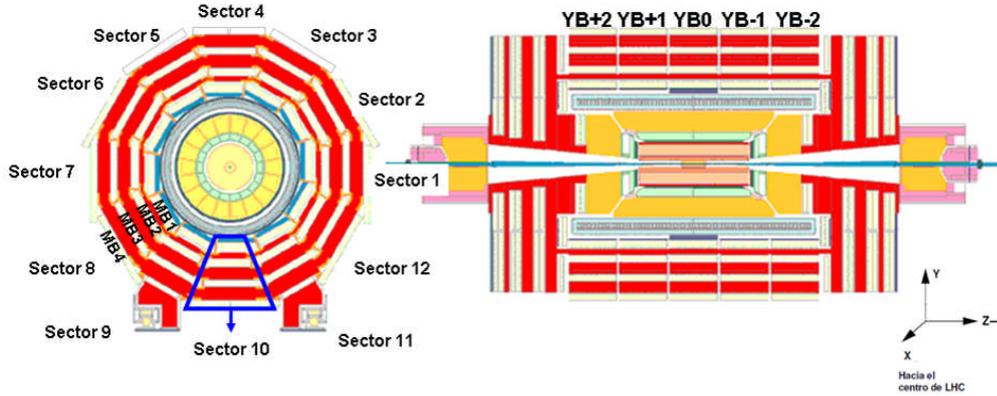


Figura 2.15: Vista transversal y longitudinal de CMS con la subdivisión en ruedas y sectores.

El elemento básico que constituye la cámara de deriva es la celda de deriva, que es una estructura rectangular de 42 mm x 13 mm y una longitud variable entre 2 y 4 metros (Figura 2.14). Cada celda de deriva está delimitada por dos vigas recubiertas por unas bandas de aluminio, que actúan como cátodos (-1200 V) y por su centro discurre un hilo de acero inoxidable recubierto de oro, de 50  $\mu\text{m}$  de diámetro, que actúa como ánodo (+3600 V). La parte superior e inferior de las celdas se cierra con unas placas de aluminio por cuyas caras internas discurren unas tiras de aluminio (*strips*) aisladas mediante mylar que actúan como formadores de campo conectadas a +1800 V y que crean un campo eléctrico uniforme y constante. El interior de las celdas contiene una mezcla de gas de Argón y  $\text{CO}_2$  en una proporción de 85/15.

Esta estructura de celdas (figura 2.16) se repite a lo largo de un plano, dando lugar a cada una de las capas de una cámara. Éstas a su vez se acumulan de cuatro en cuatro, desplazadas las capas pares respecto de las impares en media celda, para resolver la ambigüedad izquierda-derecha en la celda, y formando lo que se denomina una Supercapa.

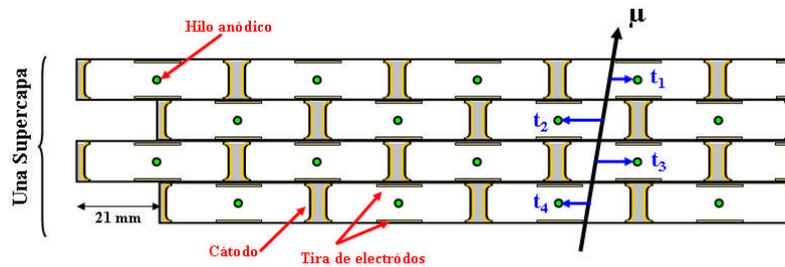
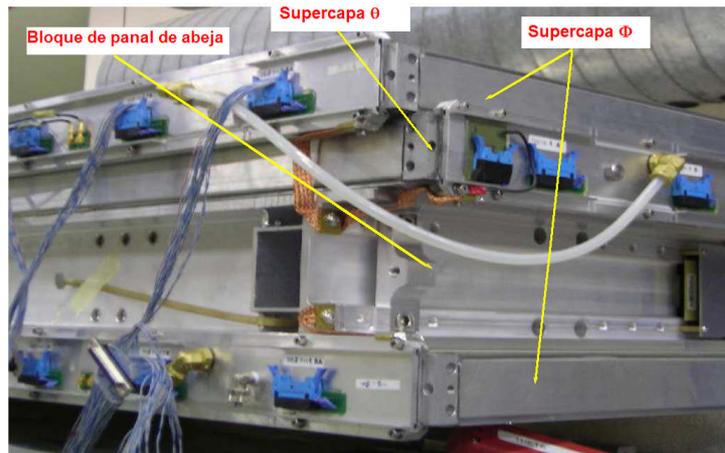


Figura 2.16: Representación de una Supercapa de las cámaras de deriva de CMS.

Cada cámara DT está formada por tres Supercapas, las dos exteriores, con los hilos paralelos al eje del haz (Supercapa  $\Phi$ ), miden en conjunto la coordenada acimutal  $\Phi$  con una precisión de 100  $\mu\text{m}$ . La Supercapa intermedia, con los hilos

dispuestos perpendicularmente a los anteriores (Supercapa  $\theta$ ) mide la coordenada polar  $\theta$  con precisiones de  $150\ \mu\text{m}$ . La rigidez de cada cámara está garantizada por una estructura de panal de abeja (*Honeycomb*) pegada entre las Supercapas. Debido a su estructura hexagonal de aluminio, el *Honeycomb* proporciona una gran rigidez mecánica al conjunto, evitando deformaciones de las Supercapas sin incrementar en exceso el peso de la cámara. Además proporciona un brazo de palanca adicional de 12,8 cm.



**Figura 2.17:** Imagen de una cámara de deriva completa. Los conectores azules permiten la interconexión entre la electrónica frontal, situada en el interior del volumen de la cámara, y la electrónica de lectura, situada dentro del Minicrate que se atornilla en el bloque de panal de abeja.

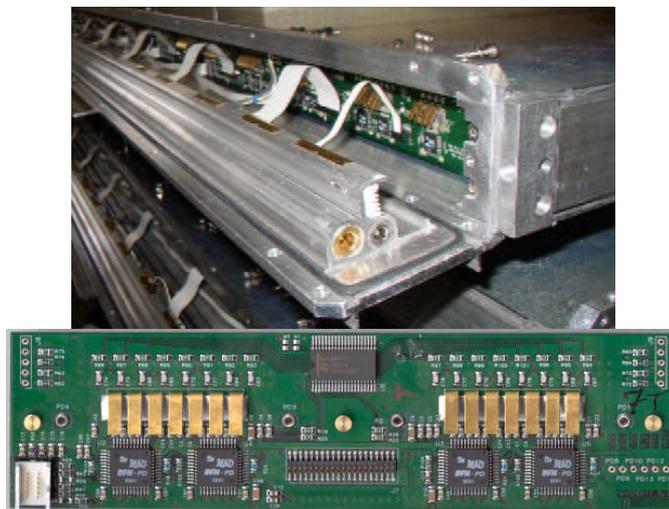
Cada Supercapa forma una unidad independiente de funcionamiento en cuanto a gas, distribución de agua para refrigeración de la electrónica, conexiones de alto (HV) y bajo (LV) voltaje y electrónica de adecuación de la señal (*front-end*). La electrónica de distribución de la alta tensión (HVB: *High Voltage Boards*) se sitúa en un extremo de la Supercapa en el interior del volumen del gas y mediante diversas conexiones distribuyen la tensión a los hilos, *strips* y cátodos.

En el otro extremo de la cámara, también en el interior del volumen de gas, se conectan unas tarjetas (HVCs: *High Voltage Coupling Boards*) que filtran la alta tensión procedente de los hilos mediante unos condensadores de acoplo y proporcionan la señal filtrada a las tarjetas de *front-end* (FEB) que también se sitúan dentro del volumen de las cámaras.

### 2.3.3 La electrónica frontal de las cámaras de deriva. Las tarjetas FEB (*Front-End Board*)

Las señales recogidas por los hilos anódicos de las celdas de deriva atraviesan una etapa de electrónica analógica que acondiciona las señales como paso previo a su digitalización temporal por las tarjetas ROB. Esta electrónica analógica o frontal está formada por las tarjetas FEB (*Front-End Boards*), diseñadas por el INFN de Padua [75] y proporcionan al primer nivel de lectura las señales cuyo tiempo se quiere digitalizar.

La unión de los hilos anódicos a las FEB se realiza a través de unas tarjetas de acoplo denominadas HVCs (*High Voltage Coupling Boards*), que protegen los preamplificadores del alto voltaje y de posibles descargas. Tanto las tarjetas HVCs como las FEBs se sitúan en el interior del volumen de la cámara de deriva, como se puede ver en la figura 2.18.



**Figura 2.18:** Imagen de las tarjetas FEB y de su montaje en el interior de la cámara de deriva.

La misión de las tarjetas FEB consiste en amplificar las señales procedentes de los ánodos de las cámaras, compararlas rápidamente con un valor umbral, y enviar el resultado en forma de señal lógica a las cadenas de disparo y de lectura.

La parte analógica (el amplificador) debe caracterizarse por un bajo ruido para permitir la operación de las cámaras de deriva en baja ganancia, lo que es recomendable por razones de fiabilidad y de tiempo de vida de las cámaras, y al mismo tiempo debe tener un tiempo de subida muy rápido para evitar la degradación de la resolución espacial.

El comparador (discriminador) debe ser rápido y preciso, con el fin de tener tiempos de respuesta independientes de la amplitud de las señales y mantener una buena uniformidad entre canales, especialmente para valores de tensión umbral bajos que es donde se supone que va a trabajar. Además debe tener la posibilidad de enmascarar canales individuales, para evitar así los canales ruidosos que degradan el rendimiento total del sistema.

Todo esto debe cumplirse teniendo en cuenta las limitaciones de espacio, consumo de potencia y coste asequible. Las tarjetas FEB se han desarrollado en torno a un ASIC llamado MAD [76], fabricado en tecnología BiCMOS de  $0,8 \mu\text{m}$ . Cada uno de estos chips recibe señales de 4 celdas, las amplifica y discrimina y proporciona señales LVDS [77] que se transmiten al exterior a través de unos conectores en la cámara a los que se conecta una cinta plana de paso fino. La tarjeta FEB fabricada proporciona una ganancia de  $3,4 \text{ mV/fC}$ , teniendo un ruido de  $1850+60/\text{pF}$  electrones y una interferencia entre canales del 0.2%.

La electrónica frontal está equipada además con un sistema que permite introducir pulsos de prueba en la entrada de los MAD y evaluar la respuesta de toda la cadena de la electrónica. Estos pulsos se introducen con un retardo independiente para los planos pares e impares permitiendo de este modo simular las señales procedentes de la traza vertical de un muón en la posición deseada dentro de la celda. Este sistema de pruebas se denomina *Test Pulses*.

La salida de las FEB se conecta directamente al primer nivel del sistema de adquisición de datos y de disparo, formado respectivamente por las tarjetas ROB y TRB (*Trigger Boards*) [78]. Ambas tarjetas están montadas dentro de una estructura denominada Minicrate y que se fija al panal de abeja de la cámara. En el Minicrate está situada también la electrónica de control de las cámaras CCB (*Chamber Control Board*) que permite entre otras cosas medir la temperatura de todas las tarjetas, modificar el valor de discriminación de las FEB, controlar la inyección de los *Test Pulses*, deshabilitar canales individuales, etc.

### 2.3.4 Construcción e instalación de las cámaras de deriva de CMS

La construcción y pruebas de las cámaras de deriva ha sido una responsabilidad conjunta de cuatro institutos: RWTH (Aquisgrán, Alemania) [79], CIEMAT (Madrid, España) y las secciones del INFN de Legnaro y de Turín [80] (Italia). El CIEMAT ha participado con la fabricación de 60 cámaras MB2 y 10 MB4 (para el Sector 10) que ha tenido lugar en un área dedicada exclusivamente a este fin y cuenta con unas mesas especiales, con una planaridad al nivel de 100  $\mu\text{m}$  y un coordinatógrafo controlado por ordenador, gracias al cual es posible dispensar de forma adecuada el pegamento, medir posiciones de hilos, etc.

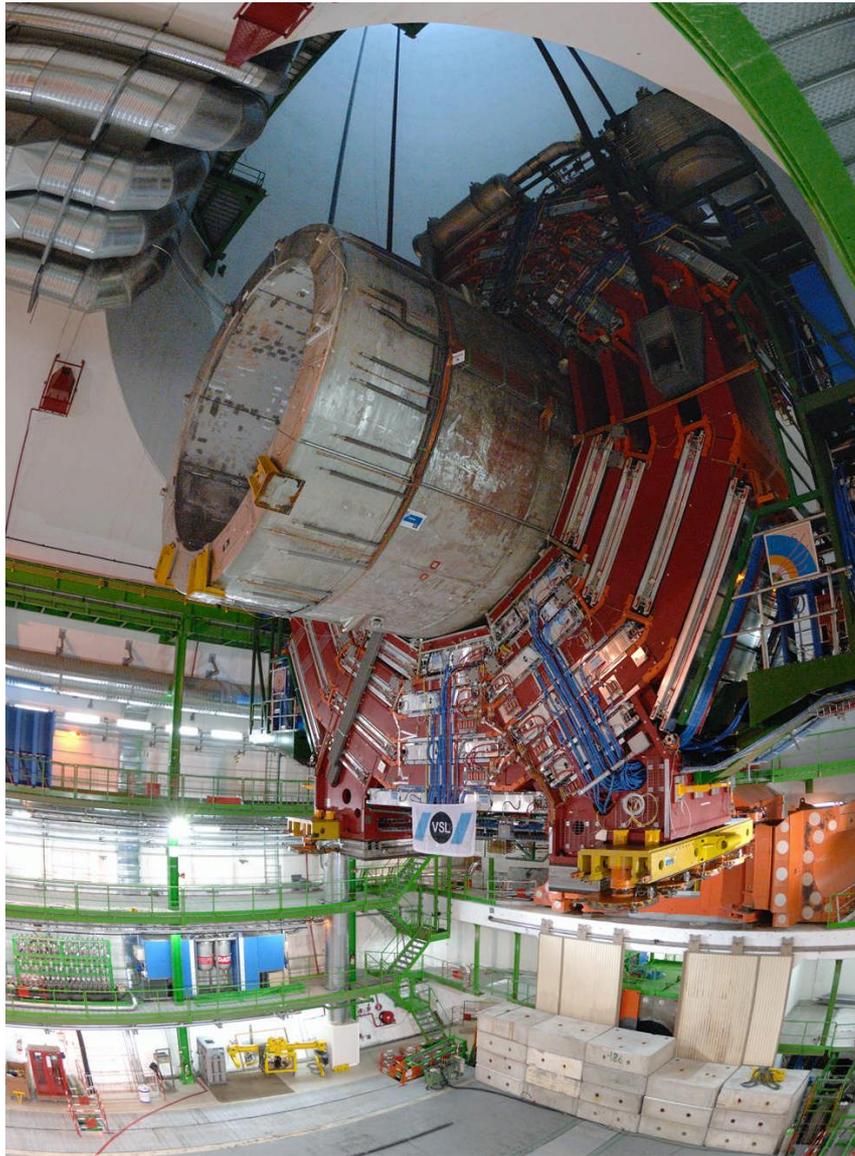
El montaje de las cámaras es una labor de gran precisión en la que debe garantizarse la posición de los hilos y el desalineamiento relativo de capas dentro de una Supercapa con una precisión de 100  $\mu\text{m}$ . Asimismo, el desalineamiento entre las dos Supercapas  $\Phi$  de una cámara debe medirse durante el proceso de construcción, garantizando que su posicionamiento está al nivel de 100  $\mu\text{m}$  respecto a su situación nominal y en ningún caso puede exceder los 500  $\mu\text{m}$ . Estas precisiones se alcanzan utilizando en la construcción útiles diseñados especialmente para ello y mecanizados con gran precisión, algunas veces en los propios laboratorios y otras en empresas especializadas, de manera que ya por construcción se garantizan prácticamente las tolerancias admitidas.

Las distintas fases del montaje van acompañadas de una serie de pruebas encaminadas a verificar el perfecto funcionamiento de cada elemento individual [81]. A nivel de Supercapa se realizan básicamente tres tipos de pruebas: pruebas de estanqueidad, pruebas de alta tensión (en aire y en gas) y pruebas con muones cósmicos. Estas pruebas permiten detectar tanto posibles errores de montaje como eventuales daños ocasionados durante la construcción. Las pruebas con cósmicos sirven también para verificar que las prestaciones de la cámara cumplen con las especificaciones en términos de eficiencias, resolución o nivel de ruido.

Las cámaras ya completas y probadas se envían al CERN, donde vuelven a pasar unas pruebas semejantes [82] y donde son equipadas con los Minicrates y el resto de los sistemas de gas, alta tensión, etc. Finalmente se acoplan con las

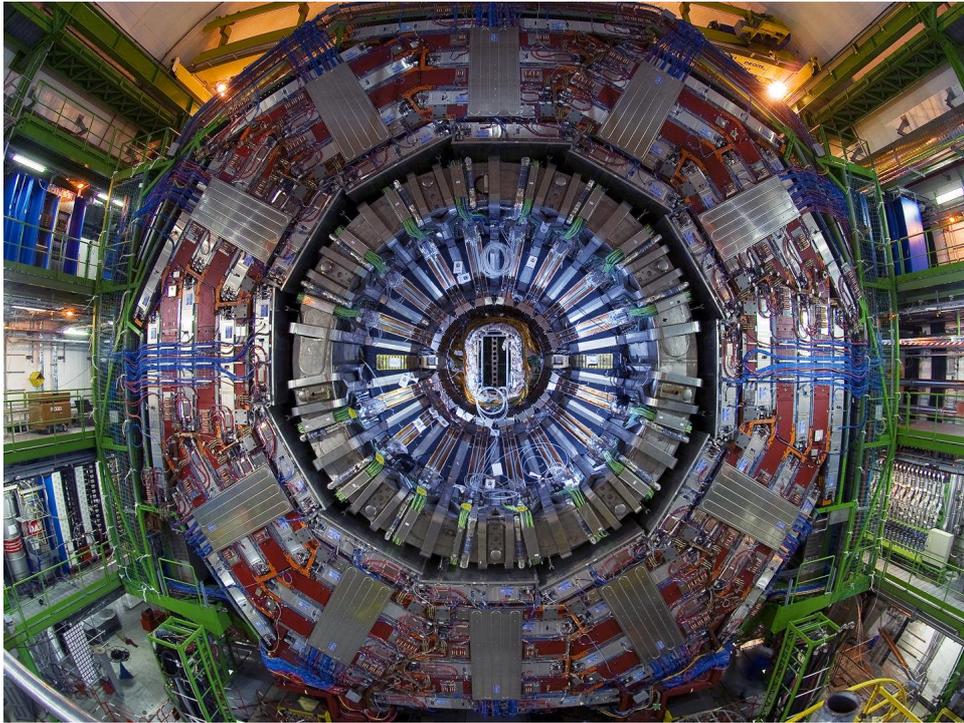
cámaras RPC y son transportadas al área experimental e instaladas en el entrehierro de CMS. En cada uno de estos pasos se realizan una serie de pruebas para garantizar la correcta integración.

El área experimental de CMS es una gran nave donde permanecen las distintas ruedas de CMS durante su instalación y antes de su descenso a la caverna a 100 m de profundidad. El descenso de cada una de estas ruedas, que llegan a pesar hasta 1.920 toneladas, se realiza mediante una grúa especial situada en la parte superior de la entrada al pozo. En la figura 2.19 se muestra la rueda central de CMS durante su descenso a la caverna.



**Figura 2.19:** Imagen de la rueda central de CMS YB0 (1.920 toneladas) durante su descenso a la caverna experimental en febrero de 2007. Todas las cámaras de deriva se habían instalado ya en las ruedas a falta de las de los sectores laterales por donde se realizaba la sujeción de la rueda. El descenso de las ruedas era un proceso lento que tardaba del orden de 10 horas en completarse.

Una vez en la caverna, se completan los trabajos de instalación y conexión eléctrica y electrónica y se realizan las conexiones finales con todos los sistemas centrales (gas, agua, alimentación, sistemas de seguridad, etc). Asimismo, se realizan diversas pruebas para validar esta instalación, entre las que se incluyen pruebas de *Test Pulses* y medidas de rayos cósmicos. En la figura 2.20 se observa la imagen frontal de una rueda de CMS completamente instalada.



**Figura 2.20:** Imagen frontal de la rueda YB-2 del detector CMS con todos los subdetectores instalados.

## 2.4 EL SISTEMA DE DISPARO DE CMS

El sistema de disparo de CMS [83] tiene como misión el filtrado del alto número de sucesos producidos en el LHC con el fin de conservar los sucesos de interés y rechazar los procesos de fondo con la mejor eficiencia posible.

Dada la luminosidad del LHC, se espera que se generen del orden de unos  $800 \cdot 10^6$  sucesos por segundo que es necesario procesar. Esta tasa de sucesos debe ser reducida en un factor  $10^7$  hasta 100 Hz, que es el límite máximo para el ancho de banda del dispositivo de almacenamiento masivo que se utiliza finalmente para el análisis *off-line* (i.e. cintas). Incluso después de reducir la tasa de eventos seleccionando únicamente los sucesos de interés, considerando que el tamaño medio de un suceso es aproximadamente 1 Mbyte, se espera un almacenamiento de datos en torno a 1 TeraByte/día.

El sistema de disparo o de discriminación de datos debe tomar, por tanto, la decisión sobre si un suceso es relevante para análisis posteriores mediante la

identificación del proceso físico generado, para lo cual debe realizar una reconstrucción del suceso lo más precisa y con el menor tiempo muerto posible.

El sistema de disparo de CMS está estructurado en varios niveles, distinguiéndose un sistema de disparo de primer nivel, basado en hardware, que es el que proporciona la señal de disparo a toda la electrónica de lectura de CMS, validando los datos pertenecientes a un determinado cruce de haces y permitiendo su transmisión a través de los distintos niveles de lectura hasta el sistema de adquisición de datos global de CMS DAQ (*Data Acquisition System*). La decisión sobre la validez de un suceso en el sistema de disparo de primer nivel debe realizarse con una latencia fija (período de tiempo que tarda en tomar una decisión), de forma que cuando la señal de validación (L1A, *Level 1 Accept*) llegue a la electrónica de lectura, permita identificar el cruce de haces al que pertenece el suceso de forma inequívoca.

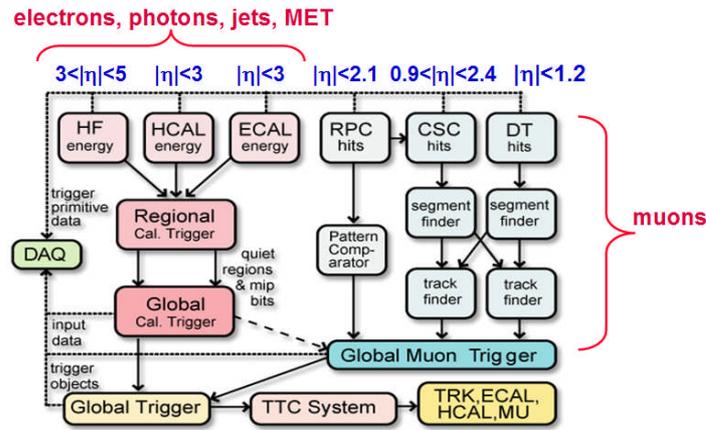
Una vez que la información de lectura de todos los subdetectores correspondiente a ese cruce de haces ha sido empaquetada por el sistema de adquisición de datos en un evento global de CMS, pasa a ser procesada por el sistema de disparo de segundo nivel llamado HLT (*High Level Trigger*), que es un sistema software funcionando en una granja de ordenadores y que mediante una serie de algoritmos de mayor complejidad permite realizar un posterior filtrado de los eventos recibidos para su almacenamiento final.

#### **2.4.1 El disparo de primer nivel (L1A)**

El disparo de primer nivel reduce la tasa de disparo recibida por la electrónica de lectura de los subdetectores hasta una tasa de 30 kHz (100 kHz máximos). Es un sistema de vital importancia pues es el encargado de indicar a todos los subsistemas de adquisición de datos de CMS (como la ROB y la ROS) que deben transmitir la información correspondiente al cruce de haces indicado.

Es un sistema que está basado en módulos electrónicos diseñados *ad-hoc* y que recibe las señales procedentes de los detectores en paralelo con el sistema de lectura y las procesa de forma independiente con el fin de discriminar de forma rápida la validez del suceso. Este sistema debe tomar una decisión sobre la validez del suceso en un tiempo fijo, independiente de la zona del detector que realice el disparo, a partir de la información medida por los distintos detectores, de forma que permita la identificación del cruce de haces del que procede el suceso almacenado en la electrónica de lectura.

Los requisitos del sistema de disparo de primer nivel L1A consisten en combinar la información de disparo procedente de los calorímetros y del sistema de disparo de muones y distribuir la decisión de si se acepta el suceso o no a todos los detectores. Debido al tipo de sucesos que se buscan y a la gran tasa de sucesos que tienen lugar, es preciso combinar la información de ambos sistemas para determinar la validez del suceso, ya que generalmente no se puede decidir si el suceso es de interés únicamente con la información obtenida con el disparo de muones o con los calorímetros individualmente.



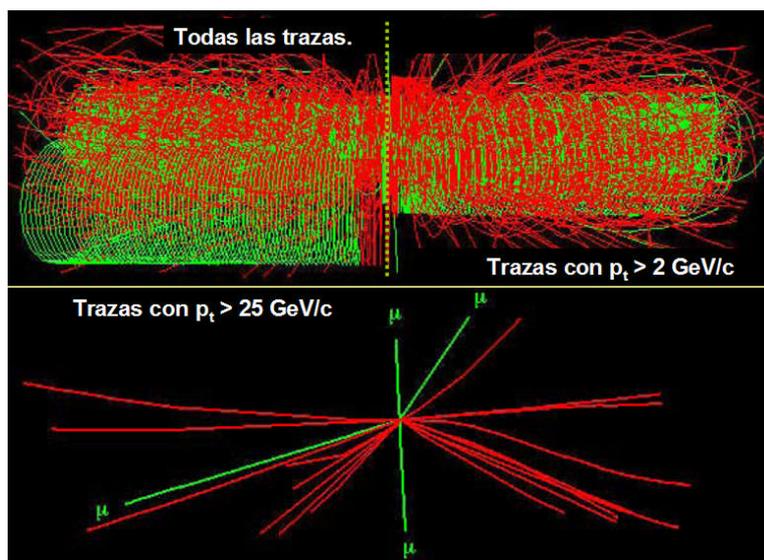
**Figura 2.21:** Esquema funcional del sistema de disparo de CMS. Se observa que la información de disparo de los distintos subdetectores se combina con el fin de tomar una decisión sobre la validez del suceso.

Dado que los cruces de haces tienen lugar en el LHC cada 25 ns, el sistema de disparo debe ser capaz de proporcionar una decisión de la validez del suceso para cada cruce. Estos 25 ns no son suficientes para poder tomar una decisión de disparo global recogiendo la información de los distintos sistemas, por lo que el disparo de primer nivel funciona en modo de *pipeline*, proporcionando una decisión cada 25 ns, pero con un retardo con respecto al instante en el que tuvo lugar el cruce de haces de hasta 3,2  $\mu$ s, que es lo que se denomina la latencia del disparo. La decisión tomada por este primer nivel global de disparo en forma de señal L1A sirve para inicializar las distintas cadenas de lectura, que deben poder almacenar las señales recibidas de los detectores un tiempo igual a la latencia del disparo y poder asignar correctamente las señales obtenidas del detector con el cruce de haces al que corresponden.

Debe existir por tanto un sistema global de transmisión de la señal de disparo L1A procedente del primer nivel a todo el detector. Este sistema se denomina TTC (*Timing, Trigger and Control*) [84] y es el que permite sincronizar toda la electrónica de CMS.

### 2.4.2 El sistema de disparo del espectrómetro de muones

El sistema de disparo de muones tiene como misión identificar la presencia de muones, dar una estimación de su momento transversal  $p_T$  a través de la medida de la curvatura de la trayectoria en el campo magnético y determinar el cruce de haces del que provienen. Como ya se ha comentado, los muones aparecen en multitud de procesos de interés en el LHC, por lo que su identificación es de gran importancia. En la figura 2.22 se puede observar además una simulación de cómo se clarifica el escenario experimental en un suceso en el que se produce un bosón de Higgs a medida que se impone un requisito más exigente en el momento transverso de las partículas cargadas, siendo por tanto de vital importancia su medida.



**Figura 2.22:** Esquema de una colisión pp en el que se ha producido un bosón de Higgs que se desintegra en cuatro muones. En la ventana superior izquierda se muestran todas las trazas que emergen de la colisión. En la ventana superior derecha se representan sólo las trazas de las partículas con un momento transversal mayor que 2 GeV/c. En el dibujo inferior sólo aparecen las trazas de las partículas que tienen un momento transversal mayor que 25 GeV/c; solo en ese caso se pueden distinguir claramente las trazas de los muones (señaladas en verde).

Para proporcionar el disparo de muones se utiliza la información obtenida de los tres tipos de detectores que se utilizan en CMS: las cámaras RPC, las cámaras CSC y las cámaras de deriva DT, obteniendo un sistema altamente redundante.

Las cámaras RPC ofrecen una resolución temporal excelente y permiten determinar sin ambigüedad el cruce de haces del que proviene las partículas incluso para flujos de partículas muy elevados. Su sistema de disparo se basa en la comparación de las señales recibidas con un sistema de patrones definidos en una unidad denominada PACT (*Pattern Comparator Trigger*) [85]. Asimismo, permiten realizar medidas del momento del muón hasta energías de 50 GeV.

Las cámaras de deriva y las CSCs proporcionan una medida más precisa del momento del muón de hasta 100 GeV. En las CSCs se combina por separado la información recogida en los hilos y en las tiras catódicas reconstruyendo segmentos locales en cada una de las estaciones y asociándolas después a trayectorias completas.

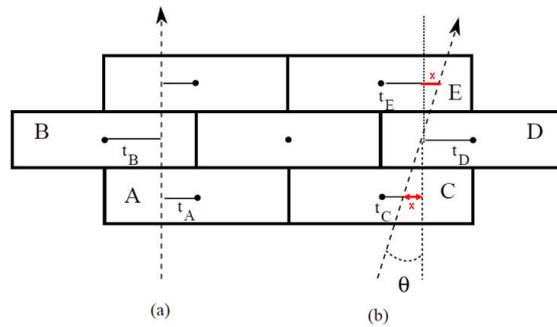
Las distribuciones de carga de las CSCs y los largos tiempos de deriva de las DTs son más vulnerables frente a la radiación de fondo, pudiendo eventualmente sufrir ineficiencias debidas a señales de ruido que enmascaren las verdaderas. Las RPCs no se ven afectadas en su eficiencia por la radiación de fondo, ya que todas las señales son procesadas en paralelo. Sin embargo, la coincidencia accidental de tres o cuatro señales en las RPC debidas a ruido o radiación pueden ser reconocidas por el sistema de disparo RPC como un muón, provocando un disparo fantasma. Esto es altamente improbable en las CSCs o las DTs, ya que exige la coincidencia de ruido simultáneo en varios planos de la misma estación.

### 2.4.3 El sistema de disparo de las cámaras de deriva

A continuación describiremos en mayor detalle el sistema de disparo de las cámaras de deriva puesto que este sistema de disparo se integra junto con la electrónica de lectura desarrollada en esta tesis compartiendo muchos de los recursos y señales y estando, por tanto, íntimamente relacionada.

La cadena de disparo de las cámaras de deriva comienza a nivel de cada una de las Supercapas utilizando un mecanismo denominado método del *meantimer* [86] para determinar si las señales obtenidas en las cuatro capas provienen de la traza de un muón. Para ello, las medidas de los tiempos de deriva deben verificar un sistema de ecuaciones lineales que se resuelve en los circuitos BTI (*Bunch and Track Identifier*) [87] localizados en las tarjetas TRBs (*Trigger Boards*).

Para cada celda, el BTI cuenta con un registro temporal dividido en intervalos de 12,5 ns cuya longitud total es programable de acuerdo con el tiempo máximo de deriva que se espera en una celda ( $T_{\max}$ ) y que se corresponde con el tiempo que tardan en alcanzar el hilo los electrones creados en una región cercana al cátodo. Este  $T_{\max}$  se puede relacionar fácilmente con los tiempos de deriva en cada celda individual de tres capas (figura 2.23) mediante las ecuaciones 2.10.



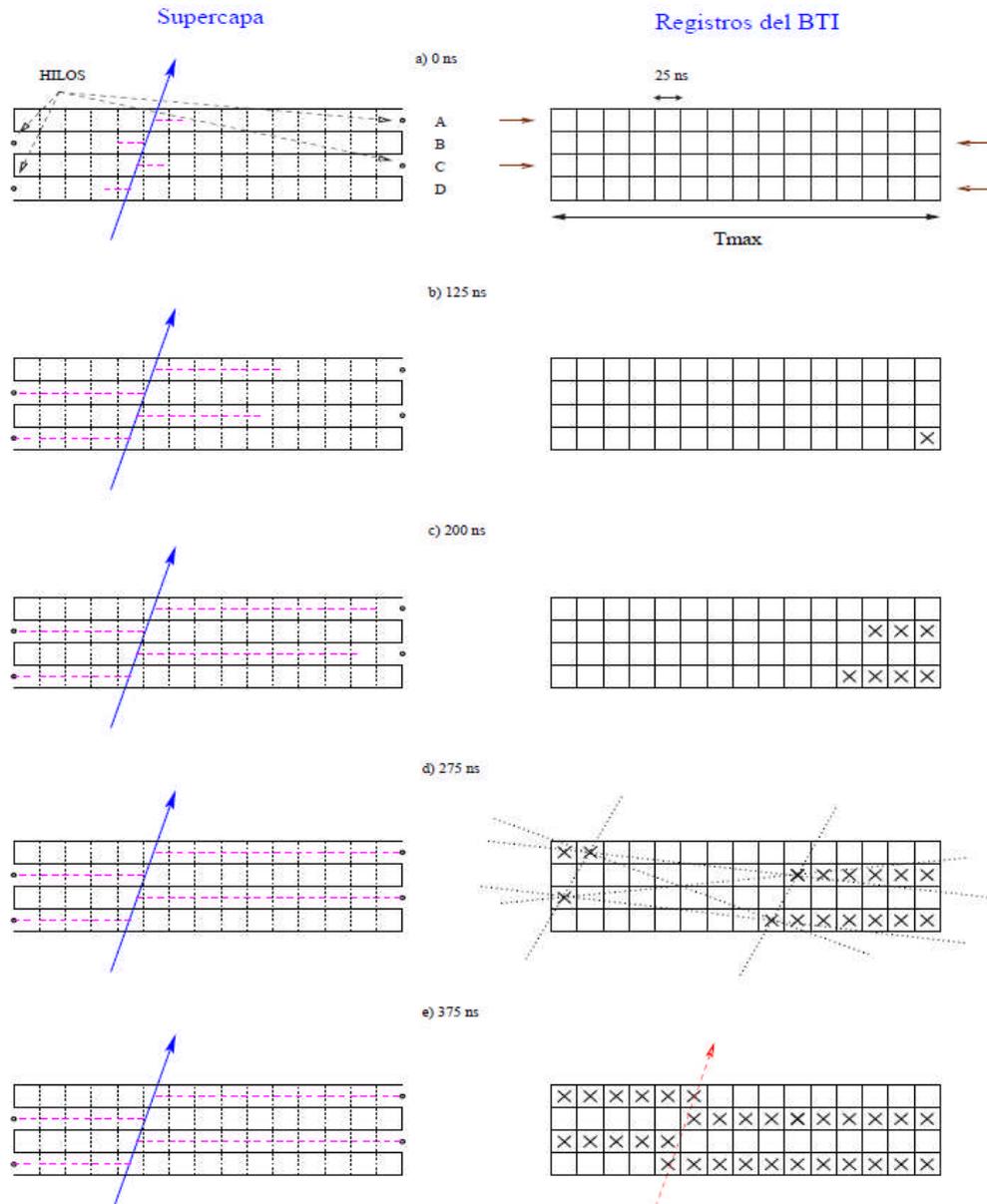
**Figura 2.23:** Representación del paso de un muón por tres capas de una Supercapa de una cámara de deriva. Por geometría, los distintos tiempos de deriva verifican una serie de ecuaciones basadas en el método del *Meantimer* que permiten la identificación de una traza en la Supercapa.

Las señales procedentes de cada hilo se introducen en unos registros que se desplazan con una frecuencia de 80 MHz (el doble del reloj del acelerador). Transcurrido el tiempo máximo  $T_{\max}$ , se produce la coincidencia de estas señales, proporcionando la información de una traza alineada, como puede observarse en la figura 2.23.

$$\left. \begin{aligned} t_E + t_D - x &= T_{\max} \\ t_C + t_D + x &= T_{\max} \end{aligned} \right\} \Rightarrow T_{\max} = t_D + \frac{t_E + t_C}{2} \quad (2.10)$$

En este ejemplo conocíamos *a priori* por qué lado del hilo había pasado el muón en cada una de las celdas, pero el BTI en principio es incapaz de saberlo. Por ello el algoritmo calcula todos los segmentos simultáneamente para cualquier patrón de traza y considera todas las posibles combinaciones izquierda-derecha en las celdas involucradas hasta encontrar la coincidencia. Un ejemplo esquemático de cómo se produce la búsqueda de la coincidencia de las señales en los registros

de desplazamiento (suponiendo desplazamientos cada 25 ns) se puede observar en la figura 2.24.



**Figura 2.24:** En la izquierda se muestran las posiciones de los electrones de deriva dentro de la celda hasta que alcanzan el ánodo en función del tiempo. En la derecha se muestran las posiciones de las señales en los registros de desplazamiento del BTI. En d) se pueden ver las trazas estimadas por el BTI para cada una de las 6 parejas de celdas transcurridos 275 ns después del paso del muón. En e) se aprecia como la coincidencia entre las 6 ecuaciones se produce cuando  $t=T_{\max}=375$  ns.

El BTI busca por tanto la coincidencia de tres o cuatro señales en cada Supercapa, proporcionando información sobre su calidad: H (*High*) si encuentra cuatro señales alineadas y L (*Low*) si encuentra tres.

Los resultados de las dos Supercapas  $\Phi$  se combinan en el ASIC *Track Correlator* (TRACO) [88] y [89] situado en las TRBs, que busca la pareja de

segmentos en las dos Supercapas que se ajusta mejor a una trayectoria en el plano transversal de CMS según el ángulo de la traza como se puede observar en la figura 2.25. Según la calidad de las trazas proporcionadas por los BTIs se obtienen candidatos HH, HL o LL si se encuentra correlación entre las dos Supercapas o bien simplemente H o L si no se encuentra correlación.

El sistema *Trigger Server* (TS) [90] es el encargado de seleccionar los dos mejores segmentos de cada cámara entre los candidatos proporcionados por los TRACOs y por los BTIs de la Supercapa  $\theta$ . El *Trigger Server* está compuesto por dos subsistemas, uno para el plano  $\Phi$ , que selecciona los segmentos con mejor calidad y mayor momento transverso, y uno para el plano  $\theta$ , que identifica las trazas que apuntan en la dirección del vértice de interacción, combinándose posteriormente la información procedente de ambos. El sistema *Trigger Server* incluye un mecanismo de supresión de candidatos “fantasmas” que pueden surgir de la geometría del sistema y del solapamiento de varias unidades.

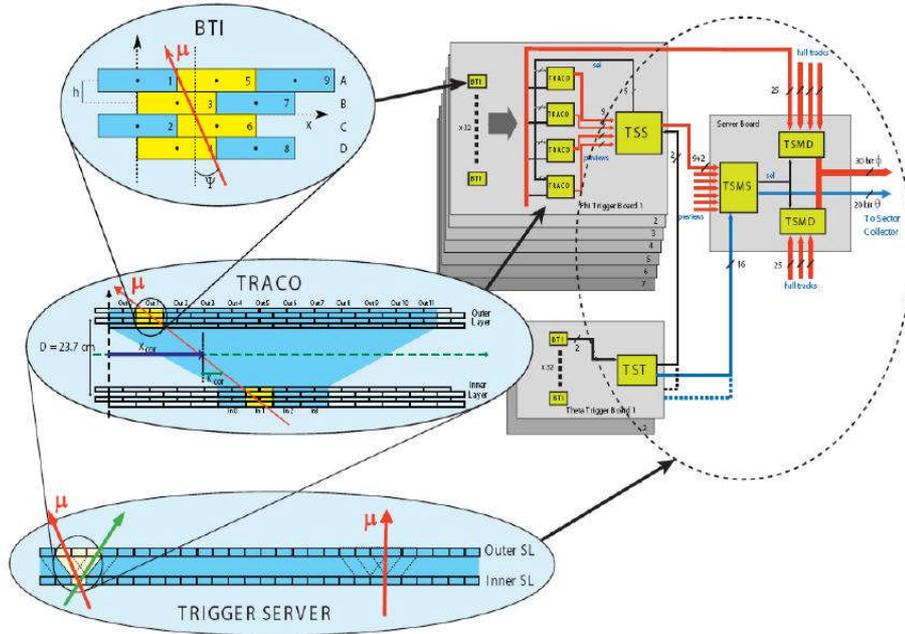


Figura 2.25: Diagrama del sistema de disparo local de las cámaras de deriva de CMS.

El *Trigger Server* está formado por diversos módulos situados tanto en las TRBs como en la tarjeta *Server Board* (SB), situada en el centro del Minicrate. La información relativa a los dos mejores candidatos de cada cámara incluye información sobre la posición, el momento transverso y la calidad de la traza y es enviada a las tarjetas TSC (*Trigger Sector Collector*), situadas en las torres laterales de las ruedas de CMS. Estas tarjetas permiten sincronizar la información de disparo de cada cámara, de acuerdo a los distintos retardos en las distintas partes del sistema, y agrupan la información de cada sector para su envío al sistema regional de disparo de las DTs, el *Drift Tubes Trigger Track Finder* (DTTF) [91].

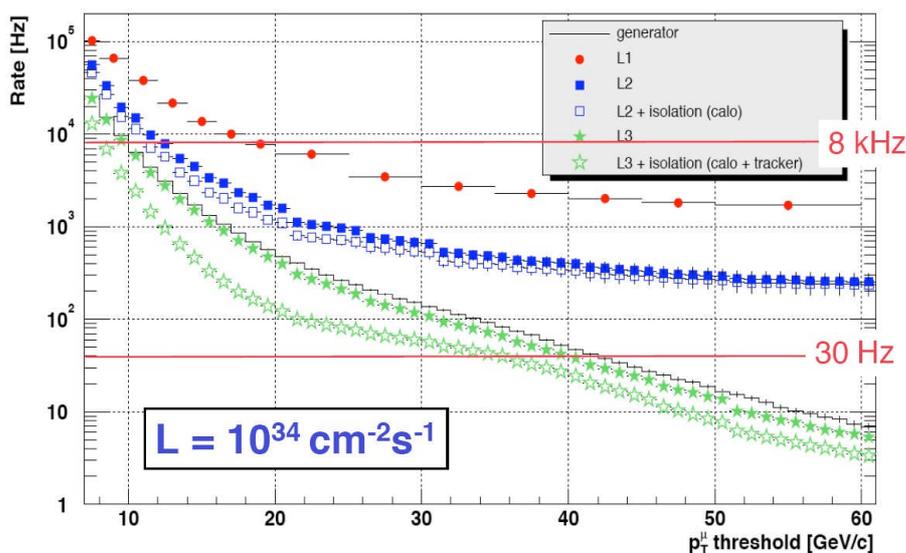
El *Track Finder* combina los vectores recibidos de las DTs y de las CSCs, enviando la información de sus cuatro mejores candidatos a muón, en base a

calidades y mayores momentos transversos, a un nivel superior del sistema, el sistema global de disparo de muones (GMT, *Global Muon Trigger*) [92]. Finalmente se correlaciona la información de los sistemas de muones con la proveniente de los calorímetros en el sistema global de disparo (GT, *Global Trigger*) [93] que genera la señal de disparo de primer nivel L1A. Un esquema de este sistema puede verse en la figura 2.21.

#### 2.4.4 El disparo de alto nivel (HLT)

Una vez los eventos han sido validados por el disparo de primer nivel, la información es leída por la cadena de adquisición de datos y es enviada al sistema de filtrado de alto nivel HLT (*High Level Trigger*) [94]. El sistema HLT está basado en una granja de aproximadamente 5.000 procesadores comerciales (*Event Filter Farm*) donde se ejecutan una serie de algoritmos (Level 2 y Level 3) que realizan un filtrado software de la información procedente de todos los detectores y selecciona los eventos de mayor interés físico hasta obtener una frecuencia de eventos del orden de 100 – 150 Hz. El sistema HLT es capaz de tomar una decisión sobre la validez de un evento en un tiempo del orden de varios milisegundos.

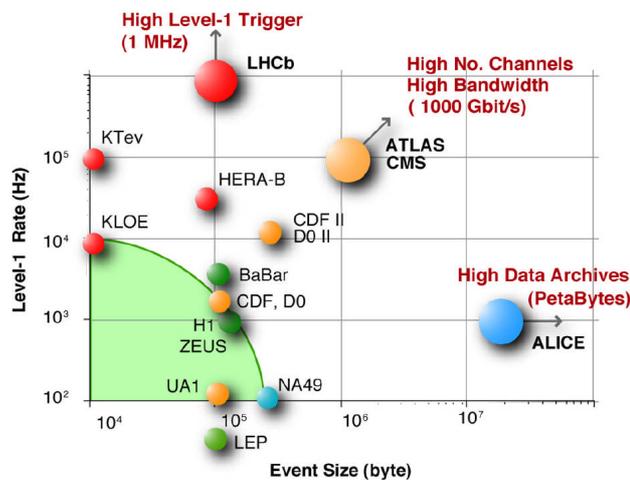
En este procesado se combina la información de los distintos subdetectores aplicando algoritmos más complicados que en el Level 1 para correlacionar por ejemplo la deposición de energía en los calorímetros con las señales del detector de píxeles con el fin de identificar la presencia de electrones o correlacionar las trazas reconstruidas en el sistema de muones con la información proporcionada por el detector de trazas central (Tracker). En la siguiente figura se observa cómo se reduce la tasa de disparo tras la aplicación de la selección realizada por los distintos niveles de disparo.



**Figura 2.26:** Simulación de la reducción de la tasa de disparo de muones en función del momento transversal al aplicar los distintos niveles de selección del sistema de disparo de CMS. (“Generator” hace referencia a las partículas simuladas que realmente son muones).

## 2.5 EL SISTEMA DE ADQUISICIÓN DE DATOS DE CMS

El sistema de lectura o de adquisición de datos de CMS (DAQ) [95] es el encargado de recoger la información leída en los distintos subdetectores y empaquetarla en un evento sincronizado para su posterior almacenamiento. El sistema de adquisición de datos de CMS se divide en varios niveles: los primeros niveles propios de cada subdetector que han sido desarrollados específicamente para cumplir los requisitos impuestos por el tipo de sistema de detección empleado (como por ejemplo, las tarjetas ROB y ROS), y los niveles superiores formados por el DAQ global que se encarga de recoger la información de cada uno de los subdetectores y agruparla en un evento completo de CMS.



**Figura 2.27:** Representación de la tasa de sucesos frente al tamaño del paquete de datos en distintos experimentos de física de partículas.

CMS, al igual que ATLAS, se caracteriza por ser un detector con una elevada tasa de sucesos y a la vez un gran volumen de datos (figura 2.27) en comparación con otros experimentos de física de partículas desarrollados hasta el momento.

Al igual que en otros experimentos, el DAQ de CMS sigue un orden ascendente de multiplexación de datos para la integración de los distintos canales en un paquete único correspondiente a un evento que será almacenado en unidades de alta capacidad (i.e. cintas) para permitir su posterior análisis *off-line*.

Dada la escala de los recursos de computación requeridos, el modelo de computación tradicional de los experimentos de física de altas energías, basado en la acumulación de la mayor parte de los recursos computacionales en el laboratorio donde está instalado el acelerador, resulta inadecuado. En el LHC, los institutos que componen los experimentos aportan localmente los recursos de computación, y dichos experimentos han diseñado un modelo computacional donde todos estos recursos, distribuidos geográficamente, están interconectados mediante redes de Internet de gran ancho de banda. Un nuevo conjunto de tecnologías, las llamadas tecnologías Grid [23], se encargan de operar estos recursos de manera coherente y transparente. En la siguiente figura se observa la

subdivisión en centros Tier distribuidos geográficamente que permiten el almacenamiento y la ejecución del análisis de los datos de forma distribuida.

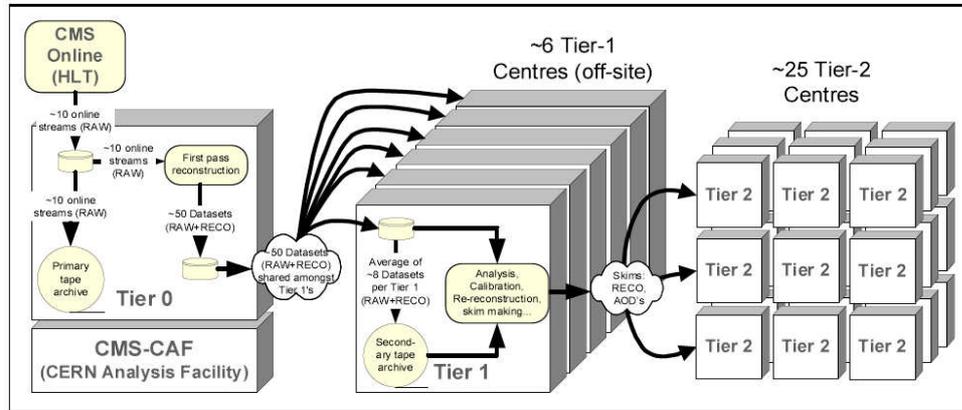


Figura 2.28: Representación del flujo de datos entre los distintos centros de computación.

### 2.5.1 La cadena de adquisición de datos de las cámaras de deriva

Como parte del sistema de adquisición de datos de CMS, se describirá brevemente en este apartado el sistema de lectura de las cámaras de deriva [96], objeto de esta tesis, y que se desarrollará en más detalle en los siguientes capítulos.

Los requisitos sobre los que se basa el diseño del sistema de lectura de las cámaras de deriva se resumen en la siguiente tabla:

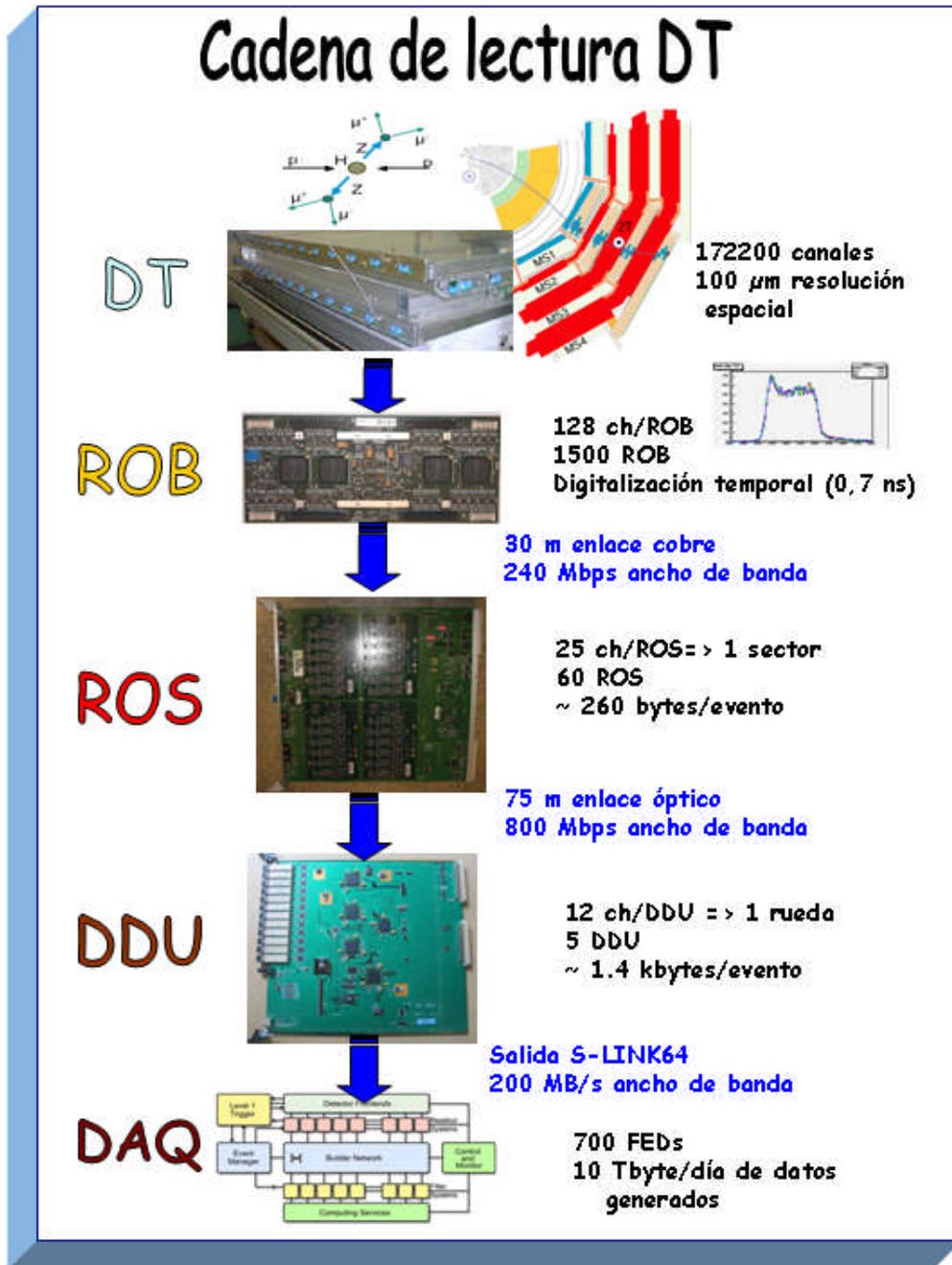
Número de canales	172.200
Resolución temporal	$\leq 1$ ns
Frecuencia de colisión	40 MHz
Tasa máxima de disparo L1A	100 kHz
Tamaño medio del evento/FED	2 - 4 kbytes

Tabla 2.2: Parámetros básicos de diseño del sistema de lectura de las cámaras de deriva de CMS.

El sistema de adquisición de datos de las cámaras de deriva se divide en tres etapas claramente diferenciadas como se puede observar en la figura 2.29. En primer lugar se encuentran las tarjetas ROB (*Read Out Board*), encargadas de la digitalización temporal de las 172.000 señales procedentes de la electrónica frontal de las cámaras de deriva. Existen un total de 1.500 tarjetas ROB, de 128 canales cada una, que se sitúan junto a las cámaras DT en las 250 estructuras de aluminio denominadas Minicrates. En los Minicrates se integran junto a la electrónica de disparo y de control de la cámara de deriva, compartiendo la alimentación, la mecánica, el sistema de refrigeración y las señales de control y de distribución del reloj de CMS.

La información digitalizada se envía a través de un enlace de cobre de 30 m de longitud media a una velocidad de 240 Mbps a las tarjetas ROS (*Read Out Server*) que forman el segundo nivel del sistema de adquisición de datos. Cada

tarjeta ROS realiza la lectura de 25 ROB, el equivalente a un sector de las ruedas de CMS, existiendo un total de 60 ROS.



**Figura 2.29:** Cadena de adquisición de datos de las cámaras de deriva (DT) de CMS. Los dos primeros niveles, formados por las tarjetas ROB y ROS, se corresponden con el trabajo desarrollado en esta tesis.

Las tarjetas ROS se sitúan en unas torres en un lateral de las ruedas de CMS, dentro del sistema Sector Collector. Los chasis Sector Collector distribuyen la alimentación y las señales de sincronización del sistema TTC a las tarjetas ROS y al segundo nivel del sistema de disparo formado por las tarjetas TSC, y permiten la configuración y monitorización de las tarjetas.

Las tarjetas ROS procesan la información de las ROB verificando la integridad de los datos y su sincronización para formar un evento completo correspondiente a un sector. Esta información es transmitida mediante un enlace óptico de 75 m a 800 Mbps al tercer nivel de lectura formado por las tarjetas DDU (*Device Dependent Unit*) [97], también llamadas FED (*Front End Driver*). Estos módulos proceden a una nueva multiplexación de datos hasta obtener cinco únicos enlaces que se dirigen directamente al sistema de adquisición de datos central de CMS, el DAQ. La interconexión entre los DDUs y el DAQ global se realiza mediante un enlace de cobre de longitud máxima 15 m de acuerdo con el protocolo de comunicación S-Link [98], cuyo ancho de banda es de hasta 400 Mbytes/s, siendo de aproximadamente 200 Mbytes/s la tasa de transferencia efectiva que se empleará. Este enlace es estándar para todos los sistemas de lectura de CMS, por lo que el diseño del DAQ global es común para todos ellos y no depende del diseño realizado en los niveles inferiores de lectura de cada uno de los subdetectores de CMS.

### 2.5.2 El sistema de adquisición de datos global (DAQ)

Cada uno de los subdetectores de CMS dispone de un equivalente al DDU o FED de las cámaras de deriva que proporciona la información de lectura al DAQ global siguiendo un mismo protocolo común. El DAQ global de CMS, encargado de la reconstrucción de los eventos procedentes de los distintos subdetectores está formado, por tanto, por una serie de módulos idénticos independientes del subdetector.

Los principales parámetros de operación sobre los que se basa el diseño del sistema DAQ global de CMS se pueden observar en la siguiente tabla 2.3:

Frecuencia de colisión	40 MHz
Tasa máxima de disparo L1A	100 kHz
Tamaño medio de evento	1 Mbyte
Número de tarjetas electrónicas	10.000
Ancho de banda del Event Builder	1 Terabit/s
Potencia de cálculo del Event Filter	5 10 <sup>6</sup> MIPS
Tasa de datos producida	Tbyte/día

**Tabla 2.3:** Parámetros básicos en la que se basa el diseño del DAQ global de CMS.

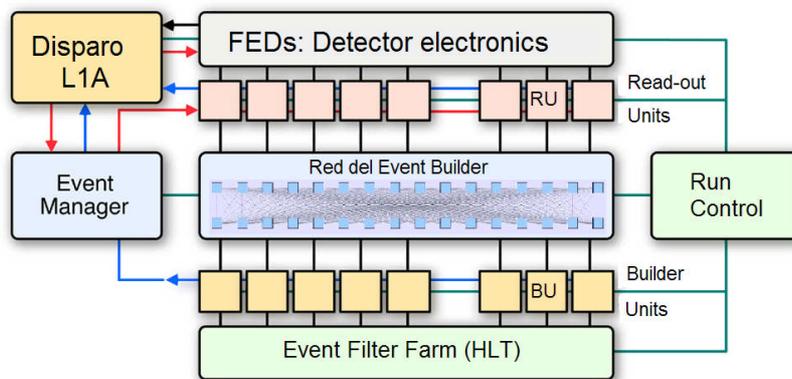
En la figura 2.30 se observa la arquitectura del DAQ global. La información procedente de los 700 FEDs de CMS es recogida en primer lugar por los módulos FRL (*Front-End Readout Link*) [99] situados en la sala de control contigua a la caverna y que recogen los fragmentos de evento de cada subdetector y comprueban la integridad de los datos.

A continuación se transmite esta información al sistema *Event Builder* [100], que está formado por dos niveles: el *FED-Builder* y *RU-Builder* (*Readout Unit Builder*). El *FED-Builder* recibe  $\sim 2$  kbyte de evento de cada FRL, los agrupa en 72 super-fragmentos de  $\sim 16$  kbyte y los transmite a la sala de control situada en la superficie de CMS. El *FED-Builder* está basado en una red de interconexión de alto rendimiento denominada Myrinet [101].

El segundo nivel de empaquetado lo forma el *RU-Builder* que se subdivide a su vez en las unidades *RU* (*Readout Units*) y *BU* (*Builder Units*) interconectadas mediante una red basada en tecnología gigabit ethernet. Estas unidades recogen los super-fragmentos de eventos pertenecientes al mismo cruce de haces y realizan la tarea de reconstrucción del evento completo. El flujo de datos está supervisado por el gestor de sucesos *Event Manager* que recibe la información de un nuevo disparo y activa el sistema de lectura.

Finalmente, la información correspondiente a cada evento se transmiten a una granja de computadoras denominada el *Event Filter Farm* que es donde se ejecuta el código de selección HLT para descartar o validar el correspondiente evento y enviarlo a los dispositivos de almacenamiento masivo.

El tamaño de cada suceso completo es del orden de 1 Mbyte, por lo que el sistema del DAQ global requiere un ancho de banda efectivo de 100 GByte/s para funcionar a 100 kHz de L1A. El DAQ está diseñado para regular el flujo de datos admitido a lo largo de todo el nivel de la cadena hasta los FEDs, indicando que no puede aceptar más eventos (*backpressure*) en caso de que sus memorias estén cerca de saturarse. Esta presión transmitida hasta los FEDs provoca que sean ellos la parte sensible a sufrir saturaciones en sus memorias, lo que conlleva generalmente la pérdida de sincronización o la corrupción de datos. Para solventar esto se ha diseñado el sistema TTS (*Trigger Throttling System*) [102] que se explicará en la sección 5.13 y que permite solicitar al sistema de disparo global una reducción de la tasa de disparo L1A así como otros comandos de sincronización con el fin de adecuar el flujo de datos a la tasa aceptable por el DAQ.



**Figura 2.30:** Arquitectura del DAQ global de CMS, encargado de empaquetar la información procedente de los sistemas de lectura de los distintos subdetectores.

## *Capítulo 3*

# **LA TARJETA**

# **READ-OUT BOARD: ROB**

En este capítulo se estudian en detalle los distintos requisitos que justifican el presente diseño de la tarjeta ROB (*Read Out Board*), describiendo el entorno en el que tienen que funcionar y las necesidades impuestas por el experimento. Se describen con detenimiento las características fundamentales del diseño realizado, justificando los puntos más significativos que han desembocado en la presente tarjeta. Asimismo, se describen las características básicas del dispositivo HPTDC (*High Performance Time to Digital Converter*) que se ha empleado en la tarjeta ROB, detallando los problemas que se han encontrado en los primeros prototipos de este dispositivo. También se describe en profundidad el modo de operación de la tarjeta ROB, describiendo el proceso de reconstrucción de trazas a partir de sus medidas de tiempo y los aspectos básicos de la calibración del sistema. Finalmente se describe el sistema de pruebas desarrollado con el fin de verificar el montaje de las 1.500 tarjetas ROB en la empresa IMPELEC.

### 3.1 ANÁLISIS DE REQUISITOS

En un experimento como el que se ha descrito, la electrónica a desarrollar difiere del concepto de diseño de hardware comercial y debe amoldarse a las restricciones impuestas, siendo tanto mecánicamente, como funcionalmente una tarjeta dedicada al detector en cuestión, no considerándose en principio un uso más amplio de ella para otras aplicaciones.

#### 3.1.1 Requisitos funcionales

Tal y como se ha explicado en el capítulo anterior y cómo se verá más en detalle en el apartado 3.4, midiendo el tiempo que tarda en llegar cada señal al hilo con respecto a una referencia fija (disparo) se puede obtener una medida precisa de la posición por la que pasó la partícula cargada dentro de la celda de deriva. Esta es la funcionalidad básica para la que se ha diseñado la tarjeta de adquisición de datos ROB (*Read-Out Board*).

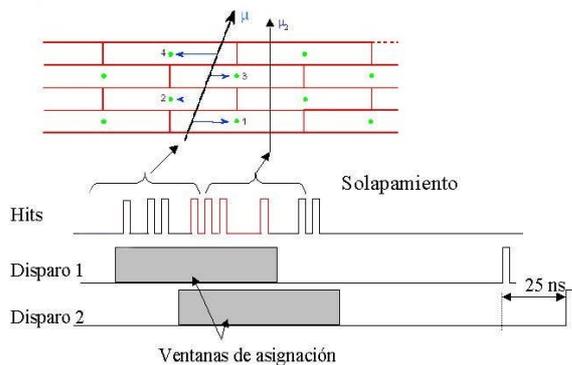
La resolución que se espera de las cámaras de deriva es del orden de  $250\ \mu\text{m}$  por hilo, lo que equivale a una resolución temporal de  $4,5\ \text{ns}$  por canal, por lo que el sistema digitalizador que se utilice a continuación debe proporcionar medidas temporales con una resolución suficiente para no deterioran la información temporal proporcionada por la cámara, una resolución del orden de  $1\ \text{ns}$  por canal es más que suficiente.

Por otro lado, la velocidad media de deriva que se tiene con el campo eléctrico y el gas empleado en las cámaras de CMS es del orden de  $54,3\ \mu\text{m}/\text{ns}$ . Puesto que el ancho de la celda es de  $4,2\ \text{cm}$ , el tiempo máximo de deriva es de unos  $386,74\ \text{ns}$ , siendo éste el tiempo mínimo durante el cual el sistema debe ser capaz de realizar medidas temporales para cada una de las señales de disparo. Este parámetro se denomina ventana de asignación.

No obstante, hay que tener en cuenta que el sistema de disparo de primer nivel (L1A) tardará aproximadamente  $3,2\ \mu\text{s}$  en proporcionar una señal de disparo válida al correspondiente cruce de haces. Debido a este modo de funcionamiento, no basta con utilizar un TDC de START-STOP común, pues es necesario un sistema con memoria que permita almacenar durante los  $3,2\ \mu\text{s}$  de latencia todas las señales producidas dentro de la ventana de tiempos hasta que se reciba la señal de disparo L1A y se pueda realizar la asignación.

Uno de los factores más críticos para la elección del dispositivo es el hecho de que los cruces de haces en el LHC se producirán cada  $25\ \text{ns}$ , mientras que las señales procedentes de un cruce de haces pueden tardar al menos  $386,74\ \text{ns}$  en llegar al digitalizador de tiempos. Por tanto, las señales asignadas a cada disparo pueden pertenecer a distintos cruces de haces, y el sistema debe ser capaz de manejar sucesos que se solapen en el tiempo.

En la figura 3.1 se puede ver una representación de este sistema de ventanas temporales que ayuda a clarificar el concepto de solapamiento de disparos. Este concepto se explicará con más detalle en el apartado 3.4.2.

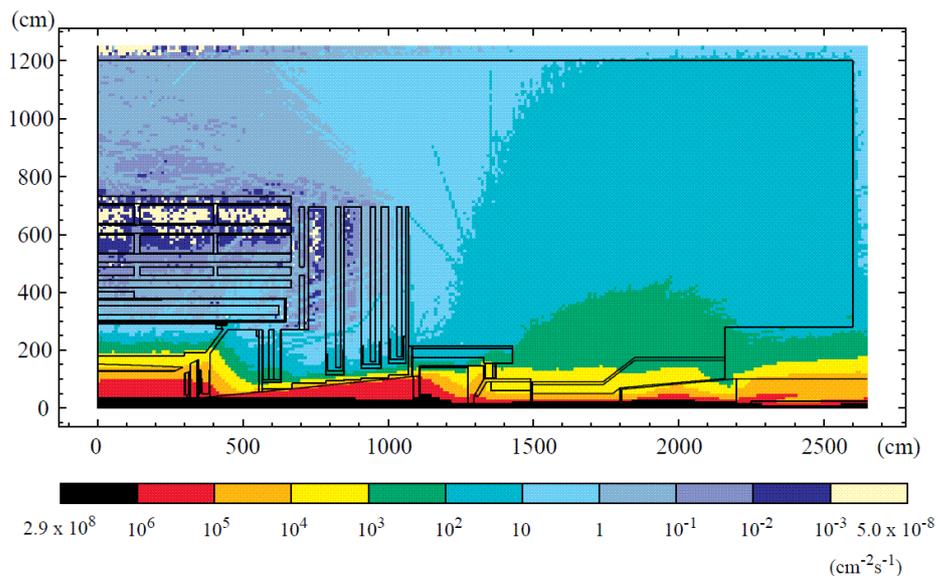


**Figura 3.1:** Diagrama temporal en el que se ha producido el solapamiento de dos disparos.

Es por tanto imprescindible que las señales recibidas no sean borradas de las memorias de almacenamiento una vez realizada la asignación, sino que se emplee un mecanismo de rechazo en el que se borren las señales cuando sean más antiguas que un tiempo igual a la latencia de disparo más un margen de seguridad.

El hecho de que en un mismo suceso se tengan señales procedentes de muones de colisiones distintas supone que algunas señales se leerán repetidas veces, aumentando la tasa de datos transferida, pero no supone un problema a la hora de reconstruir el cruce de haces del que proviene cada muón como se explicará en la sección 3.4.6.

Otro requisito importante es que el sistema debe ser capaz de funcionar con una tasa de disparos del hasta 100 kHz, con un intervalo mínimo entre dos disparos consecutivos de 3 ciclos de reloj y una tasa de disparo máxima instantánea impuesta por las reglas de disparo de 538 kHz. Además, como puede verse en la figura 3.2, la tasa máxima de señales que se espera en las cámaras de muones es de varios kilohertzios por canal.



**Figura 3.2:** Simulación de la tasa de partículas cargadas que se espera en el detector CMS para una luminosidad del LHC de  $10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ .

Finalmente, el sistema debe ser capaz de proporcionar un identificador del número de evento y del cruce de haces al que pertenece el suceso proporcionado, con el fin de sincronizar estos datos con el resto de la información de los distintos subdetectores de CMS.

Para cumplir los requisitos anteriores era necesario emplear un dispositivo diseñado específicamente para este sistema. Por ello se diseñó en el Laboratorio de Microelectrónica del CERN un ASIC HPTDC (*High Performance Time to Digital Converter*), basado en los requisitos que necesitábamos los usuarios de sistemas de medición de tiempo de los distintos experimentos del LHC. Este dispositivo cumple con todos los requisitos antes impuestos realizando la digitalización temporal de 32 canales.

El sistema a diseñar debe procesar los 172.200 canales procedentes de las 250 cámaras del detector de muones del barril. Dado lo elevado de este número y la gran superficie cubierta por las cámaras de deriva, se decidió construir un sistema que pudiera situarse físicamente cercano a las propias cámaras, con el fin de minimizar la longitud de los cables procedentes de la electrónica frontal. Situar la electrónica en el interior de las ruedas de CMS conlleva, no obstante, otra serie de inconvenientes que es necesario tener en cuenta.

El primero de ellos es el reducido tamaño disponible, por lo que es necesario construir un sistema con una alta integración con el fin de minimizar el espacio que ocupa. Por ello se decidió emplear 4 HPTDCs en cada tarjeta ROB, de forma que cada tarjeta digitalizase 128 canales de cámara, necesitando fabricar un total de 1.500 tarjetas ROB, con un total de 6.000 HTPDCs. Al integrar varios HPTDCs en cada tarjeta se obtenía una gran ventaja en cuanto a número de componentes electrónicos que no necesitan ser replicados, reduciendo tanto espacio como coste.

Las señales procedentes de las cámaras de muones son señales diferenciales que recorren una distancia media de unos 2 metros desde las cámaras de deriva hasta los conectores de las ROBs. Las tarjetas ROB deben transmitir a su vez estas señales a las tarjetas TRBs (*Trigger Boards*) con el fin de que puedan emplearse simultáneamente en el sistema de disparo de las cámaras de deriva.

Por otro lado, una vez realizada la digitalización de las señales, las ROB deben enviar esta información a las tarjetas ROS (*Read Out Server*), situadas a una distancia máxima de 40 m, por lo que el enlace empleado debe ser de alta fiabilidad con el fin de garantizar la integridad de los datos.

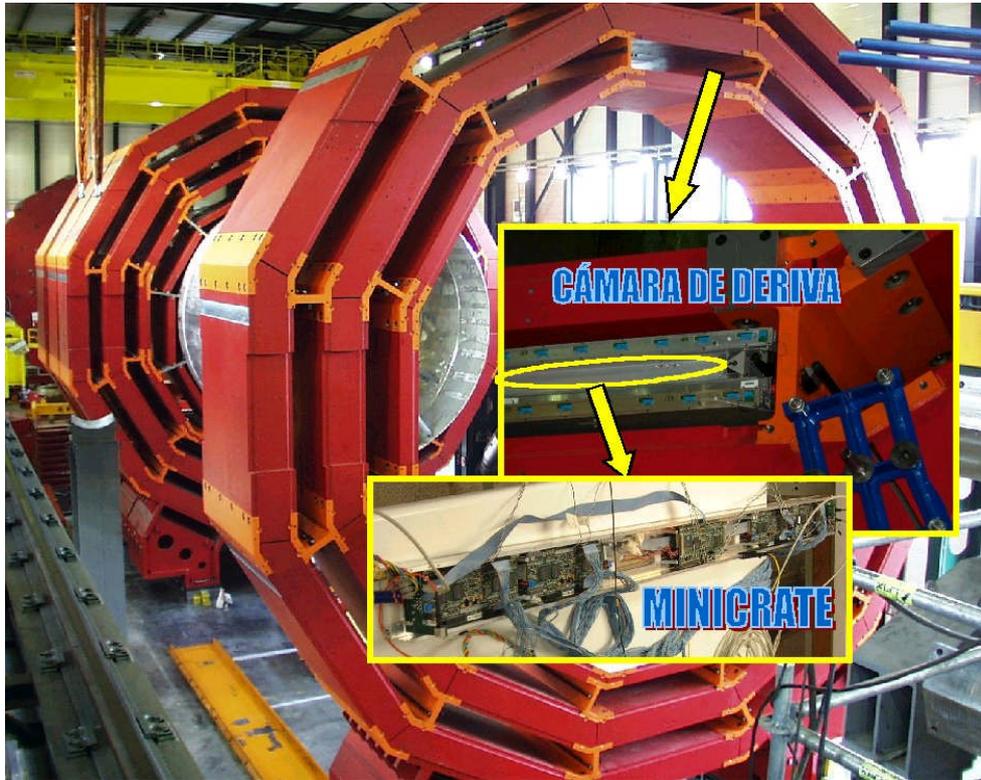
### **3.1.2 Requisitos mecánicos**

El espacio disponible para la instalación de la electrónica adyacente a las cámaras de deriva está limitado por la altura del perfil de panal de abeja que separa las dos Supercapas y que es de 12,8 cm. En este espacio es donde se instalará la estructura de aluminio denominada Minirate que contendrá las tarjetas ROB. La altura máxima permitida para las tarjetas ROB es 10 cm.

Por otro lado, el ancho máximo permitido para el Minirate depende del tipo de cámara de deriva al que se conecte, siendo el más problemático el caso de las cámaras MB1 donde fue necesario fabricar una tarjeta ROB reducida de 13 cm

de ancho y un solo HPTDC. Esta tarjeta llamada ROB-32 es muy similar a la tarjeta ROB de 128 canales y por tanto las características que se describirán en los siguientes apartados le son de igual aplicación.

En la figura 3.3 puede verse la localización espacial de la electrónica de adquisición de datos dentro del detector CMS.



**Figura 3.3:** Imagen de la localización del Minicrate y de la cámara de deriva en una rueda del detector CMS.

### 3.1.3 Requisitos medioambientales

Las condiciones medioambientales que se esperan en la caverna en la que se alojará el detector CMS imponen también una serie de restricciones a la electrónica que se va a desarrollar para este experimento. La caverna de CMS es un entorno cerrado a 100 metros bajo la superficie en la que estarán presentes durante su operación intensos campos magnéticos y elevados niveles de radiación, y por tanto, será inaccesible. Esto obliga al cumplimiento de ciertas normas de seguridad.

Una de las restricciones básicas es la utilización de material no inflamable y libre de halógeno, factor que es importante tener en cuenta, por ejemplo, en la selección de los cables que se utilicen [103]

El escaso espacio disponible, que impedirá la circulación de aire, y el campo magnético residual presente en la zona del orden de 0,08 Teslas, impiden cualquier sistema de refrigeración de las tarjetas basado en ventiladores. Por ello, se emplea una disipación por contacto térmico, disipándose el calor generado por

la electrónica mediante un sistema de refrigeración basado en agua. Este factor obliga a un diseño específico de las tarjetas ROB y de la estructura metálica que las fija al Minicrate, con el fin de garantizar una correcta disipación térmica. Debido al intenso campo magnético presente en la zona, es también fundamental el empleo de materiales no magnéticos en toda la estructura mecánica.

Asimismo, es necesario minimizar la potencia consumida por las tarjetas ROB y monitorizar el valor de las temperaturas y corrientes de cada tarjeta de forma remota. Además, con el fin de minimizar los riesgos de incendios y los consumos desmesurados, los equipos deben estar dotados de sistemas de protección frente a cortocircuitos y consumos excesivos que pudieran proceder de *latch-ups* debidos a la radiación.

El período de operación estimado para CMS es de 10 años, y en la mayoría de los subdetectores la posibilidad de mantenimiento será escasa. El acceso a las zonas internas del detector será muy restringido, y aunque se ha diseñado un procedimiento de apertura del detector, es importante que los equipos que se instalen sean robustos y fiables. En concreto, el acceso a las tarjetas ROB requiere la separación de las ruedas del detector para poder acceder a los Minicrates donde están alojadas, tarea que en principio no se prevé realizar, salvo casos excepcionales.

Dada la difícil accesibilidad a la electrónica, es necesario que el sistema sea robusto y fiable y disponga de la lógica necesaria que permita su configuración remota y la comprobación de su estado. Puesto que el diseño del detector de muones ya incluye suficiente redundancia, la duplicación de componentes no está justificada, siendo no obstante de vital importancia que se minimice la propagación de fallos, de forma que si cualquier parte del detector o de la electrónica no funciona correctamente, pueda enmascarse individualmente sin que esto impida el correcto funcionamiento del resto.

El factor más importante, sin duda, está relacionado con la radiación ambiente que existirá en la caverna debido a las partículas secundarias y cascadas que se produzcan como consecuencia de la operación del LHC. Por una parte, se inducirá radioactividad en los materiales del detector, siendo éste un efecto acumulativo que dificultará el acceso de personal al interior de la caverna, y por otro lado, todo circuito electrónico que se emplee debe garantizar su correcto funcionamiento en ambientes con los niveles de radiación esperados.

Hay dos mecanismos básicos que inducen radiactividad en los materiales: activación por neutrones de baja energía e interacciones inelásticas hadrónicas de alta energía. Considerando 3 períodos de 60 días de operación con colisiones protón-protón por año, separados 10 días entre sí, junto con 6 semanas de colisiones de iones de plomo, se integra una luminosidad total de aproximadamente  $5 \cdot 10^5 \text{ pb}^{-1}$  durante los 10 años de operación.

La dosis integrada que se espera recibir en 10 años en la zona del detector de muones rondará los 0,2 Gy, con una fluencia de neutrones de  $10^{10} \text{ cm}^{-2}$  y de hadrones de  $10^9 \text{ cm}^{-2}$ . Por ello hay que seleccionar componentes adecuados y garantizar una tasa de fallos suficientemente baja.

Un factor muy importante a tener en cuenta es la tolerancia a la radiación de los dispositivos electrónicos que se empleen. Debido al alto coste de los

componentes desarrollados específicamente para ser resistentes a radiación, se utilizarán componentes comerciales (COTS: *Commercial-Off-The-Shelf*) que han de ser previamente probados bajo condiciones similares a las que se encontrarán en el LHC [104]. Existen diversas bases de datos [61] con información de los efectos de la radiación en distintos componentes comerciales, sin embargo, la mayoría de las pruebas se han realizado para sistemas que deben operar en el espacio, existiendo ciertas diferencias con respecto a la operación en LHC, principalmente debidas a la ausencia de neutrones en el espacio [105].

El impacto de la radiación en los circuitos integrados se presenta de dos formas [106]:

- Efectos de envejecimiento (TID, *Total Dose Effects* y daños por desplazamiento) modifican las propiedades eléctricas de los dispositivos, lo que resulta en una degradación gradual del funcionamiento del circuito integrado, proporcional a la dosis total recibida.
- SEE (*Single Event Effects*): son fenómenos aislados que pueden alterar los estados lógicos de los bits almacenados en las memorias (SEU, *Single Event Upset*), o llegar a ser destructivos y degradar abruptamente el circuito integrado como en el caso de los SEL (*Single Event Latch-up*) que pueden provocar un consumo tan elevado de corriente que deje inutilizable el componente. Estos efectos son aleatorios y su tasa de sucesos depende de la vulnerabilidad de los componentes electrónicos que se utilicen [107].

Los efectos por dosis total (TID) en los CMOS tienen como consecuencia principal el desplazamiento de las tensiones umbrales de los transistores NMOS y PMOS y el aumento de la corriente residual en los transistores NMOS. Esto suele afectar principalmente a la fiabilidad de componentes analógicos. Las tecnologías más antiguas son las más sensibles debido a su mayor anchura del óxido de la puerta. Los daños por desplazamiento afectan principalmente a los componentes bipolares pues influyen en la vida media de los portadores minoritarios mientras que en los CMOS los portadores mayoritarios son los principales responsables del transporte de carga.

Los daños provocados por SEE son los de mayor consideración cuando se utilizan componentes CMOS digitales, y es fundamental el diseño de sistemas con circuitos de protección que puedan responder de forma efectiva a los efectos de *latch-up*, para evitar riesgos no sólo de destrucción de los componentes sino también de la seguridad de todo el sistema electrónico. Frente a efectos de tipo SEU, la mejor forma de protección en componentes no resistentes a la radiación es la comprobación de los bits almacenados en los registros y memorias mediante chequeos de paridad o sistemas redundantes [108] y [109].

En definitiva, debe realizarse un diseño que cumpla con los requisitos impuestos por el experimento CMS, capaz de soportar tanto la radiación, como los intensos campos magnéticos, escaso mantenimiento y una gran capacidad de procesamiento de la información. A continuación se presenta a modo de resumen una tabla donde se recogen los distintos parámetros y requisitos que debe cumplir el sistema de adquisición de datos que se diseña.

Número de canales	172.200
Frecuencia de cruce de haces	40 MHz
Resolución temporal	< 1 ns
Latencia de disparo	3,2 $\mu$ s
Ventana de tiempos mínima	400 ns
Tasa de disparo máxima	100 kHz
Ocupación por canal máxima	Cientos de kHz
Permitir solapamiento de eventos	
Niveles de radiación permitidos:	
Flujo de neutrones	$10^{10}$ cm <sup>-2</sup>
Flujo de partículas cargadas	$10^9$ cm <sup>-2</sup>
Dosis de ionización total	0,21 Gy
Campo magnético	0,08 Teslas
Protección frente a cortocircuitos y consumos excesivos	
Consumo reducido	
Disipación térmica mediante refrigeración por agua	
Propagación de fallos mínima	
Configuración y monitorización remota	
Sistema robusto y fiable	

**Tabla 3.1:** Resumen de los principales requisitos en los que se basa el diseño de las tarjetas de adquisición de datos ROB.

## 3.2 EL DIGITALIZADOR DE TIEMPOS HPTDC

El dispositivo HPTDC es el circuito integrado empleado en la tarjeta ROB con el fin de realizar la digitalización temporal de las señales procedentes de las cámaras de deriva. Este dispositivo ha sido diseñado por el Laboratorio de Microelectrónica del CERN bajo los requisitos de los distintos usuarios finales, entre ellos el CIEMAT.

El HPTDC es un ASIC altamente programable fabricado por IBM en tecnología CMOS de 0,25  $\mu$ m. Tiene una alta densidad de integración, pudiendo digitalizar señales de hasta 32 canales por dispositivo, lo que lo hace muy adecuado para nuestros sistemas dado el elevado número de canales con el que se trabaja.

En principio está diseñado para trabajar en torno a 40 MHz, pues ha sido diseñado para experimentos del LHC, y por ello también incluye unos contadores que permiten identificar el número de suceso y el cruce de haces al que pertenece.

La resolución que proporciona en la medida temporal también depende del modo que se elija, existiendo un modo de baja resolución cuya anchura del bin es 0,78125 ns, uno de media resolución (bin = 195 ps) y otro de alta resolución (bin = 98 ps). También existe un modo de muy alta resolución que realiza una interpolación de cuatro medidas temporales consecutivas de una misma señal y que proporciona resoluciones de hasta 24 ps de bin, pero que reduce el número de canales disponibles a 8 por dispositivo en vez de 32.

Dentro de su gran versatilidad, el HPTDC permite programar los distintos valores de las latencias y ventanas temporales dentro de un amplio rango (hasta

25  $\mu$ s máximos recomendados), siendo también programable la posibilidad de asignar los *bits* a disparos o leerlos de forma independiente.

El modo de lectura del HPTDC también es configurable, permitiendo interfaces serie o paralelo, con distintos anchos de banda. Gracias a un sistema de configuración en anillo, pueden conectarse hasta 16 HPTDCs para compartir un mismo bus de lectura o un enlace serie. La arquitectura de conexión para el protocolo de lectura es bastante flexible, pudiendo utilizarse controladores externos, o bien que uno de los HPTDCs haga las funciones de controlador del anillo.

Aunque el HPTDC no se ha fabricado en una tecnología resistente a radiación, sí ha seguido unas normas de diseño para sistemas tolerantes a radiación, estimándose un correcto funcionamiento para niveles de radiación de hasta 300 Gy de dosis total con un pequeño incremento de la potencia consumida. Para poder detectar SEUs, todas las memorias internas y máquinas de estado tienen implementado un sistema de autodiagnóstico que permiten que el propio HPTDC identifique una disfunción.

El uso de la interfaz JTAG (*Joint Test Action Group Boundary Scan*) [110] para configurar y monitorizar el dispositivo es también un aspecto de gran utilidad dada la multitud de funciones que permite realizar mediante el uso de únicamente cuatro líneas de señales.

### 3.2.1 Arquitectura del HPTDC

La arquitectura general del HPTDC puede verse en la figura 3.7. En ella se observa que la medida temporal se realiza a partir de un DLL (*Delay Locked Loop*) [111] y un contador de cruce de haces síncrono, ambos alimentados con el mismo reloj procedente de un PLL (*Phase Locked Loop*) interno. Este PLL puede ser programado para multiplicar el reloj de entrada por 4 u 8 (160 MHz o 320 MHz) proporcionando así los modos de resolución media y alta. En el caso de que se utilice la frecuencia normal de operación el PLL también resulta de gran utilidad para filtrar las inestabilidades (*jitter*) que pueda tener el reloj a la entrada.

El PLL es un lazo de control de segundo orden cuyo esquema se presenta en la figura 3.4. El VCO (*Voltage Controlled Oscillator*) genera una señal de reloj simétrica cuya frecuencia y fase se compara con la señal de referencia. Si existe alguna discrepancia, ésta es detectada por el módulo PFD (*Phase Frequency Detector*), que ajusta el voltaje de control del VCO mediante una inyección de carga a través de un filtro. El PLL debe ser inicializado después de haber suministrado un reloj estable al HPTDC. La obtención de una correcta frecuencia y fase puede llevar aproximadamente 10 ms.

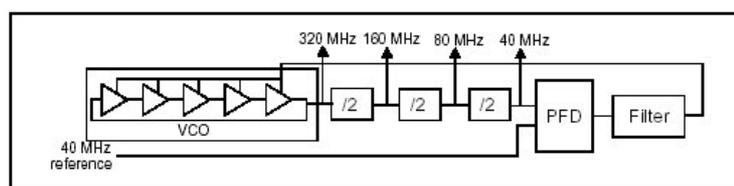


Figura 3.4: Representación esquemática del PLL del HPTDC.

El DLL está formado por tres módulos básicos: una cadena de 32 elementos de retardo, cuyo retardo total puede ser ajustado por una tensión de control, un detector de fase que mide el error entre la fase de entrada y la que se obtiene a la salida de la cadena de retardo, y un inyector de carga y filtro que generan la tensión de control de la cadena de retardos.

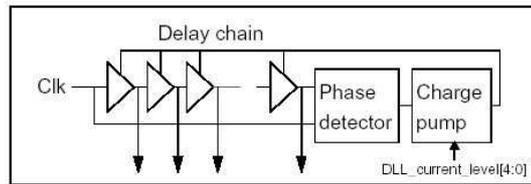


Figura 3.5: Esquema de los módulos del DLL del HPTDC.

Cuando un *hit* es recibido en alguno de los canales, el resultado de cada uno de los 32 elementos de retardo se codifica en 5 bits que representan los bits menos significativos de la medida temporal. Si se trabaja en modo de baja resolución, el reloj que se inyecta en el DLL es directamente el reloj externo de 40 MHz filtrado por el PLL y por tanto la resolución que se consigue es de  $25 \text{ ns} / 32 = 0,78125 \text{ ns}$ .

El contador de cruce de haces permite ampliar el rango dinámico de la medida temporal obtenida por el DLL. Este contador tiene 12 bits lo que proporciona, junto a los 5 bits obtenidos de la medida del DLL, un rango dinámico de 17 bits en el modo de baja resolución.

Además tiene implementado un sistema de dos registros funcionando con el reloj normal y con el complementario para evitar valores incorrectos en el caso de que las señales, que son asíncronas, lleguen en el preciso momento en el que el contador está cambiando de valor. Este mecanismo puede verse en la figura 3.6.

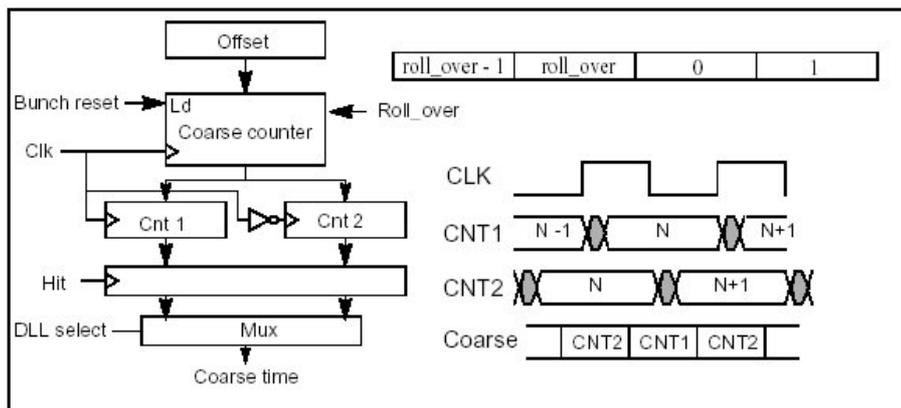


Figura 3.6: Representación de la carga del contador de cruce de haces a la llegada de un *hit* con el mecanismo de fase desplazada.

Cuando llega una señal procedente de las cámaras de deriva (*hit*), el valor del contador y del DLL se almacena en unos registros internos “*Hit Registers*” como se puede ver en la figura 3.7. Existen cuatro “*Hit Registers*” por canal que permiten almacenar medidas consecutivas mientras los datos son transferidos a la

memoria de primer nivel “*L1 buffer*”, que es común para cada grupo de 8 canales y tiene una profundidad de 256 posiciones.

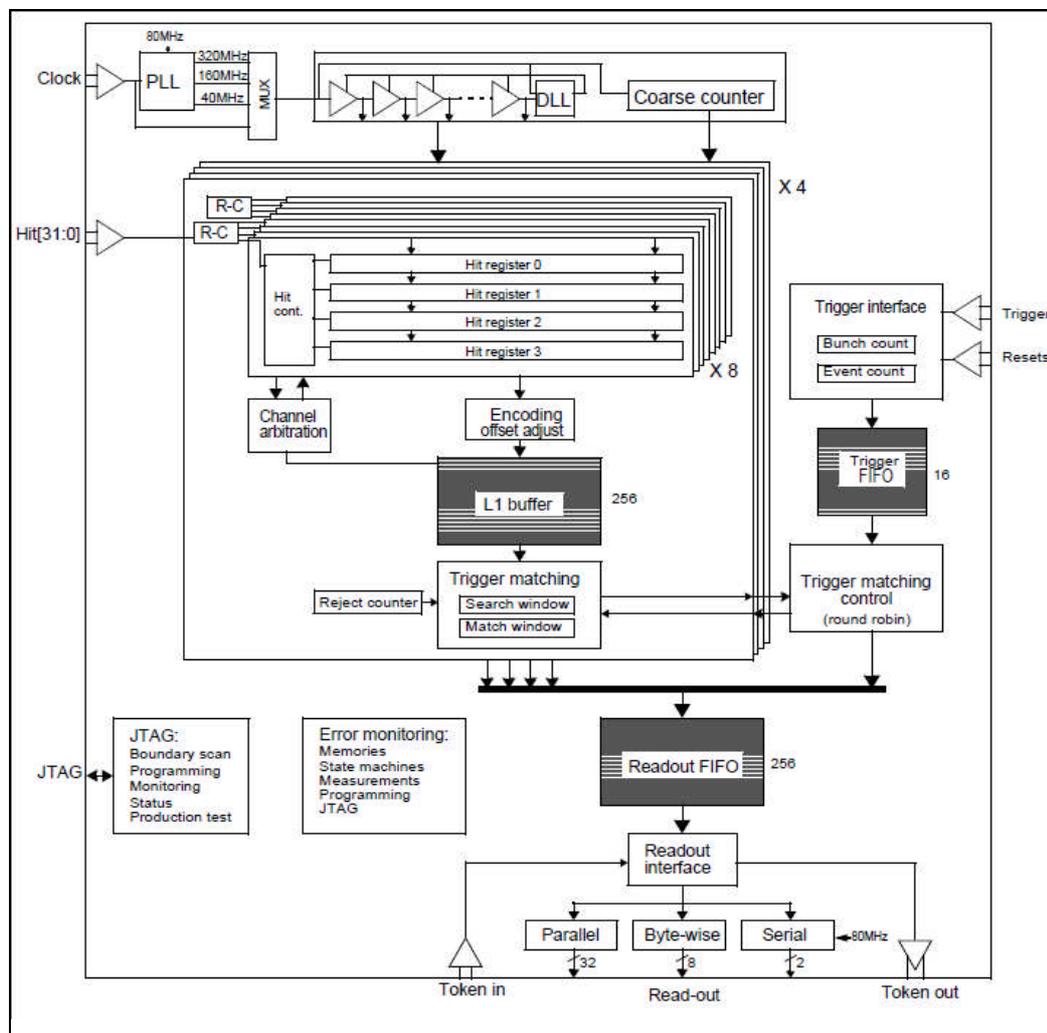


Figura 3.7: Arquitectura del dispositivo HPTDC empleado en la tarjeta ROB.

Los disparos se almacenan en una FIFO (*First In, First Out*) de 16 posiciones, donde esperan hasta que se realice la asignación de *bits* de las memorias de primer nivel con el disparo de la cabecera de la FIFO. Una vez realizada esta operación, los *bits* seleccionados se escriben en la memoria de salida, compartida por los 32 canales y que tiene una dimensión de 256 palabras. Esta memoria puede ser leída desde tres tipos de interfaces distintos: paralelo, serie o *byte-wise*.

El HPTDC puede ser programado para realizar medidas tanto del flanco de subida, como del de bajada o de la anchura de la señal recibida. En nuestro caso, sólo necesitaremos realizar la medida del flanco de subida de los *bits*.

Las especificaciones del HPTDC establecen una diferencia temporal entre canales máxima de  $\pm 1$  ns, así como una interferencia entre canales (*crossstalk*) de hasta 150 ps y una variación con la temperatura de 100 ps cada 10 °C. El tiempo muerto de cada canal es de 5 ns, lo cual en nuestro caso no supone una restricción

pues las señales procedentes de las cámaras de deriva tienen un ancho de al menos 50 ns.

La tasa máxima de *bits* recomendada es de 2 MHz utilizando todos los canales en el modo de baja resolución y la tasa de disparos que puede alcanzar es de aproximadamente 1,5 MHz, aunque el valor máximo depende de la tasa de *bits* que se tenga, puesto que el conjunto determinará el llenado de las distintas memorias.

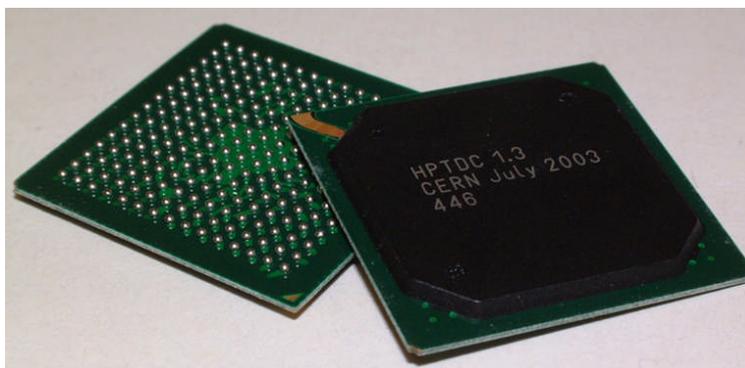
La potencia que consume es de 450 mW en el modo de baja resolución, y el dispositivo se alimenta a 2,5 y a 3,3 voltios. El rango de temperatura válido es entre  $-40^{\circ}\text{C}$  y  $70^{\circ}\text{C}$ , lo que es más que suficiente para nuestra operación.

Por otro lado, la interfaz eléctrica es también bastante versátil, pudiendo utilizarse en la mayoría de las señales (*bits*, reloj, disparo y *reset* o lectura serie) niveles LVDS (*Low Voltage Differential signaling*) o LVTTL (*Low Voltage Transistor Transistor Logic*: 3,3 V) [112], programable en el dispositivo. El resto de las señales utilizan niveles LVTTL.

El HPTDC se ha empaquetado en una BGA de plástico de 225 pines. La disipación de calor del dispositivo se realiza por conducción a través de las bolas de soldadura de los distintos pines. En la tabla 3.2 se presentan algunos parámetros característicos del HPTDC tal y como aparecen en sus especificaciones y en la figura 3.8 se puede observar una imagen del ASIC HPTDC.

Ancho del bin	781 ps
No linealidad diferencial	$\pm 0,2$ bin
No linealidad integral	$\pm 0,25$ bin
Resolución temporal	0,34 RMS (265 ps)
Diferencia máxima entre canales ( <i>offset</i> )	Max $\pm 1$ ns
<i>Crosstalk</i> entre canales	150 ps
Variación con la temperatura	100 ps / $10^{\circ}\text{C}$
Distancia mínima entre pulsos consecutivos	10 ns
Máxima tasa de datos recomendada	2 MHz por canal

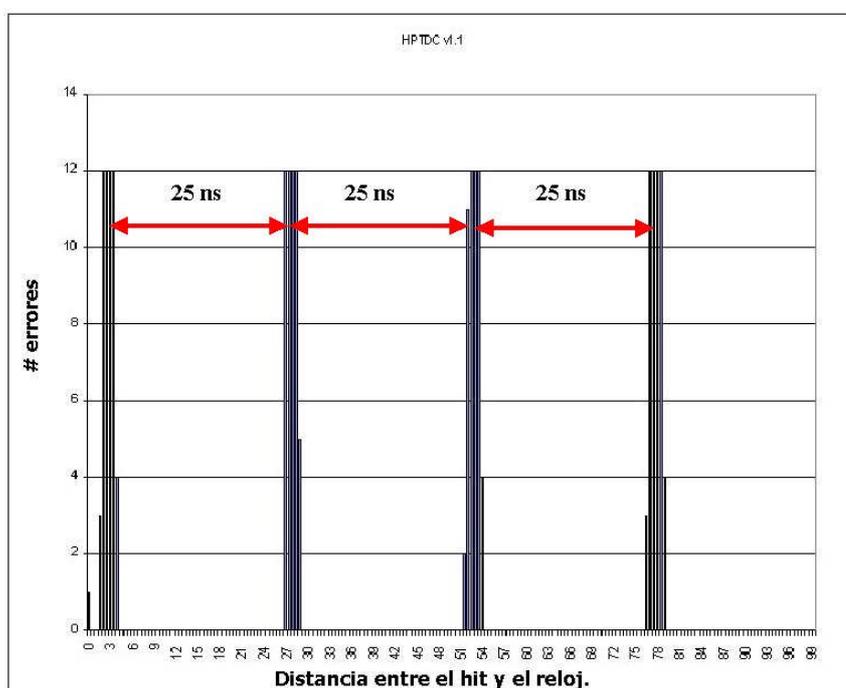
**Tabla 3.2:** Parámetros característicos del HPTDC.



**Figura 3.8:** Imagen del ASIC HPTDC empleado en las tarjetas ROB.

### 3.2.2 Problemas detectados en el HPTDC

Las diferentes versiones del dispositivo HPTDC han sido probadas en el CIEMAT para verificar su correcto funcionamiento para nuestras aplicaciones y detectar posibles fallos. Por ejemplo, en una primera versión del HPTDC, se detectó una interferencia entre la llegada de *bits* al HPTDC y la fase del reloj, produciéndose un error de paridad del contador de cruce de haces cuando la rampa de subida del *bit* coincidía con la fase positiva de reloj. Esto puede verse en la figura 3.9 en la que se representa el número de errores obtenidos en 12 intentos para cada valor del retardo del *bit*, en pasos de 0,5 ns. Como puede verse cada 25 ns coinciden las fases, y se obtiene un error de HPTDC. Este problema se ha resuelto en la última versión del HPTDC, en la que se han modificado algunos pasos de la fase de metalización en la fabricación del chip.



**Figura 3.9:** Representación de la tasa de errores de una versión previa del HPTDC como consecuencia de la interferencia entre la señal de reloj y los *bits*.

En la última versión del HPTDC (versión 1.3) que es el que se empleó finalmente, el único fallo reseñable es que el número de palabras (*Wordcount*) que proporciona el último campo de la palabra de cola global, que cierra el suceso y que refleja el número de palabras transmitidas, es incorrecto cuando se habilitan las colas locales en los HPTDCs, ya que la última cola local no se cuenta y por tanto se obtiene un número inferior al que correspondería. Este es un error de diseño del HPTDC que no tiene ningún efecto su aplicación normal y por tanto no se consideró necesario corregir.

### 3.3 DISEÑO DE LA TARJETA ROB

La tarjeta ROB (*Read Out Board*), que permite realizar la digitalización temporal de las señales procedentes de las cámaras de deriva, se diseñó de acuerdo con los requisitos expuestos en el apartado 3.1. Cada tarjeta ROB incorpora 4 dispositivos HPTDCs, permitiendo realizar la digitalización temporal de 128 canales. La elección de cuatro HPTDCs ofrecía un compromiso entre el espacio requerido, el número de dispositivos comunes a emplear, el número de canales no conectados en cada cámara y el ancho de banda útil efectivo a compartir por los cuatro HPTDCs en cada ROB. En la figura 3.10 se observa una imagen de esta tarjeta.

La tarjeta ROB es un circuito impreso de 10 capas cuyas dimensiones son 22,6 x 9,8 cm. Existen dos planos de alimentación, uno de 2,5 V y uno de 3,3 V, y dos planos de masa. Todos estos planos facilitan la disipación térmica de la placa, ya que ésta va a tener lugar por conducción. Para ello se situaron también dos bandas metálicas de 6 mm de anchura conectadas a masa en las zonas en las que la tarjeta se va a apoyar sobre unos raíles en el Minicrate para facilitar así la disipación. Lo mismo ocurre en la parte superior donde unas tiras de aluminio separarán la ROB de las TRBs, aumentando así la superficie de contacto y por tanto, la disipación de calor.

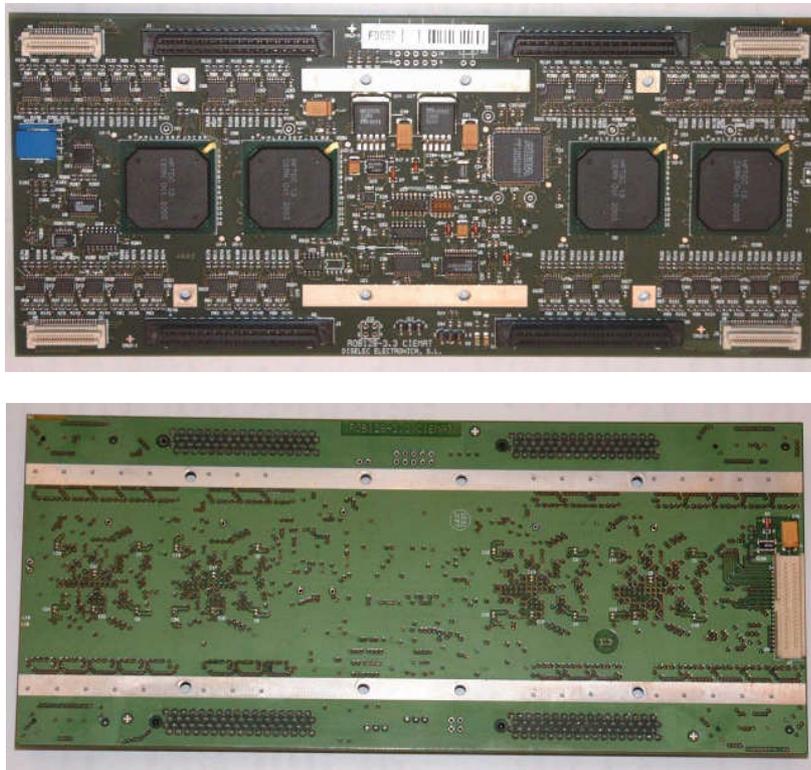


Figura 3.10: Imagen de la cara frontal y trasera de la tarjeta de adquisición de datos ROB.

### 3.3.1 Etapa de entrada de las señales procedentes de las cámaras de deriva

Las señales LVDS procedentes de la electrónica frontal (FEB) de las cámaras se conectan a la ROB a través de los cuatro conectores Amphenol G257U-068-01 de 68 pines [113] situados en la parte superior e inferior de la tarjeta. Estas señales diferenciales se terminan en la tarjeta ROB con unas resistencias de  $105\ \Omega$  iguales a la impedancia de los cables procedentes de las cámaras.

Se ha prestado especial atención al rutado de estas señales diferenciales en las que cada par debe ir lo más cercano posible entre sí para minimizar interferencias y ambas líneas deben tener la misma longitud para evitar desfases entre la información que transportan. Esto puede apreciarse en la figura 3.11.

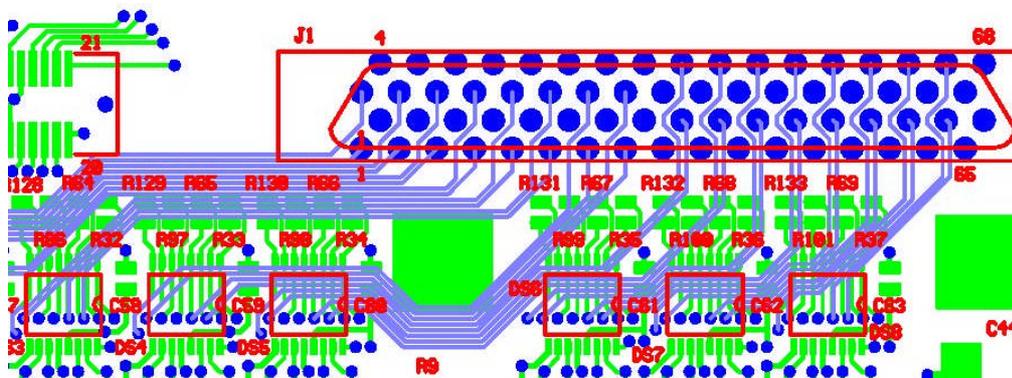


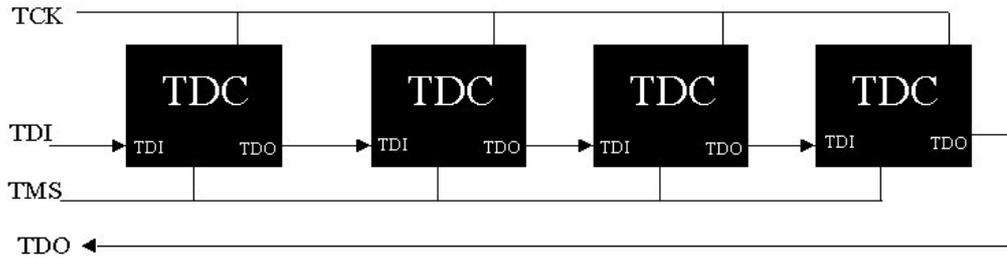
Figura 3.11: Imagen del rutado de las líneas diferenciales de entrada.

Las señales LVDS se transforman a LVTTTL en la placa mediante los convertidores DS90LV048 [114], obteniendo 128 líneas en vez de las 256 diferenciales. Estas 128 líneas LVTTTL se envían a las entradas de los HPTDCs y a las tarjetas TRB que se conectarán a la ROB a través de unos conectores del tipo AMP 177983-1 de 40 pines [115]. Asimismo, existen unas resistencias de *pull-down* de  $10\ \text{k}\Omega$  en cada línea para evitar que las salidas LVTTTL floten cuando se desactivan los convertidores de entrada.

El empleo de estos convertidores LVDS-LVTTTL para los *bits* también facilita el enmascaramiento que hay que realizar para el modo *Test Pulse*, ya que se habilitarán y deshabilitarán convenientemente estos convertidores, de forma que se permita la llegada o no de *bits* tanto a las TRBs como a los HPTDCs. De esta forma interesa disponer de convertidores de 4 canales, para poder habilitar los canales con suficiente granularidad.

### 3.3.2 La interfaz JTAG de control y monitorización de la ROB

Dado que el acceso a los registros internos de los HPTDCs se realiza mediante una interfaz JTAG, se conectaron los 4 HPTDCs en cada ROB utilizando una configuración serie de las líneas JTAG como puede verse en la figura 3.12, optimizando así el número de líneas de control requerido.



**Figura 3.12:** Representación de la conexión de las líneas JTAG en los 4 HPTDCs de cada ROB.

El estándar JTAG nació como un mecanismo de test y detección de fallos en circuitos impresos y en dispositivos digitales, permitiendo asegurar la integridad de los componentes y de sus interconexiones dentro de un circuito impreso o en la interconexión entre placas. Los dispositivos que contienen lógica *Boundary-Scan* pueden enviar y recibir señales a través de sus pines de entrada/salida de forma que se validen las líneas de conexión a otros componentes. Asimismo, puede emplearse este mecanismo para detectar fallos internos en la circuitería del propio dispositivo.

El estándar JTAG proporciona además al fabricante de dispositivos una gran flexibilidad a la hora de definir las instrucciones JTAG a las que el componente puede responder. Este hecho, junto con la gran simplicidad del protocolo, hace que esta interfaz sea también muy utilizada para el acceso a registros internos de los dispositivos como en el caso del HPTDC.

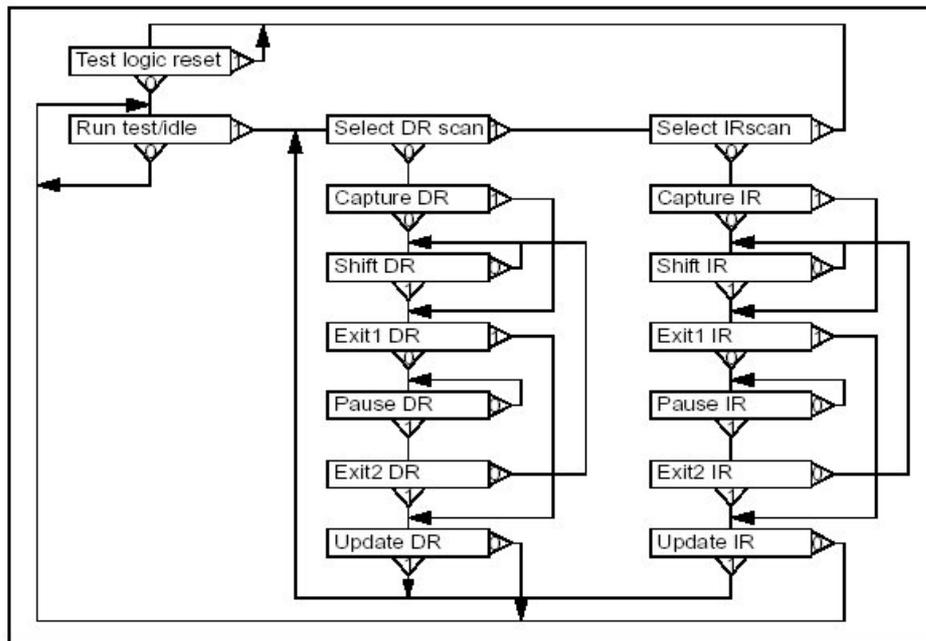
Las señales entre los distintos bloques lógicos del dispositivo están interceptadas por una serie de registros (*Boundary Scan Register*) que pueden leerse a través de las señales de la interfaz JTAG. En modo normal de funcionamiento estos registros son transparentes. El protocolo se basa en el empleo de 5 líneas cuya combinación de valores lógicos determinan el estado del controlador JTAG. Las líneas JTAG son:

- **TRST** (*Test ReSeT*): es una señal de entrada que inicializa el controlador JTAG. Esta señal es opcional.
- **TMS** (*Test Mode Select*): los valores lógicos de esta línea controlan las transiciones en la máquina de estados JTAG.
- **TCK** (*Test ClocK*) es una entrada que controla la temporización de la interfaz JTAG de forma independiente a otros relojes del sistema.
- **TDI** (*Test Data Input line*) contiene el bit de entrada a los registros JTAG.
- **TDO** (*Test Data Output line*) es la línea de salida del registro JTAG. La conexión de la línea TDO de un registro a la entrada TDI del siguiente permite enlazar en serie los distintos registros y dispositivos en una misma cadena.

La carga en un registro del valor de la línea TDI se produce en el flanco de subida de la señal TCK, siendo su flanco de bajada el que valida el dato

correspondiente en la línea TDO. De esta forma, mediante la subida y bajada de la línea TCK se introducen y extraen los valores deseados en los distintos registros del dispositivo que se interconectan como una serie de registros de desplazamiento.

La operación de la interfaz de test se controla a través del controlador JTAG TAP (*Test Access Port*). Este controlador es una máquina de estados cuya estructura se observa en la figura 3.13. Como puede verse existen dos ramas principales, la correspondiente a la escritura de las instrucciones y la de entrada y salida de datos. El registro del dispositivo en el que se cargan los datos una vez se alcanza el estado “*Shift DR*”, depende de la instrucción JTAG que se haya cargado en la rama de instrucciones. Activando la señal JTAG TRST se fuerza al controlador TAP a volver al estado de “*Test Logic Reset*”. En el caso de que esta línea no esté presente, siempre se puede alcanzar el estado “*Test Logic Reset*” tras el envío de cinco 1’s consecutivos en la línea TMS, independientemente del estado de origen.



**Figura 3.13:** Diagrama de estados del controlador TAP de la interfaz JTAG. El valor de la línea TMS indica el siguiente estado al que desplazarse en cada ciclo de reloj.

Las principales instrucciones JTAG que se emplean en el HPTDC son:

- **IDCODE:** que permite leer el número identificador que está almacenado en el dispositivo y que es diferente según la versión del HPTDC del que se trate. Es una palabra de 32 bits que en nuestro caso tiene el valor 0x8470DACE.
- **SETUP:** Permite la carga y la lectura de los bits almacenados en el registro de configuración del HPTDC. Este registro tiene 647 bits y, debido a su tamaño, no posee un registro intermedio en el que se carguen los bits, sino que directamente se escribe sobre el propio registro

de configuración, siendo esta escritura destructiva. Los principales parámetros que se pueden configurar son los valores de las diferentes ventanas y latencias, las corrientes del PLL y del DLL, los modos de lectura, la interfaz eléctrica de las distintas líneas, el modo de resolución, el formato del paquete de datos enviado, etc.

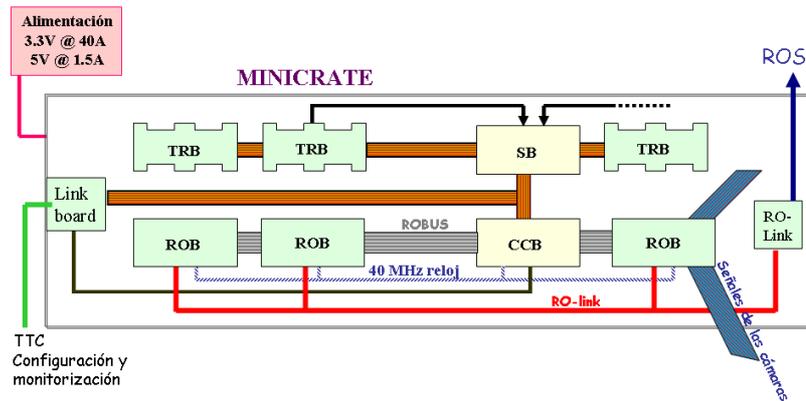
- **CONTROL:** Permite la lectura del registro de control. Este registro permite inicializar el HPTDC, habilitar o deshabilitar los canales individualmente y activar el PLL y el DLL.
- **STATUS:** Con esta instrucción se accede al registro de estado del HPTDC, pudiendo obtenerse la información del llenado de las diferentes memorias internas, de quien posee el testigo para la transmisión de datos y, en caso de suceder, del tipo de error presente en el HPTDC.

La configuración de los HPTDCs debe seguir una serie de pasos dado que por defecto, y tras aplicar las tensiones de alimentación, el dispositivo se encuentra en un estado de bajo consumo en el que la mayoría de sus salidas y el PLL se encuentran desconectados. La secuencia necesaria para su configuración es la siguiente:

- Carga de la instrucción de SETUP y de los bits de configuración.
- Asegurar que hay un reloj válido conectado al HPTDC.
- Escritura en el registro de CONTROL reiniciando el PLL y el DLL.
- Escritura en el registro de CONTROL activando el PLL y manteniendo desactivado el DLL.
- Escritura en el registro de CONTROL activando el DLL.
- Escritura en el registro de CONTROL reiniciando todos los bits de error.
- Escritura en el registro de CONTROL activando los *drivers* de salida del HPTDC.

### 3.3.3 Conexión con el sistema de control y monitorización

La tarjeta encargada de realizar la configuración y monitorización de la tarjeta ROB es la tarjeta CCB (*Chamber Control Board*) que se sitúa en centro del Minicrate y se conecta a todas las ROBs a través de un bus paralelo llamado ROBUS, como se puede ver en la figura 3.14.



**Figura 3.14:** Esquema de las tarjetas y las interfaces en el interior del Minicrate. Las tarjetas ROB se conectan a la CCB a través del cable ROBUS. La CCB se conecta a su vez a través de la CCB Link Board al sistema TTC y al sistema de control de la configuración y la monitorización.

Las ROBs se conectan al ROBUS a través de un conector ODU 515.568.035.040 de 40 pines [116] cuyo mapa se puede observar en la tabla 3.3.

PINES	CONECTOR ROBUS	PINES	CONECTOR ROBUS
1	Bunch counter reset (+)	21	JTAG TDO
2	Bunch counter reset (-)	22	Tierra
3	Disparo (+)	23	ADD0
4	Disparo (-)	24	ADD1
5	Reset (+)	25	ADD2
6	Reset (-)	26	ADD3
7	Event reset (+)	27	Tierra
8	Event reset (-)	28	FLTB
9	Test Pulse mode	29	RON0
10	Tierra	30	RON1
11	Track advance	31	RON2
12	Tierra	32	RON3
13	Track reset	33	RON4
14	Tierra	34	RON5
15	JTAG TMS	35	RON6
16	Tierra	36	Tierra
17	JTAG TCK	37	Roberror
18	Tierra	38	Tierra
19	JTAG TDI	39	TDIO
20	Tierra	40	Tierra

**Tabla 3.3:** Listado de señales del conector ROBUS.

Este conector contiene en primer lugar las señales TTC que permiten sincronizar la operación de la tarjeta ROB con el resto de los subdetectores de CMS. Estas líneas son por una parte la señal de disparo L1A, el *reset* del contador de número de evento (*Event Reset*) y del contador de cruce de haces (*Bunch Counter Reset*), que son señales rápidas de 25 ns de duración, por lo que se transmiten en LVDS para garantizar su integridad a lo largo del bus. Un convertor DS90LV048 situado en la ROB las convierte a niveles LVTTL una vez han llegado a la placa.

Por otro lado, se tienen las señales de activación y control del modo de operación *Test Pulse* (*Test Pulse Mode*, *Track Advance* y *Track Reset*) y las cuatro señales JTAG: TMS, TCK, TDI y TDO, que son señales lentas por lo que pueden transmitirse en lógica LVTTTL. Se han colocado unas resistencias de *pull-up* en las señales TDI y TDO para evitar que queden flotando en caso de estar desconectadas, impidiendo que la tarjeta ROB entre en un modo de funcionamiento no controlado. La señal TRST se conecta a la alimentación de la placa a través de una resistencia y un condensador a masa, reiniciándose la máquina de estados con el encendido de la tarjeta.

El encendido y apagado de la tarjeta ROB también está controlado por la tarjeta CCB, que puede apagar individualmente cada una de las tarjetas en caso de mal funcionamiento. Para ello se han asignado siete líneas dedicadas (RON), una para cada tarjeta ROB dentro del Minicrate, que dependiendo de si están activas o no, indican si la ROB correspondiente debe estar encendida.

El diagrama del sistema de encendido y de direccionamiento se puede observar en las figuras 3.15 y 3.16. La ROB dispone de un interruptor de 4 bits (S1) cuya posición determina la dirección asignada a cada ROB dentro de un Minicrate. Los tres bits menos significativos de este interruptor se emplean en el multiplexor digital 74AC151 [117] para indicar si esa ROB debe estar encendida. Por ejemplo, si la línea RON3 ha sido desactivada por la CCB y la ROB correspondiente tiene configurado en su interruptor el valor 3, la salida Y del 74AC151 deshabilitará los reguladores de la tarjeta ROB forzando al apagado de las alimentaciones. Sólo el dispositivo 74AC151 queda encendido con el fin de detectar cambios en las líneas RON que fueren el encendido de la tarjeta.

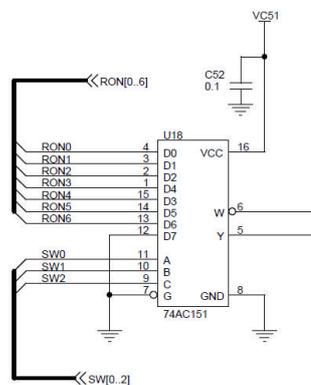


Figura 3.15: Diagrama de control del encendido de la tarjeta ROB.

Las señales RON que sirven para el encendido de la placa tienen conectadas unas resistencias de *pull-down* para garantizar que cada placa esté efectivamente apagada en caso de desconexión de una de estas señales.

Un mecanismo similar se emplea para seleccionar la tarjeta ROB dentro del Minicrate con la cual se quiere comunicar la CCB. Existen cuatro líneas de direcciones ADD en el ROBUS que se comparan con los valores del interruptor S1 en el dispositivo 74HC85 [118]. En el caso de que se esté direccionando la presente ROB, ésta activa una señal de THISBOARD que habilita el *buffer* 74LVC126A [119] permitiendo que sólo que la tarjeta seleccionada reciba los

comandos JTAG y que sólo ella responda (señal TDO). Cuando THISBOARD no está activada, las salidas del 74LVC126A se mantienen en alta impedancia. La señal THISBOARD se utiliza también para encender un led rojo D1 que indica que esa placa ha sido seleccionada.

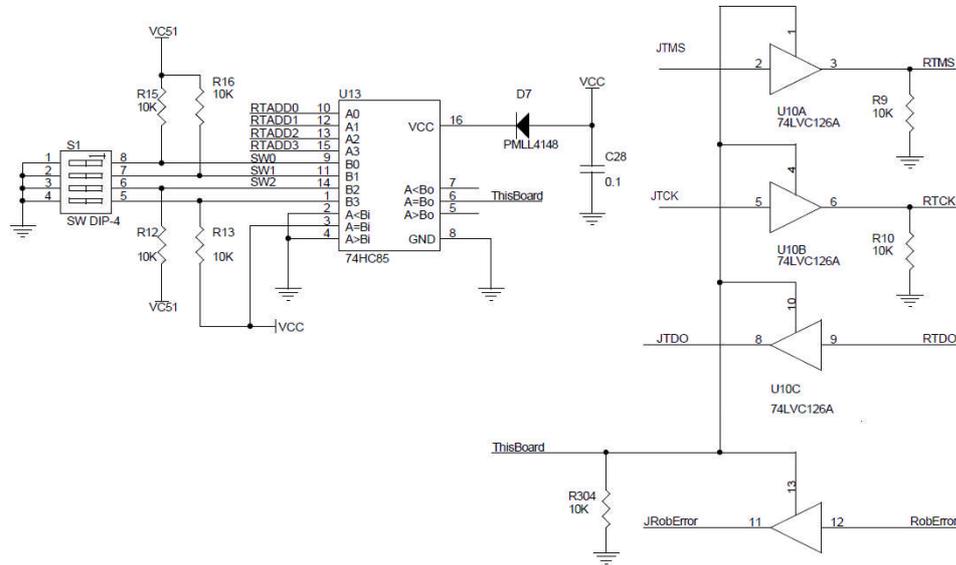


Figura 3.16: Diagrama del sistema direccionamiento de la tarjeta ROB.

Finalmente, a través del ROBUS también se transmiten las señales FLTB y TDIO, que se discutirán en el apartado del sistema de alimentación de la ROB, y la señal ROBERROR. Esta línea es activada por la ROB cada vez que se detecta una condición de error, y su transmisión por el ROBUS está condicionada a que la CCB dirija la correspondiente tarjeta para activar la línea THISBOARD que habilita el *buffer* de salida. Cuando se produce un error en cualquier HPTDC, la condición de error se notifica a través de la línea ROBERROR y también dentro del flujo de datos con una palabra de error.

### 3.3.4 Consideraciones sobre el *reset* y el reloj de la ROB

La señal de *reset* global de la tarjeta ROB también se transmite desde la CCB (*Chamber Control Board*) a las ROBs a través del ROBUS. Esta señal es común para todas las tarjetas, es decir, cuando se activa se realiza una inicialización de todas las ROBs del Minicrate.

La señal de *reset* inicializa todos los registros internos del HPTDC y vacía todas sus memorias. También reinicia los contadores de número de evento y de cruce de haces, situando al sistema en un estado preparado para la toma de datos, sin modificar los parámetros de configuración de los HPTDCs.

En la ROB, aparte de los HPTDCs, existe un dispositivo lógico programable CPLD Altera EPM7128AE [120] cuya funcionalidad se explicará en próximos apartados y cuya lógica también se reinicia tras la activación de la señal *reset*. Además, esta CPLD es la encargada de inicializar el serializador DS92LV1021 [121] mediante la activación de la señal PWRDN cuando se

produce un *reset*. La línea de PWRDN se conecta al serializador a través de un MIC1555 [122] en modo monoestable que genera un pulso de 1  $\mu$ s de anchura durante el cual se deshabilita y reinicia el serializador. El esquema de esta lógica se puede observar en la figura 3.17.

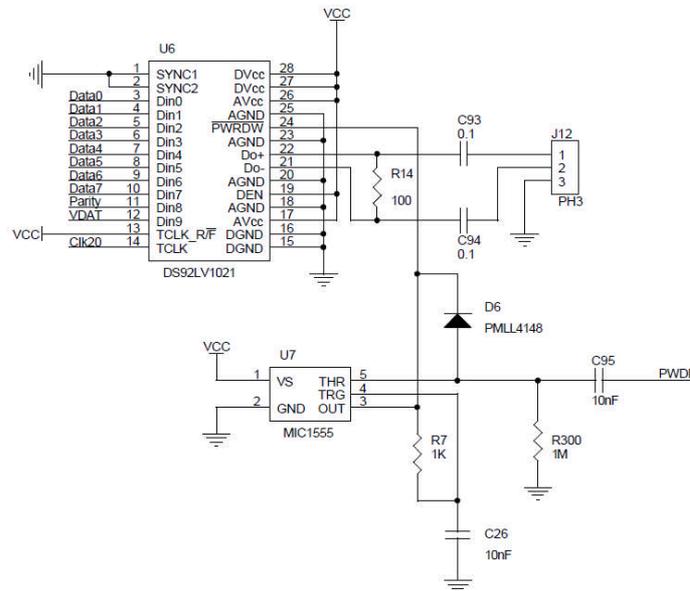


Figura 3.17: Activación de la señal PWDN que reinicia el serializador de la ROB.

El reloj de 40 MHz que se utilizará en la placa no se incluye dentro del ROBUS, sino que se han preferido unas conexiones externas punto a punto para evitar interferencias entre las líneas de la cinta plana con señales de alta frecuencia y garantizar la fase correcta en todas las ROB. Para ello se utilizará un cable de par trenzado individual para la distribución del reloj LVDS dentro del Minicrate a cada una de las ROB.

Una vez el reloj es recibido en la tarjeta ROB, el circuito DS92CK16 [123] convierte la señal de reloj LVDS a LVTTTL y realiza un *fan-out* para enviar un reloj a cada uno de los HPTDCs y otro a la CPLD. Uno de esos relojes será transformado a un reloj de 20 MHz en el interior de la CPLD para la operación del serializador DS92LV1021.

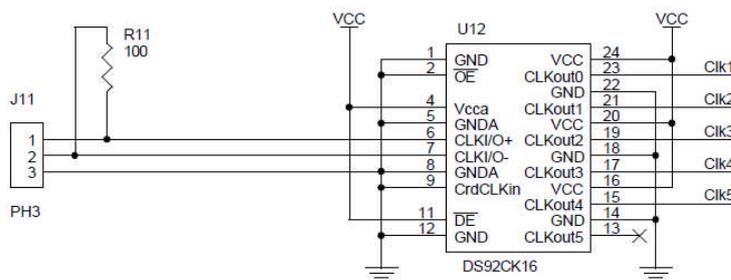


Figura 3.18: Diagrama de la conversión del reloj de entrada en la tarjeta ROB.

Se ha procurado tener especial cuidado a la hora de rutar la señal de reloj, de forma que las interferencias con otras pistas fueran lo menor posible. Por ello se la ha apantallado entre planos de masa para evitar que esta señal de alta frecuencia se induzca en otras pistas que discurran paralelas a ella [124] y [125].

El *jitter* medido en placa es de 34 ps rms (350 ps pico a pico) utilizando como generador de reloj un cristal de cuarzo. El PLL del HPTDC reduce este *jitter* hasta aproximadamente 25 ps rms, lo cual se ha podido medir utilizando la salida de test del HPTDC que puede configurarse para proporcionar señales internas del dispositivo, como el reloj del PLL. Se han realizado distintas pruebas variando la corriente programable del PLL cuando el reloj de entrada de la ROB había sido alterado con un *jitter* de 5 ns rms (el *jitter* en este caso no se reduce hasta los 25 ps que se obtienen en condiciones normales). Los resultados se muestran en la tabla 3.4.

Corriente del PLL	<i>Jitter</i> rms
1	59 ps
4	180 ps
8	470 ps
12	0,93 ns
16	1,33 ns
20	1,87 ns
24	2,78 ns
31	3,83 ns

**Tabla 3.4:** Relación entre la corriente del PLL del HPTDC y el *jitter* del reloj a la salida del PLL cuando el reloj de entrada se ha alterado con un *jitter* de 5 ns rms..

Aunque de esta tabla se deduce que pudiera interesar una corriente menor para disminuir el *jitter* de reloj, esto presenta un inconveniente y es el hecho de que cuanto menor es la corriente del PLL más tiempo tarda éste en enganchar, como puede verse en la tabla 3.5. Por lo tanto se eligió un valor de la corriente del PLL de 8 que ofrecía un compromiso entre ambos parámetros.

Corriente del PLL	Tiempo en enganchar ( $\mu$ s)
1	170
4	45
8	23
12	15
16	11
20	9
24	7
31	5

**Tabla 3.5:** Relación entre la corriente del PLL del HPTDC y el tiempo que éste tarda en enganchar.



cierto tiempo después de la de 3,3V, por ello se han colocado los reguladores en cascada introduciendo además un retardo con la resistencia  $R_{314}$  y el condensador  $C_{104}$ . El encendido de la tarjeta dura aproximadamente 100 ms, siendo el encendido de 3,3 V unos 22  $\mu$ s antes del encendido de la alimentación de 2,5 V.

A pesar de que estos reguladores tienen una baja caída, la alimentación suministrada a la ROB a través del conector PWCON debe ser al menos 0,4 V superior a 3,3 V. Asimismo, se pueden observar diversos condensadores de 10  $\mu$ F y 47  $\mu$ F que junto con los condensadores de desacople de 100 nF situados en las proximidades de los distintos componentes permiten filtrar el ruido de las tensiones de alimentación.

La tarjeta ROB está protegida frente a sobre-consumos tanto en la tensión de 3,3 V como en la de 2,5V. El componente MAX869L [128] es un limitador de corriente regulado por el valor de la resistencia  $R_{17}$ . El valor de 680  $\Omega$  empleado hace que cuando la corriente de 3,3 V en la placa sea superior a 1,74 A se active la señal *Flag*, la cual forzará el apagado de las alimentaciones.

Como puede verse en el esquema 3.19, la señal *Flag* también puede proceder de los distintos reguladores, los cuales la activan si la tensión de salida cae un 5% con respecto al valor esperado o si hay un sobrecalentamiento del regulador.

Por otro lado, la corriente de 2,5 V también se controla individualmente, pues circula a través de la resistencia  $R_{308}$ , cuya diferencia de tensión sirve de entrada al amplificador-comparador MAX4375 [129]. Puesto que se desea que la corriente máxima de 2,5 V sea 1,8 A, la caída de tensión en la resistencia  $R_{308}$  debe ser inferior a:

$$\Delta V = R_{308} I_{2,5V} = 0,033\Omega \cdot 1,8A = 0,0594V \quad (3.1)$$

Dado que la ganancia del MAX4375 es +20V/V, se tiene:

$$V_C = 20\Delta V = 1,2V \quad (3.2)$$

Por otro lado, la tensión con la que compara la entrada  $C_{IN}$  del comparador MAX4375 es 0,6V, por lo que esa es la tensión límite que debe haber en  $V_i$  para que se active la señal de *Flag*. En cuanto se supere esa tensión como consecuencia de un aumento de corriente se disparará el *Flag*. Por tanto:

$$V_C = I_1 (R_{21} + R_{22}) = \frac{(R_{21} + R_{22})V_i}{R_{22}} \quad (3.3)$$

Donde  $I_1$  es la corriente que circula a través de las resistencias  $R_{21}$  y  $R_{22}$ . Dado que  $V_i = 0,6$  V y dejando  $R_{21}$  fija a 10 k $\Omega$  se tiene un valor para  $R_{22}$  de 10 k $\Omega$ .

En resumen, en la siguiente tabla se pueden observar los valores típicos de las distintas corrientes y los valores máximos permitidos antes de que se active la señal *Flag*. El consumo de potencia total de la tarjeta ROB en operación es de 3,7 W.

	I (A)	I <sub>max</sub> (A)
3,3 V	0,5	1,74
2,5 V	0,5	1,8

**Tabla 3.6:** Consumo típico de la tarjeta ROB y de las corrientes máximas permitidas.

Volviendo al circuito de protección de sobre-consumos, se puede ver en el esquema 3.19 que si la señal *Flag* se activa (pasa a 0) por cualquier circunstancia, cierra al transistor  $Q_1$ , permitiendo la descarga de  $C_{53}$  a través de  $D_5$ - $R_{25}$  lo cual disparará tras 10 ms al dispositivo MIC1555 configurado para operar como un monoestable.

El pulso de salida del MIC1555 activa el transistor  $Q_2$ , deshabilitando simultáneamente los dos reguladores. Los reguladores se mantienen apagados durante los 700 ms que dura el pulso del MIC1555, volviendo a habilitarse a continuación. Si no vuelve a haber un consumo excesivo, la placa queda alimentada y estable. En caso contrario, se repite el proceso de encendido intermitente, en el que la ROB está encendida el 1,5% del tiempo, lo que proporcionaría un consumo medio de sólo 42 mA si la sobre-corriente en placa es de 3A, que es la corriente máxima que pueden proporcionar el regulador de 3,3 V.

El led  $D_3$  sirve de indicador de encendido de la placa, quedando apagado si hay un corto en 3,3 V y parpadeando debido al encendido intermitente si el cortocircuito o sobre-consumo es en 2,5 V. Además la señal FLTB oscilará en caso de encendido intermitente, pudiendo detectarse a través del ROBUS al que está conectada e informando de un sobre-consumo en la tarjeta.

En la tarjeta ROB se dispone de un sensor DS2438 [130] que permite monitorizar la temperatura de la tarjeta, los valores de las tensiones de 2,5 V y 3,3 V y el valor de la corriente de 2,5 V. La lectura del DS2438 se realiza a través de la línea TDIO del ROBUS mediante un protocolo *1-wire* propiedad de MAXIM [131]. Otra de las ventajas del dispositivo DS2438 es que dispone de un número de serie único interno de 64 bits que se puede leer externamente y que permite identificar cada tarjeta ROB remotamente de forma única. El sensor DS2438 proporciona las siguientes precisiones en cada uno de los parámetros a medir:

	Rango	Precisión
Temperatura	-55°C a 125°C	$\pm 0,03125^\circ\text{C}$
Voltaje 2,5 V y 3,3 V	0 a 10 V	10 mV
$I_{2,5V}$	0 a 4,98 A	1,188 mA

**Tabla 3.7:** Rangos de medida y precisión de los distintos parámetros monitorizados por el sensor DS2438 de la tarjeta ROB.

El valor de la corriente de 2,5 V se obtiene de la medida del valor de la corriente  $I_a$  que circula a través de la resistencia  $R_{312}$  ( $R_{sens}$ ) cuyo valor se ha elegido para ajustar el rango dinámico del registro del ADC del sensor al rango de corrientes que se desea medir. El cálculo se realiza a partir de las siguientes

ecuaciones, de las que se obtiene el valor de  $V_c$ , y mediante las ecuaciones 3.1 y 3.2 se obtiene el valor de la corriente de 2,5 V.

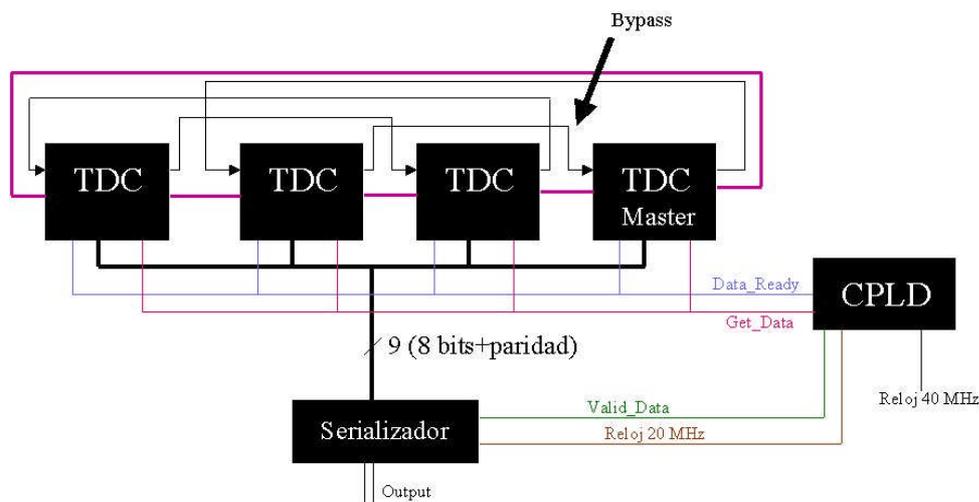
$$I_a = \frac{\text{registro}}{4096 \cdot R_{sens}} \quad (3.4)$$

$$V_c = (62k + 5k1)I_a \quad (3.5)$$

Los valores de  $C_{103}$  y  $R_{313}$  se han elegido para crear un filtro paso baja entre el pin de entrada al chip y la conexión a tierra de  $R_{312}$ . Con los valores utilizados (100 k $\Omega$  y 0,1  $\mu$ F) la frecuencia de corte es aproximadamente 15,9 Hz.

### 3.3.6 Lectura de los datos digitalizados por la tarjeta ROB

El esquema de interconexión de los distintos componentes para realizar la lectura de los datos digitalizados se puede observar en la figura 3.20. Los 4 HPTDCs de cada ROB se han conectado en una configuración en anillo para la transmisión del testigo que autoriza al dispositivo que lo posea en cada momento a transmitir los datos a través del bus de salida.



**Figura 3.20:** Esquema de la conexión en *token ring*, con las líneas de *bypass* y de la interfaz de lectura de datos *Data\_Ready/Get\_Data*.

Uno de los HPTDCs se configura como *Master*, que es el que posee el testigo cuando no hay información que transmitir. Cuando llega una señal de disparo, el HPTDC *Master* envía una palabra de cabecera y a continuación, transmite el testigo al siguiente HPTDC en la cadena, que comenzará a transmitir los datos digitalizados que correspondan a esa señal de disparo. Cuando el testigo retorna al HPTDC *Master*, éste envía sus propios datos y una palabra de cola que finaliza el evento correspondiente. Cada HPTDC en la cadena se configura con un código de 0 a 3 que permite identificar el HPTDC al que corresponde la palabra de información enviada.

Con el fin de minimizar el impacto del malfuncionamiento de un HPTDC, existen unas líneas de *Bypass* que permiten la transmisión del testigo ignorando alguno de los HPTDCs en la cadena.

La transmisión de los datos del HPTDC en el bus de salida está controlada por la CPLD (*Complex Programmable Logic Device*) Altera EPM7128AE que maneja las líneas *Data\_Ready* y *Get\_Data*. La primera de ellas informa a la CPLD que el HPTDC está listo para transmitir, y la segunda es la que autoriza al HPTDC a enviar los datos. La utilidad de este protocolo es reducir la velocidad de transmisión de datos a los 20 MHz empleados en el serializador DS92LV1021.

Los HPTDCs son configurados para enviar los datos según la interfaz *byte-wise*, es decir, cada palabra de 32 bits del HPTDC se subdividirá en bloques de 8 bits que son transmitidos en cada ciclo de reloj. Cada bloque de 8 bits va acompañado de 1 bit de paridad y 1 bit de dato válido (*Valid\_Data*) generado por la CPLD. Los 10 bits son recibidos por el serializador DS92LV1021 y los transmite mediante una conexión serie LVDS acoplada en AC de alta velocidad. El serializador DS92LV1021 incluye por su parte un bit de inicio y de parada que permiten la recuperación del reloj de transmisión en el receptor, siendo por tanto el ancho de banda del enlace de 240 Mbps para una transmisión efectiva de 160 Mbps.

Aunque la transmisión sea de byte en byte, cada palabra completa de HPTDC está formada por un paquete de 32 bits, donde los 4 primeros bits contienen un identificador del tipo de dato que se está enviando. El contenido de las distintas palabras se puede observar en las figuras 3.21 a 3.24.

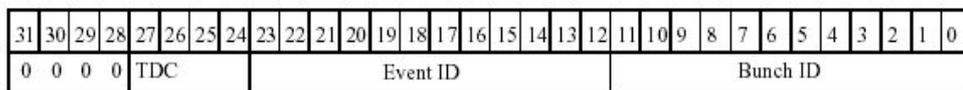


Figura 3.21: Palabra de cabecera de evento del HPTDC.

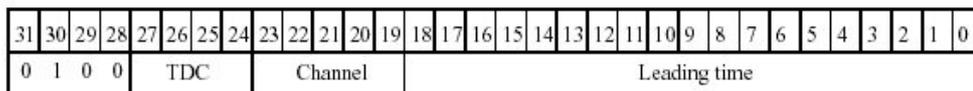


Figura 3.22: Palabra de medida temporal del HPTDC.

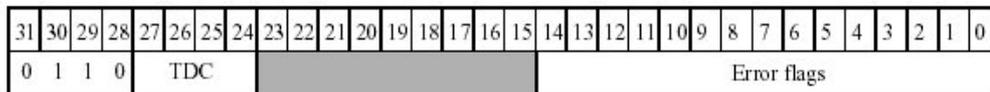


Figura 3.23: Palabra de error del HPTDC.

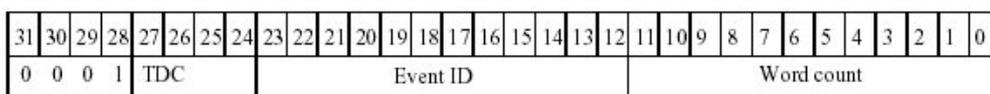


Figura 3.24: Palabra de cola de evento del HPTDC.

Cada evento está formado por la palabra de cabecera generada por el HPTDC *Master* cuya identificación se indica en los bits 27 a 24. Esta palabra también contiene la información del número de suceso y del cruce de haces al que pertenece.

Debido a que el HPTDC *Master* presenta constantemente en el bus de salida un byte con su identificador, aún cuando no se transmitan datos, es necesario que el *Master* esté configurado con el identificador 0 o el 3 para que el serializador funcione correctamente. Esto es debido a que cuando no hay datos procedentes del HPTDC, el serializador sigue enviando palabras vacías, marcadas con un bit de *START* con una frecuencia de 20 MHz que permite al receptor inferir el reloj del transmisor y permanecer con el enlace enganchado. Si uno de los HPTDCs envía constantemente un bit concreto, siempre en la misma posición, al cabo de una serie de ciclos el receptor no es capaz de discernir cuál de los dos bits es el bit de *START* y se desengancha.

A continuación se transmiten las palabras correspondientes a los datos digitalizados, proporcionando la información del identificador de HPTDC y del canal por el que se recibió esa señal procedente de la cámara de deriva. Aunque el campo de medida temporal sea de 19 bits, en el modo de baja resolución sólo los 17 primeros bits son significativos.

En el caso de que algún HPTDC tenga un error, la información del mismo se transmite en una palabra de error en la que se indica el código de error correspondiente. Mediante estas palabras, el HPTDC notifica la pérdida de señales debido al llenado de las distintas memorias, errores de paridad en las señales medidas, pérdida de señales de disparo si la memoria de disparo se ha saturado o errores internos del HPTDC ocasionados por ejemplo por la pérdida de la señal de reloj. Todos estos errores se transmiten en el flujo de datos pudiendo verificar así la integridad de los mismos evento a evento.

Finalmente, el HPTDC *Master* envía una palabra de cola que finaliza el evento indicando el evento al que corresponde y el número de palabras transmitidas en ese evento, con el fin de poder verificar *a posteriori* la integridad de los datos.

Asimismo, existen diversas palabras que contienen información sobre el estado de ocupación de las distintas memorias del HPTDC y que pueden enviarse en modo de pruebas para verificar su correcto funcionamiento. La descripción de estas palabras se puede consultar en el manual del HPTDC [40].

### 3.3.7 Implementación de la lógica digital de la CPLD

La tarjeta ROB incluye una CPLD (*Complex Programmable Logic Device*) que realiza diversas tareas de control dentro de la tarjeta ROB. Las más importantes son el control del sistema de lectura de los cuatro HPTDCs dentro de la ROB y la gestión del modo de operación *Test Pulses*.

La CPLD seleccionada es un dispositivo ALTERA de la familia MAX7000, cuyos chips se basan en la arquitectura de matriz de múltiples *arrays* (*Multiple Array MatriX*, MAX). Está fabricado en tecnología CMOS, y es del tipo de las memorias EEPROM, pudiéndose configurar y borrar eléctricamente a

través de una conexión al PC. Las MAX7000 pueden tener de 32 a 512 macroceldas y retardos pin a pin de hasta 3,5 ns.

La CPLD seleccionada es la EPM7128AE, que tiene 128 macroceldas y un total de 2.500 puertas lógicas, las cuales son más que suficientes para el código generado, de hecho, la ocupación de la FPGA es del 40%. Este dispositivo se alimenta a 3,3 V.

El empaquetado del dispositivo es del tipo TQPF (*Thin Quad Flat Pack*) [132], y tiene 100 pines totales, de los cuales sólo necesitaremos 46. Cuatro de ellos se utilizarán para la programación del dispositivo que se realizará también a través de un interfaz JTAG con una conexión a través de un cable tipo *Byteblaster* al puerto paralelo del ordenador. También se han situado varios puntos de prueba para comprobar el funcionamiento de líneas de lógica interna durante el período de prueba.

Algunas de las funciones básicas que realiza la CPLD ya se han ido describiendo a lo largo del texto. Por ejemplo, se encarga de la inicialización del serializador cuando llega una señal de *reset*, alargando en primer lugar el pulso de POWERDOWN, que debe estar activo 1  $\mu$ s para realizar la correcta reinicialización del serializador cuando se recibe un *reset* global de la placa.

Asimismo, se encarga de la labor de supervisión del sistema de lectura de los HPTDCs, controlando las señales *Data\_Ready/Get\_Data* para reducir la velocidad de transferencia a 20 MHz y de generar la señal *Valid\_Data* para indicar al sistema que la palabra enviada es un dato válido.

La CPLD también se encarga de llevar la cuenta del identificador del byte transmitido por el HPTDC para controlar posibles errores de transmisión y verificar que se transmiten los 4 bytes de cada palabra de HPTDC con el fin de notificar desalineamientos.

Otra función que realiza la CPLD es la “OR” de las cuatro señales de error provenientes de cada uno de los HPTDCs para generar una sola línea de error ROBERROR que se conecta al ROBUS. En esta línea se incluye una señal de error obtenida de una discrepancia entre la cuenta del número de byte que se está transmitiendo y el identificador que proviene de la palabra del HPTDC.

Sin embargo, una de las tareas más importantes que realiza la CPLD es el control del modo de *Test Pulses*. En este modo de operación, cada ROB envía la información correspondiente a una traza equivalente a un muón que atraviese verticalmente la cámara de deriva. Las señales correspondientes a la traza simulada se originan en la electrónica frontal, por lo que la ROB debe habilitar sólo los canales que correspondan a lo que sería una traza vertical.

Para ello, la CPLD se conecta a los pines de habilitación de los receptores DS90LV048 con el fin de realizar la selección de canales. El funcionamiento del modo *Test Pulse* se basa en una máquina de estados que se inicializa con la señal “*Track Reset*”, y por la que se avanza cuando se reciben pulsos en la señal “*Track Advance*”. En cada uno de los estados se van habilitando los distintos receptores según la tabla 3.8, modificando así la parte de la cámara que recibe la señal de la traza simulada. En este modo sólo opera cuando la señal de “*Test Pulse Mode*” lo indique.

Suceso	Celdas por las que pasa la traza	Receptor habilitado	HPTDC y canales habilitados
1	1, 2, 3, 4	1	HPTDC 0 ch 0-3 y ch 28-31
2	3, 4, 5, 6	1-2	HPTDC 0 ch 0-7 y ch 24-31
3	5, 6, 7, 8	2	HPTDC 0 ch 4-7 y ch 24-27
4	7, 8, 9, 10	2-3	HPTDC 0 ch 4-11 y ch 20-27
5	9, 10, 11, 12	3	HPTDC 0 ch 8-11 y ch 20-23
6	11, 12, 13, 14	3-4	HPTDC 0 ch 8-23
7	13, 14, 15, 16	4	HPTDC 0 ch 12-19
8	15, 16, 17, 18	4-5	HPTDC 0 ch 12-19 y HPTDC 1 ch 28-31
9	17, 18, 19, 20	5	HPTDC 1 ch 0-3 y ch 28-31
10	19, 20, 21, 22	5-6	HPTDC 1 ch 0-7 y ch 24-31
11	21, 22, 23, 24	6	HPTDC 1 ch 4-7 y ch 24-27
12	23, 24, 25, 26	6-7	HPTDC 1 ch 4-11 y ch 20-27
13	25, 26, 27, 28	7	HPTDC 1 ch 8-11 y ch 20-23
14	27, 28, 29, 30	7-8	HPTDC 1 ch 8-23
15	29, 30, 31, 32	8	HPTDC 1 ch 12-19
16	31, 32, 33, 34	8-9	HPTDC 1 ch 12-19 y HPTDC 2 ch 28-31
17	33, 34, 35, 36	9	HPTDC 2 ch 0-3 y ch 28-31
18	35, 36, 37, 38	9-10	HPTDC 2 ch 0-7 y ch 24-31
19	37, 38, 39, 40	10	HPTDC 2 ch 4-7 y ch 24-27
20	39, 40, 41, 42	10-11	HPTDC 2 ch 4-11 y ch 20-27
21	41, 42, 43, 44	11	HPTDC 2 ch 8-11 y ch 20-23
22	43, 44, 45, 46	11-12	HPTDC 2 ch 8-23
23	45, 46, 47, 48	12	HPTDC 2 ch 12-19
24	47, 48, 49, 50	12-13	HPTDC 2 ch 12-19 y HPTDC 3 ch 28-31
25	49, 50, 51, 52	13	HPTDC 3 ch 0-3 y ch 28-31
26	51, 52, 53, 54	13-14	HPTDC 3 ch 0-7 y ch 24-31
27	53, 54, 55, 56	14	HPTDC 3 ch 4-7 y ch 24-27
28	55, 56, 57, 58	14-15	HPTDC 3 ch 4-11 y ch 20-27
29	57, 58, 59, 60	15	HPTDC 3 ch 8-11 y ch 20-23
30	59, 60, 61, 62	15-16	HPTDC 3 ch 8-23
31	61, 62, 63, 64	16	HPTDC 3 ch 12-19
	63, 64, 65(1), 66(2)	16-1	HPTDC 3 ch 12-19, 0-3 y 28-31

**Tabla 3.8:** Tabla de los receptores y canales que se habilitan en cada suceso en el modo *Test Pulse*.

El rasgo más destacado de la lógica de la CPLD es la implementación de un sistema de comprobación de registros triplemente redundante. La utilidad de dicho sistema es la de garantizar el correcto funcionamiento de la CPLD aún en el caso de que se produzcan SEUs aislados. En el caso de que se alterase el contenido de un bit de un registro, la lógica redundante permitiría detectarlo y recuperar el valor correcto que antes hubiera. Este sistema no es resistente a dos fallos simultáneos en el mismo registro, pero la probabilidad de que esta situación ocurra es ínfima, ya que el estado se verifica, y eventualmente se corrige, cada 25 ns. En la figura 3.25 se puede ver un esquema de la lógica de un registro con triple redundancia:

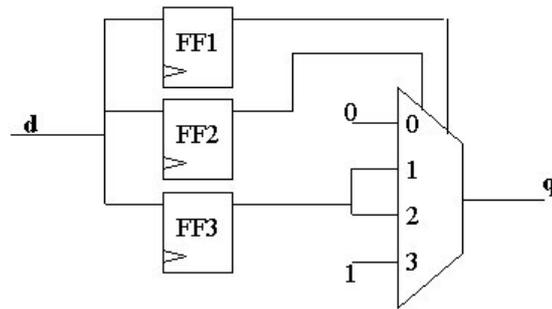


Figura 3.25: Diagrama del sistema de triple redundancia implementado en los registros de la CPLD.

Con el fin de estudiar el número de SEUs que se obtienen en pruebas de radiación, se ha implementado un generador de pulsos que produce un pulso cada vez que se detecta un fallo en algún registro. Estos pulsos pueden ser recogidos posteriormente por un contador externo conectado a la tarjeta ROB.

### 3.4 OPERACIÓN DE LA TARJETA ROB

El objetivo de la tarjeta ROB es realizar la digitalización del tiempo de llegada de las señales procedentes de la cámara de deriva con el fin de poder reconstruir con gran precisión la traza de los muones. Estos muones son productos resultantes de las colisiones de los haces de protones que tendrán lugar en el punto interacción, situado en el centro del detector CMS.

A la hora de realizar la reconstrucción de la traza, se tienen en cuenta los siguientes puntos de partida:

- **Las colisiones de haces de protones se producen en instantes de tiempos fijos, cada 24,95 ns**, sincronizadas con el reloj del LHC (40,08 MHz), que a su vez, es distribuido a través del sistema TTC (*Timing and Trigger Control*) a toda la electrónica de los detectores.
- Los desfases debidos a las distintas longitudes de las fibras ópticas que distribuyen las señales TTC a cada cámara están compensados dentro de cada cámara a través del dispositivo TTCrx [133] situado en la tarjeta CCB (*Chamber Control Board*) del Minicrate. De esta forma, por una parte, **la señal de disparo L1A llega a todas las cámaras simultáneamente** y por otra, un muón que atravesase todas las cámaras de un sector es detectado con la misma referencia temporal por los HPTDC de todas las cámaras. Este segundo factor no afecta al funcionamiento de la electrónica de lectura, pero es requisito indispensable para la correcta sincronización del sistema de disparo [134], como se verá en el apartado 4.6.1.
- **La posición de cada celda** (identificada por cada canal del HPTDC) dentro del detector **es conocida con una precisión de 150  $\mu\text{m}$  en las cámaras de deriva**. Esta precisión se consigue por una parte por construcción e instalación de las cámaras y por otra parte por

las medidas proporcionadas por el sistema de alineamiento de CMS [135], que es capaz de detectar deformaciones en la estructura de CMS debidos a efectos de la gravedad o por el campo magnético. Por lo tanto, **la medida que debe proporcionar el sistema de lectura es la del tiempo de deriva dentro de cada celda.**

- **La latencia de disparo es fija para cualquier suceso**, es decir, independientemente de qué parte del detector proporcione la señal de disparo, la señal L1A siempre llega a la electrónica de lectura tras el mismo número de ciclos de reloj después del cruce de haces.

Por tanto, la tarjeta ROB recibe las señales (*bits*) procedentes de la electrónica frontal de la cámara de deriva, las digitaliza con una resolución de 0,78 ns empleando el reloj del LHC y las almacena hasta que recibe la señal de disparo L1A. Cuando la tarjeta ROB recibe la señal de L1A, realiza la asignación de los *bits* almacenados a ese L1A formando un evento, según el mecanismo que explicaremos a continuación, y lo transmite a los niveles superiores. A partir de los valores temporales medidos, y con las correcciones oportunas, se puede extraer el **tiempo de deriva ( $t_d$ )** y con ello, la posición de paso del muón dentro del volumen del gas de la celda (ver figura 2.12).

#### 3.4.1 Mecanismo de asignación de *hits* a evento (L1A)

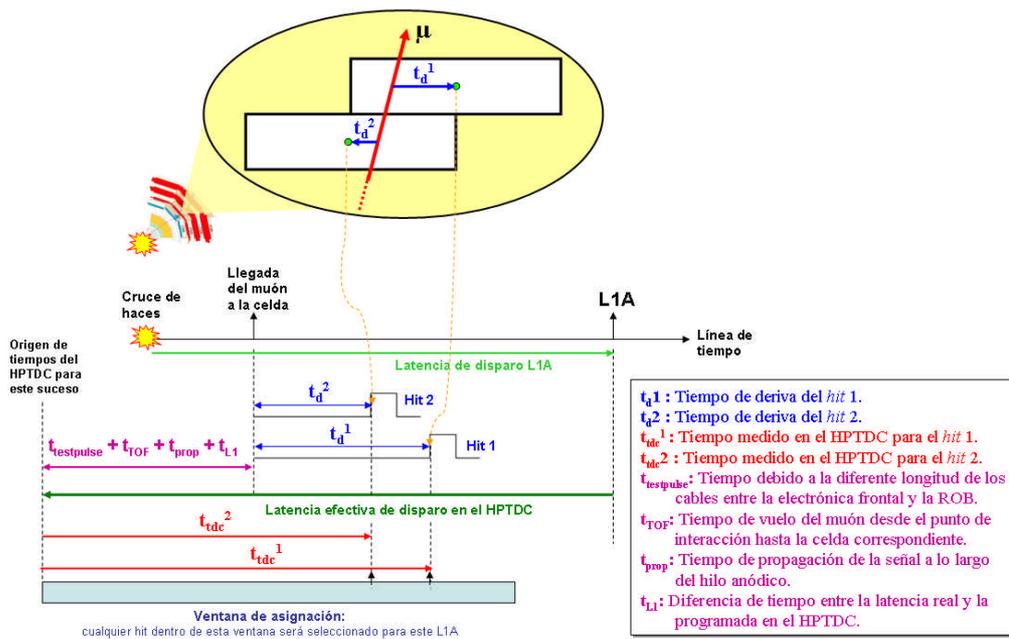
Como ya se ha comentado, cuando una partícula cargada atraviesa el volumen de la cámara de deriva, el gas se ioniza y se produce la deriva de los electrones a los ánodos de la cámara. La avalancha de electrones en las cercanías del ánodo producirá un pulso que se transmite por el hilo anódico y que será comparado mediante un valor umbral programable en la electrónica frontal (FEB). En caso de ser superior al umbral, la electrónica frontal generará un pulso cuadrado de 50 ns de anchura (*hit*) cuyo flanco de subida es detectado por los HPTDCs en la ROB.

El HPTDC almacena el canal de procedencia y el tiempo de llegada de los *bits* en las memorias de primer nivel “L1 *buffer*” y espera a recibir la señal de disparo L1A. Cuando esta señal llega, el HPTDC incrementa el contador de número de evento y almacena el valor correspondiente del contador de cruce de haces al que corresponde esa señal L1A. A continuación, el HPTDC realiza la asignación de los *bits* a ese suceso, comparando su medida temporal con la correspondiente a la señal de disparo L1A. Los parámetros que definen las distintas ventanas temporales para la asignación de disparos son:

- **Ventana de asignación:** determina el tamaño de la ventana en la cual se considera que se van a encontrar *bits* correspondientes a cada suceso. En nuestro caso debe ser mayor o igual al tiempo máximo de deriva de la celda de la cámara (386,74 ns).
- **Ventana de búsqueda:** Debido a que los *bits* no se almacenan en la memoria de primer nivel siguiendo un estricto orden temporal, sino haciendo una búsqueda en cada uno de los 8 canales, al hacer la asignación de *bits* pueden encontrarse algunos más antiguos en

posiciones de memoria más recientes de las que les correspondería. Por ello, para determinar en qué momento se debe detener la búsqueda de *hits* en la memoria, se define una ventana de búsqueda, más amplia que la ventana de asignación y se detiene la búsqueda en memoria cuando se encuentre algún *hit* cuyo valor temporal esté fuera de esta ventana de búsqueda. Por supuesto, los *hits* que se vayan encontrando y estén fuera de la ventana de asignación no serán seleccionados para este disparo.

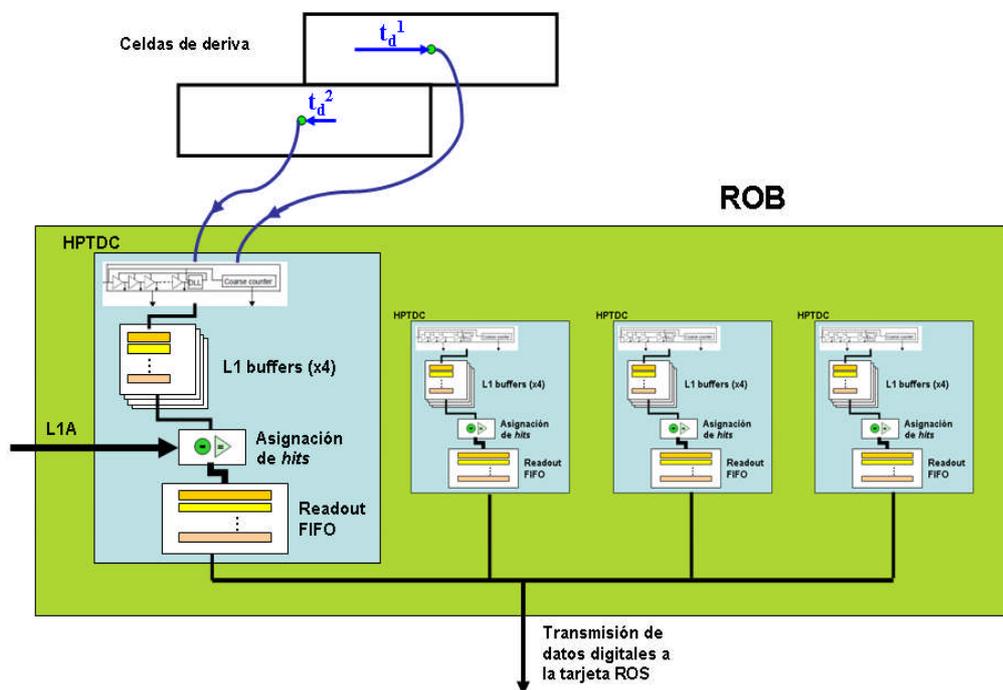
- **Latencia efectiva de disparo:** especifica el intervalo temporal desde que se produjo la colisión hasta que la información del suceso es procesada por el sistema de disparo y la señal de disparo L1A llega al HPTDC. En nuestro caso su valor es  $3,2 \mu\text{s}$ . Por tanto, el HPTDC debe buscar en la memoria *hits* que hayan llegado hasta  $3,2 \mu\text{s}$  antes que el disparo y considerar el comienzo de la ventana de asignación en ese punto. En la práctica, la latencia real del sistema de disparo es algo inferior a los  $3,2 \mu\text{s}$  de la latencia efectiva de disparo programada en el HPTDC, permitiendo así la detección de todos los *hits* de forma cómoda.



**Figura 3.26:** Esquema del mecanismo de asignación de *hits* a cada L1A. El muon ( $\mu$ ) ioniza el gas de las dos celdas en la imagen y tras un tiempo de deriva  $t_d$  genera una señal en el ánodo que será recibida por el HPTDC como un *hit*. Cuando la señal de L1A llega al HPTDC, éste busca *hits* en su memoria desde un tiempo en el pasado igual a la latencia efectiva de disparo programada y durante un período de tiempo igual a la ventana de asignación programada. Los *hits* 1 y 2 se encuentran dentro de la ventana de asignación y por tanto son seleccionados para este evento. El valor asignado por el HPTDC para estos *hits* es  $t_{dc}$ , que es el tiempo transcurrido desde el origen de tiempos del HPTDC para ese suceso (momento en el que llega el L1A menos la latencia efectiva de disparo programada en el HPTDC) hasta la llegada del *hit*. Este valor no es directamente el tiempo de deriva, sino que es necesario realizar una corrección temporal como se explicará en el apartado 3.4.5.

En la figura 3.26 se muestra el mecanismo de asignación de *hits* a eventos L1A. Se observa que las señales “Hit 1” y “Hit 2” se encuentran dentro de la ventana de asignación correspondiente a la señal L1A y por tanto serán seleccionadas por el HPTDC y asignadas a ese evento L1A.

Una vez realizada la asignación de *hits*, los datos digitalizados se almacenan en la memoria de salida “Readout FIFO” del HPTDC siguiendo un esquema de prioridades de *round-robin* para garantizar un justo aprovechamiento del ancho de banda. A continuación son transmitidos al siguiente nivel de lectura (la tarjeta ROS), que debe estar preparada para su procesamiento. En la figura 3.27 se muestra un esquema de este mecanismo.



**Figura 3.27:** En esta imagen se muestra como las señales procedentes de cada celda llegan al HPTDC correspondiente de la tarjeta ROB, su tiempo de llegada es digitalizado y la palabra resultante se almacena en una memoria de primer nivel “L1 buffer”. Cuando se recibe la señal de disparo L1A se activa el mecanismo de asignación de *hits* y los *hits* seleccionados se almacenan en una memoria de segundo nivel “Readout FIFO” en espera de su transmisión a la tarjeta ROS.

Dentro de cada ROB, los HPTDCs transmiten los datos al serializador y de ahí a la ROS siguiendo el protocolo explicado en el apartado 3.3.6. Los datos resultantes de una ROB correspondientes a un evento, tienen un formato similar a:

```

(0x030124A2) HPTDC Cabecera. HPTDC Master ID = 3 Número de evento = 18 Cruce de haces = 1186
(0x40380328) Medida de tiempo: HPTDC ID=0 Channel=7 Time=158ns
(0x40300308) Medida de tiempo: HPTDC ID=0 Channel=6 Time=152ns
(0x404804B0) Medida de tiempo: HPTDC ID=0 Channel=9 Time=235ns
(0x40400558) Medida de tiempo: HPTDC ID=0 Channel=8 Time=267ns
(0x40A00328) Medida de tiempo: HPTDC ID=0 Channel=20 Time=158ns
(0x40800308) Medida de tiempo: HPTDC ID=0 Channel=16 Time=152ns
(0x40A804B0) Medida de tiempo: HPTDC ID=0 Channel=21 Time=235ns
(0x40D80558) Medida de tiempo: HPTDC ID=0 Channel=27 Time=267ns
(0x62004000) Error de HPTDC: HPTDC ID = 2 Error fatal
(0x1301200B) Cola HPTDC: HPTDC Master ID=3 Número de evento = 18 Contador de palabras = 11

```

Estos valores de tiempo registrados por el HPTDC no son directamente los tiempos de deriva, tal y como se mostraba en la figura 3.26. Las medidas contienen ciertos retardos debidos al tiempo de vuelo, la longitud de los cables de señal y otros desfases de la electrónica. Por ello es necesario realizar una calibración de tiempos como paso previo al análisis, tal y como se explicará en el apartado 3.4.5.

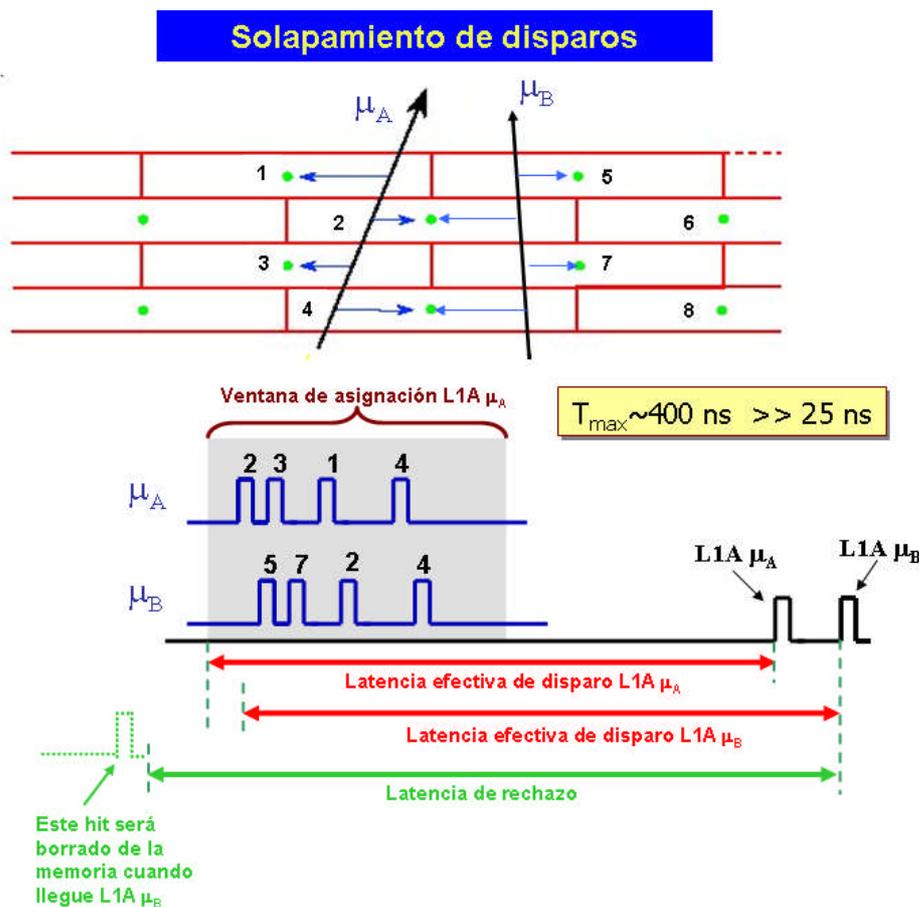
### 3.4.2 Solapamiento de eventos. Mecanismo de rechazo de *hits*

Como hemos visto, los *hits* cuya medida temporal se encuentre dentro de la ventana de asignación del L1A correspondiente serán seleccionados para ese evento. En otros TDCs, con diferente arquitectura, esta asignación supondría la eliminación de estas medidas temporales de las memorias de primer nivel “L1 *buffer*”, sin embargo, es requisito indispensable de nuestro HPTDC el mantener en la memoria estos *hits* a pesar de que ya hayan sido asignados a un evento, con el fin de permitir el solapamiento de disparos.

La razón de ello es que el tiempo máximo de deriva de la celda ( $\sim 386,74$  ns) es muy superior al tiempo entre cruce de haces (24,95 ns), y por tanto, dado que el tiempo de deriva puede ser muy largo, es posible que el HPTDC reciba un *hit* de un muón procedente de un cruce de haces posterior con anterioridad al *hit* correspondiente a un primer cruce de haces. Este fenómeno se muestra en la figura 3.28.

Por ello, debido a la posibilidad no nula de que dos muones procedentes de cruces de haces distintos atravesen el mismo HPTDC, los *hits* asignados no son borrados inmediatamente de las memorias “L1 *buffer*”, sino que se borran de acuerdo a un mecanismo de rechazo de *hits* que descarta aquellos *hits* más antiguos que un valor programado llamado **latencia de rechazo**. La latencia de rechazo debe ser al menos un ciclo de reloj mayor que la latencia efectiva de disparo programada en el HPTDC, para asegurar que no se rechaza ningún *hit* de interés.

De esta forma se garantiza el funcionamiento cuando hay solapamiento de eventos a la vez que se evita que se llenen las memorias de los HPTDCs manteniendo indefinidamente los *hits*.



**Figura 3.28:** En esta imagen se muestra como dos muones procedentes de dos cruces de haces separados 25 ns atraviesan celdas correspondientes al mismo HPTDC. La señal de disparo L1A correspondiente al primer muón ( $\mu_A$ ) encontrará en su ventana de asignación que tanto los *bits* procedentes de  $\mu_A$  como de  $\mu_B$  cumplen los requisitos y serán asignados a ese evento. El HPTDC no debe borrar esos *bits* de memoria, pues posteriormente se recibirá la señal de L1A correspondiente a  $\mu_B$  y los *bits* 5, 7, 2 y 4 deberán ser asignados a ese nuevo evento. El resultado es que, en este caso, los *bits* de ambos muones se leen dos veces. Esto no supone un problema para la reconstrucción de eventos, como se explicará en el apartado 3.4.6, pues sólo los *bits* correctos en cada evento cumplirán las condiciones del *Meantimer* y se reconstruirán como una traza. En la imagen se muestra también el caso de un *hit* antiguo que aún no ha sido borrado de la memoria, pero que con la llegada del L1A del  $\mu_B$  ya cumple la condición de la latencia de rechazo y por tanto será eliminado del “L1 buffer”.

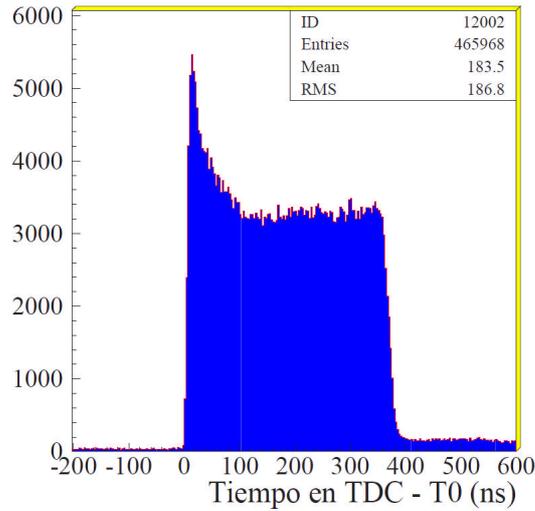
### 3.4.3 Programación de los parámetros de interés en el HPTDC

Los parámetros descritos anteriormente (ventana de asignación, ventana de búsqueda, latencia efectiva y latencia de rechazo) se programan en el HPTDC a través de la interfaz JTAG. Estos parámetros están incluidos dentro de los 647 bits del registro de SETUP del HPTDC que se describió en el apartado 3.3.2. A continuación se indica la correspondencia entre los bits del registro de SETUP y los parámetros descritos previamente que permiten realizar la asignación de *bits* a evento.

- **Match Window** (bits 72 a 83): Es el valor de la ventana de asignación en ciclos de reloj.
- **Seach Window** (bits 60 a 71): Es el valor de la ventana de búsqueda en ciclos de reloj.
- **Roll Over** (bits 627 a 638): El contador de cruce de haces del HPTDC tiene 12 bits, por lo que daría la vuelta cada 4095 ciclos de reloj. No obstante, cada órbita del LHC está formada por 3564 ciclos de reloj, por lo que el valor del “Roll Over” debe configurarse como 3563 para que el contador pase a 0 tras ese valor y el identificador de cruce de haces esté sincronizado correctamente con el LHC.
- **Trigger Offset** (bits 138 a 149): En el caso de que el tiempo de propagación de la señal que reinicia el contador de cruce de haces y la señal de disparo L1A fuese distinto, el valor escrito en este registro permite asignar correctamente cada disparo al cruce de haces que corresponde. En nuestro caso, esto no sucede, por lo que el valor del “Trigger Offset” es igual al del “Roll Over” que es el valor que se carga en el contador de cruce de haces cuando se recibe la señal de *reset* de cruce de haces (*Bunch reset*) al inicio de una órbita LHC.
- **Coarse Offset** (bits 447 a 458): Este es el valor que se resta al tiempo de llegada de la señal de disparo con el fin de realizar la asignación de *bits*. Su valor es igual al valor de la latencia efectiva de disparo menos 1, en ciclos de reloj.
- **Reject Offset** (bits 48 a 59): Es el valor que determina cuando los *bits* son antiguos y deben borrarse de la memoria. Su valor debe ser algunos ciclos de reloj superior al valor de la latencia efectiva programada.

#### 3.4.4 El Timebox

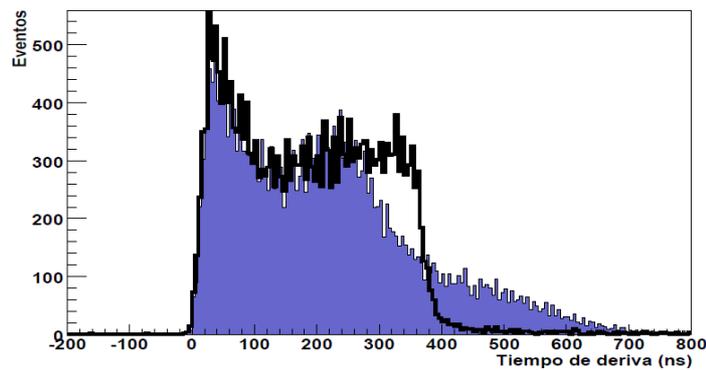
Una herramienta muy útil para el análisis de los datos digitalizados es lo que se denomina *Timebox*. El *Timebox* no es más que un histograma de tiempos recibidos por el HPTDC, acumulado en los distintos eventos. Suponiendo una iluminación uniforme de muones a lo largo de una celda de deriva, el *Timebox* que se obtiene es similar al de la figura 3.29. Como puede verse, los tiempos dentro de la región 0 a 386,74 ns se corresponden principalmente con señales procedentes del paso de partículas cargadas por la región activa de la celda de deriva, mientras que el resto pertenecen a ruidos electrónicos, señales reflejadas en el cátodo de la celda, etc.



**Figura 3.29:** Distribución de tiempos (*Timebox*) procedente de una celda de una cámara de deriva una vez realizada la calibración de tiempos.

Los valores de tiempo cercanos a 0 ns se corresponden con las señales producidas en las proximidades del hilo anódico, mientras que los valores de tiempo mayores se corresponden con señales generadas en las proximidades de los cátodos de la celda. Se puede observar el pico correspondiente al inicio del *Timebox* debido a la no uniformidad del campo eléctrico en las inmediaciones del ánodo que proporciona tiempos inferiores al comportamiento ideal debido al efecto de aceleración por avalancha.

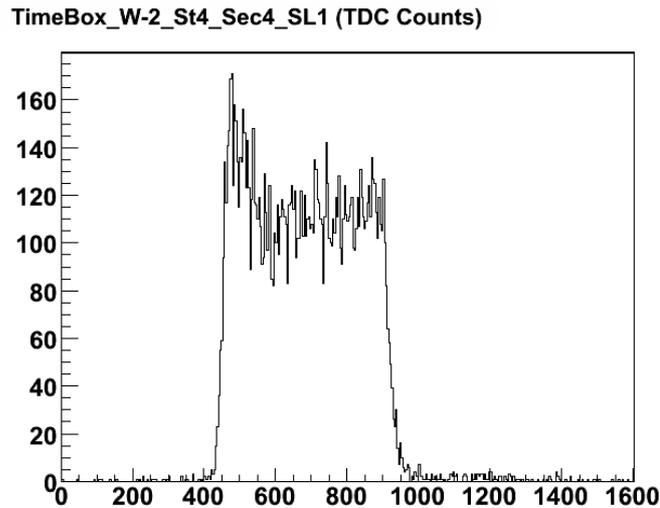
El *Timebox* es una herramienta de diagnóstico del sistema de gran utilidad, que permite detectar fácilmente problemas en la distribución de la alta tensión o en el gas de la cámara como se puede observar en la figura 3.30 donde se aprecia la deformación de la distribución de tiempos en una celda cuyo cátodo ha sido desconectado.



**Figura 3.30:** Superposición de un espectro de HPTDC de una celda con el cátodo desconectado (azul) y una con el cátodo conectado. Se puede apreciar el alargamiento de la distribución y la deformación del espectro de tiempos para tiempos altos, correspondientes a la zona cercana a los cátodos.

### 3.4.5 Calibración. Corrección de las medidas temporales

Aunque en las figuras anteriores el *Timebox* tiene el origen del tiempo de deriva en 0 ns, correspondientes a un tiempo de deriva nulo (muón atravesando la celda justo por la posición del hilo anódico), los datos recién recolectados de los la tarjeta ROB tienen un error de *offset* como se ha mostrado en la figura 3.26 y por ello, el aspecto de un *Timebox* generado directamente a partir de las medidas temporales de la tarjeta ROB es similar al de la figura 3.31.



**Figura 3.31:** Imagen de un *Timebox* obtenido directamente de las medidas temporales proporcionadas por la tarjeta ROB, sin corrección temporal.

La medida temporal del HPTDC tiene por tanto las siguientes contribuciones:

$$t_{HPTDC} = t_{TOF} + t_{testpulse} + t_{prop} + t_{L1} + t_d \quad (3.6)$$

- $t_d$ : Es el **tiempo de deriva** que se pretende medir.
- $t_{TOF}$ : Los muones originados en el punto de interacción viajan a una velocidad cercana a la de la luz, pero aún así tardarán un tiempo dado en llegar a cada una de las cámaras de deriva y a cada una de las celdas dentro de la cámara. Este tiempo, llamado **tiempo de vuelo**, varía entre 12 ns para la cámara de deriva más cercana al punto de interacción y 35 ns para la cámara de deriva más lejana. La variación del tiempo de vuelo debida al distinto ángulo de curvatura bajo el campo magnético dependiendo del momento del muón es pequeña y puede considerarse del orden de 1 ns.
- $t_{prop}$ : El hilo dentro de la celda de deriva puede tener una longitud de hasta 4 metros, por lo que dependiendo de la posición de paso del muón, el pulso generado en el hilo debe recorrer una distancia dada hasta ser recogido por la electrónica frontal de la cámara. El tiempo que tarda la señal en recoger esa distancia varía de 0 a 10 ns. A este tiempo se le

denomina **tiempo de propagación**. En la siguiente tabla se muestran los valores medios y su desviación de los tiempos de vuelo (en los que se ha incluido el tiempo de propagación) de muones simulados procedentes del punto de interacción para las distintas cámaras en las distintas ruedas.

	MB1		MB2		MB3		MB4	
TOF (ns)	Media	Desviación	Media	Desviación	Media	Desviación	Media	Desviación
YB-2	27,3	1,2	29,3	1,5	31,9	1,8	34,6	2,0
YB-1	21,6	2,3	24,1	2,6	27,3	2,9	30,5	3,1
YB0	19,0	4,3	21,9	4,4	25,4	4,4	28,8	4,4

**Tabla 3.9:** Valores estimados del tiempo de vuelo de muones originados en el punto de interacción de CMS hasta su llegada a las distintas cámaras en las distintas ruedas.

- $t_{\text{testpulse}}$ : Por otro lado, pueden existir pequeñas variaciones en el origen de tiempos de cada uno de los canales de la cámara, debidos a pequeñas diferencias en los retrasos de la electrónica interna propia de cada canal, a distintas longitudes de los cables encargados de llevar las señales desde la electrónica frontal a las tarjetas ROB, desfases en cada canal dentro de la propia ROB o a las diferencias de los tiempos de propagación de la señal de disparo L1A y de reloj a cada ROB. Todas estas diferencias entre canales, llamadas  $t_0$  **relativos**, han de ser incluidas en la calibración. Para su cálculo se emplea el sistema de *Test Pulse* que se explicará en el apartado 3.4.7.
- $t_{L1}$ : Finalmente, existe un desfase global debido a que la latencia real del sistema de disparo y la programada en el HPTDC no tienen necesariamente el mismo valor.

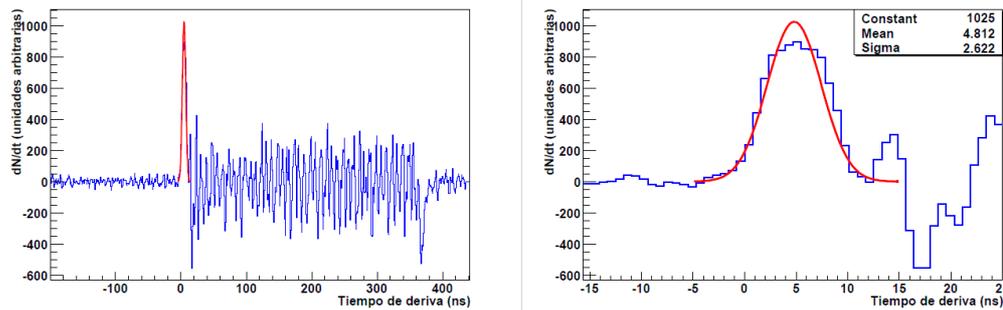
A parte de éstas, hay otras desviaciones temporales menores que también es necesario tener en cuenta si quieren realizarse medidas precisas de la resolución de las cámaras. Entre ellos se incluyen la no uniformidad de las trayectorias de deriva dentro de la celda y el tiempo de avalancha, la distorsión de las trayectorias de deriva bajo campos magnéticos, el ángulo de incidencia del muón respecto al plano perpendicular a los hilos, etc., que en principio no se van a detallar en este texto.

El método empleado para la corrección de el *offset* de los tiempos proporcionados por el HPTDC es lo que se denomina calibración. Como se ha comentado, los  $t_0$  relativos se calculan a partir del método de *Test Pulse*, siendo su valor muy estable pues depende fundamentalmente de las distintas longitudes de los cables dentro de cada cámara y Minicrate. El tiempo de propagación en el hilo es pequeño y además, depende de cada evento particular, por lo que no puede realizarse una corrección global y es necesario corregirlo en cada evento a partir de la información proporcionada por las Supercapas  $\Theta$  cuyos hilos están situados perpendicularmente.

Tanto el tiempo de vuelo como la diferencia de latencias puede compensarse de una forma global puesto que la latencia de disparo se conserva de

evento a evento y la diferencia de tiempo de vuelos dependiendo del ángulo también es una corrección menor. Estas dos contribuciones es lo que se denomina  $T_{\text{trig}}$ , y debe sumarse a los  $t_0$  relativos con el fin de obtener un valor  $T_0$  global que se resta a los valores de tiempo proporcionados por el HPTDC para que esos valores representen tiempos de deriva reales. Es decir, al restar este  $T_0$  global a los datos del HPTDC, un muón que atravesara la cámara de deriva justo por la posición del hilo y en el extremo de la electrónica frontal, debería dar un valor de tiempo nulo.

El valor del  $T_{\text{trig}}$  puede presentar variaciones algo superiores debidas a cambios en la lógica del sistema de disparo y puede ser conveniente recalcularlo para distintas condiciones de la toma de datos. Para el cálculo de este desfase se emplea el método de la derivada que consiste en calcular la derivada del *Timebox*, de tal modo que en la zona de subida el máximo de la derivada se alcanzará en el punto de pendiente máxima. Ajustando esta zona a una distribución gaussiana, calculamos este punto de pendiente máxima y a partir de ahí estimamos el  $T_{\text{trig}}$  sustrayendo a ese valor 2 desviaciones estándar de la distribución. Este método es bastante fiable, ya que la anchura de las distribuciones es razonablemente estable, independientemente de las condiciones experimentales.



**Figura 3.32:** Método de la derivada para el cálculo del  $T_{\text{trig}}$  que permite la corrección de las medidas temporales del HPTDC. La figura de la izquierda muestra la derivada de la distribución de tiempos a lo largo de todo el rango y en la figura de la derecha se puede observar un zoom en la zona de comienzo del *Timebox*.

Otra de las tareas fundamentales correspondientes a la calibración de las cámaras de deriva es la medida de la velocidad de deriva en las celdas. Este parámetro determina la relación entre los tiempos medidos y la posición de paso de la partícula, por lo que es clave tener un conocimiento preciso de su valor. La velocidad de deriva puede variar a lo largo del tiempo debido a impurezas en el gas, porcentajes de mezcla de Argón y  $\text{CO}_2$  diferentes a las nominales, variaciones de la presión atmosférica y a valores de alta tensión diferentes a lo esperado.

La velocidad de deriva se calcula a partir del método del *Meantimer* (explicado en el apartado 2.4.3), que permite obtener el valor del tiempo máximo  $T_{\text{max}}$  de deriva en la celda. Este valor se corresponde con la anchura del *Timebox*, y depende de la velocidad de deriva en la celda como se muestra en la ecuación 3.7, siendo  $L_{\text{semi-cell}}$  la semianchura de la celda, igual a 2,1 cm.

$$v_d = \frac{L_{semi-cell}}{T_{max}} \tag{3.7}$$

La velocidad de deriva, calculada a partir de este método, es en realidad una velocidad de deriva aparente, pues está afectada de otros factores como el campo magnético, el ángulo de incidencia del muón o el voltaje de multiplicación obteniéndose en realidad un valor de la velocidad de deriva aparente que es el que finalmente nos interesa para obtener la relación adecuada entre tiempos y distancias. Debido a estas variaciones por los distintos factores citados es necesario calibrar correctamente la velocidad de deriva para cada una de las configuraciones.

Una vez realizadas todas las correcciones pertinentes, se puede obtener la posición de paso de la partícula, reconstruir su traza y medir su momento transversal a partir de su curvatura. Las resoluciones con que se determinan los impactos en cada celda es del orden de 250 μm. Si se tiene en cuenta el conjunto de las 4 capas que conforman una Supercapa, la resolución del segmento que se forma con los cuatro impactos es del orden de 150 μm, que se reduce a unos 100 μm cuando se consideran segmentos formados por 8 puntos, 4 de cada Supercapa Φ.

### 3.4.6 Reconstrucción de la traza del muón

Con el fin de ilustrar con un caso sencillo cómo se realiza la reconstrucción de un muón que atraviese una Supercapa de la cámara de deriva, supongamos que a los tiempos medidos de la tabla 3.10 ya se les han realizado las correcciones oportunas. Supongamos también que la velocidad de deriva ( $v_d$ ) en las celdas es constante e igual a 54,3 μm/ns. Empleando la ecuación 3.8, extraemos la información del punto de paso de la partícula a partir de los valores de tiempo medidos.

$$x = v_d t_d \tag{3.8}$$

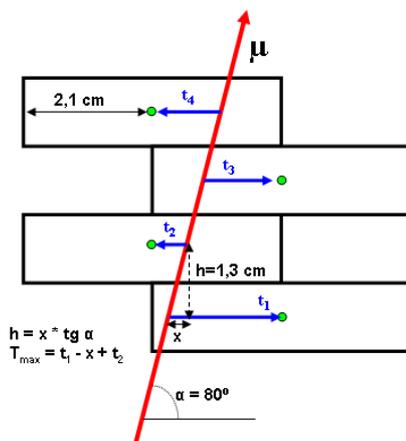


Figura 3.33: Paso de un muón por una Supercapa de la cámara de deriva.

	Tiempo (ns)	Distancia al hilo (cm)
t <sub>1</sub>	294,66	1,60
t <sub>2</sub>	134,30	0,73
t <sub>3</sub>	210,23	1,14
t <sub>4</sub>	218,72	1,19

**Tabla 3.10:** Medidas de tiempo y distancia al hilo de las señales producidas por el muón.

Se observa también que los *Meantimers* (MT) proporcionan un valor igual al tiempo máximo de deriva en la celda, 386,74 ns para la máxima distancia de deriva en la celda que es 2,1 cm.

$$MT_1 = \frac{t_1 + t_3 + 2 \cdot t_2}{2} = 386,74ns \quad (3.9)$$

$$MT_2 = \frac{t_2 + t_4 + 2 \cdot t_3}{2} = 386,74ns \quad (3.10)$$

Supongamos ahora el caso de que una señal de disparo producida 100 ns después vuelve a leer estos mismos valores de tiempo que aún no han sido borrados de la memoria del HPTDC. En este caso, los valores de tiempo medidos por el HPTDC serán 100 ns inferiores, como se puede ver en la tabla 3.11. Con estos valores, se puede comprobar que el valor de los *Meantimers* es incorrecto y no se corresponde con el tiempo máximo de deriva. En la figura 3.34 se puede comprobar que, a partir de los valores de tiempo obtenidos, las distancias calculadas ya no se corresponden con una traza reconstruida. De esta forma se demuestra que el solapamiento de disparos puede desentrañarse fácilmente tras el análisis posterior de los datos.

	Tiempo (ns)	Distancia al hilo (cm)
t <sub>1</sub>	194,66	3,58
t <sub>2</sub>	34,30	0,63
t <sub>3</sub>	110,23	2,03
t <sub>4</sub>	118,72	2,19

**Tabla 3.11:** Medidas de tiempo y distancia al hilo de las señales producidas por el muón.

$$MT_1 = \frac{t_1 + t_3 + 2 \cdot t_2}{2} = 186,74ns \quad (3.11)$$

$$MT_2 = \frac{t_2 + t_4 + 2 \cdot t_3}{2} = 186,74ns \quad (3.12)$$

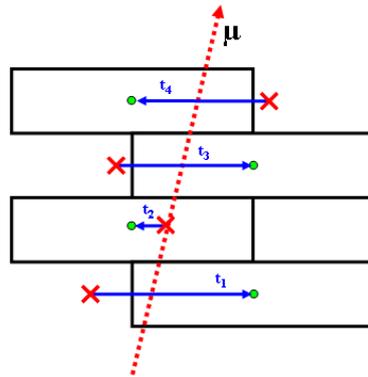


Figura 3.34: Reconstrucción de los tiempos de deriva de un suceso anterior al que corresponde.

### 3.4.7 Calibración entre canales. Modo de operación *Test Pulse*

El modo de operación *Test Pulse* permite no sólo obtener la medida de los desfases temporales  $t_0$  relativos, sino también realizar la comprobación del estado de todo el sistema electrónico, garantizando que todos los canales funcionan perfectamente tanto en la electrónica frontal, como en la de lectura y disparo.

El procedimiento consiste en inyectar en cada cámara pulsos a nivel de la electrónica frontal, previos al discriminador, de forma que simulen trazas verticales en cualquier punto del ancho de la celda. Para ello se inyectan pulsos con un desfase programable entre las capas pares e impares de una Supercapa de la cámara de deriva. La diferencia de tiempos entre los dos estímulos se puede calcular para reproducir una traza que atraviesa ortogonalmente la cámara de deriva en cualquier posición de la celda.

Desde el punto de vista de la calibración, es independiente en qué posición de la celda se simule que ha atravesado la partícula, siempre que para todos los canales se realice en el mismo punto. Es decir, sólo nos interesan las diferencias de tiempo relativas entre unos canales y otros de la misma cámara cuando reciben una señal idéntica.

En cada estímulo se producirán señales en todas las celdas, por lo que las etapas electrónicas posteriores deben habilitar en cada estímulo únicamente los canales apropiados. Dependiendo de los canales que estén habilitados el resultado es cualquiera de las trazas que se presentan en la figura 3.35.

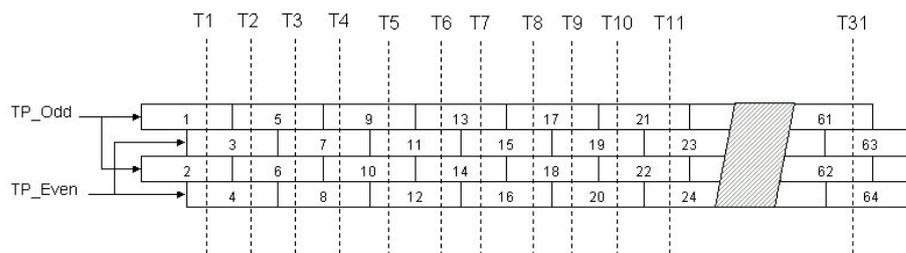


Figura 3.35: Representación de las distintas trazas sobre la cámara de deriva en cada uno de los sucesos en el modo de operación *Test Pulse*.

El sistema de enmascaramiento está dividido entre la electrónica frontal (FEB) y las tarjetas ROB. En la tabla 3.8 se puede observar los canales que están habilitados en la ROB en cada uno de los eventos, en los sucesos impares están habilitados 4 canales de cada Supercapa, mientras que en los pares hay 8 canales habilitados por Supercapa. La electrónica frontal enmascara en los sucesos pares los otros 4 canales de forma que en cada suceso sólo se tengan señales de 4 canales por Supercapa y por tarjeta ROB.

El resultado es que en cada suceso de *Test Pulse* se obtiene una traza vertical en cada ROB, y dependiendo del número de ROBs por cámara se tienen hasta 5 trazas verticales por suceso. En la figura 3.36 se puede observar la representación visual de estas trazas en un evento de *Test Pulse* para un sector.

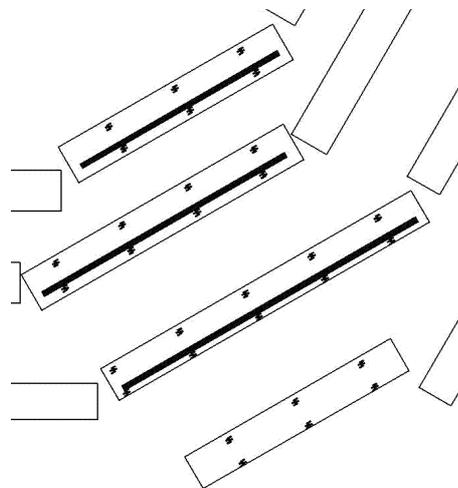


Figura 3.36: Representación visual de las celdas disparadas durante un suceso de *Test Pulse*.

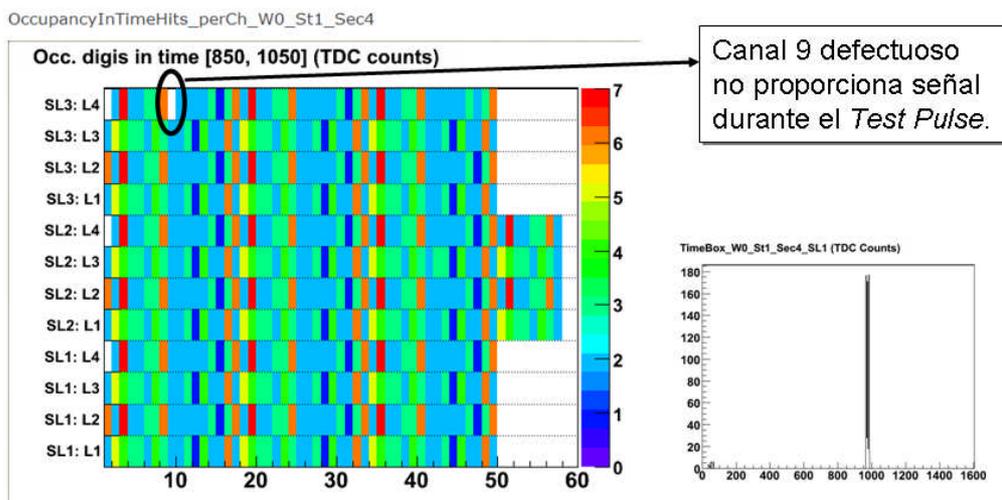


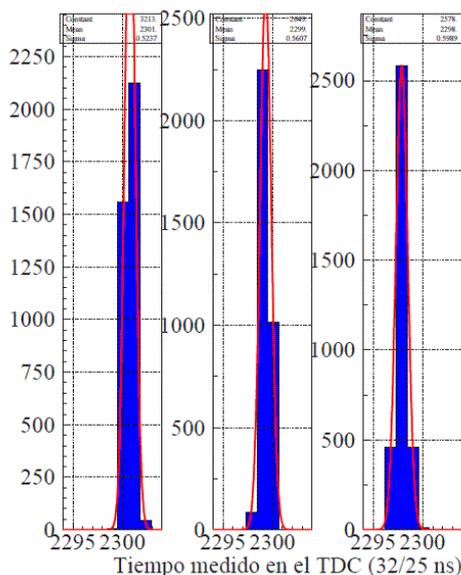
Figura 3.37: Imagen de la ocupación de las celdas de una cámara durante una toma de datos de *Test Pulse*. El número de trazas generada no es igual en cada posición y por eso las ocupaciones de cada parte son distintas. No obstante, se observa como se pueden identificar zonas muertas del detector como el canal 9 de la Supercapa 3, Layer 4. En la imagen de la derecha se observa el *Timebox* que se obtiene en una Supercapa durante estas tomas de datos. Se observa que el valor del tiempo medido es aproximadamente igual en todos los canales y sus diferencias se corresponden con los  $t_0$  relativos.

La activación del modo de *Test Pulse* se realiza a través de unos comandos generados por el sistema TTC. Asimismo, su lectura se realiza mediante la generación de una señal de disparo L1A de calibración, con la latencia correspondiente. La activación de este modo de operación es muy rápida y de hecho, en caso de ser necesario, es posible implementarlo al final de cada órbita del LHC en el período de tiempo en el que no se están produciendo colisiones. Cada órbita está formada por 3564 ciclos de reloj, y se producirán colisiones en los primeros 3446 ciclos, quedando libres 117 ciclos de reloj (2.925 ns).

Existen tres señales básicas para su funcionamiento del modo *Test Pulse*:

- **Track reset:** Inicializa la secuencia de trazas, reinicializa las máscaras de habilitación a los primeros canales de cada Supercapa.
- **Track advance:** Indica a los sistemas de habilitación que deben moverse al siguiente grupo de canales.
- **Test pulse mode:** Activa el modo *Test Pulse* y genera los pulsos en la electrónica frontal.

Las distribuciones de tiempos (*Timebox*) que se obtienen en las tomas de datos de *Test Pulse* son similares a las que se puede observar en la figura 3.38. La anchura de las distribuciones depende de la resolución del sistema, y su posición relativa proporciona una medida de los distintos desfases temporales entre canales. Ajustando estas distribuciones a gaussianas y calculando su media, se obtiene una estimación de los  $t_0$  relativos.

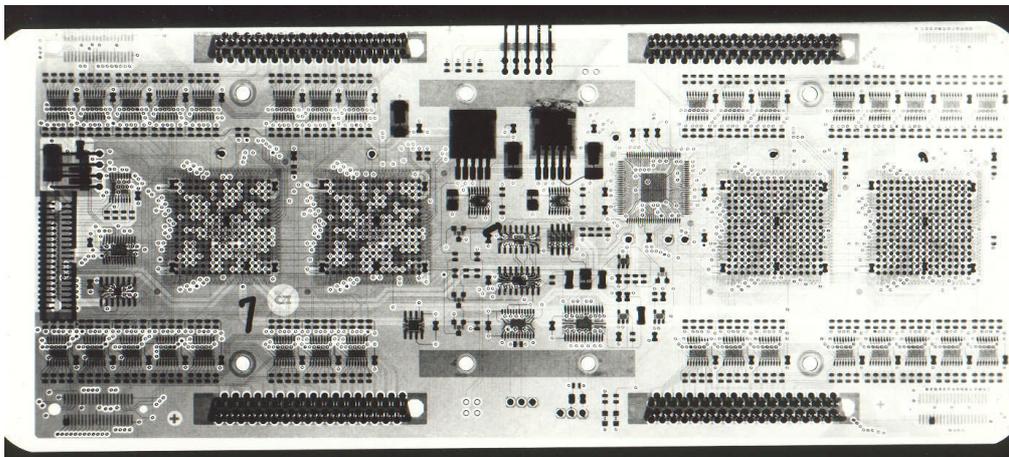


**Figura 3.38:** Tiempos medidos en el HPTDC para tres canales diferentes al tomar datos en modo *Test Pulse*.

### 3.5 FABRICACIÓN Y SISTEMA DE PRUEBAS DE LA TARJETA ROB

La fabricación de la tarjeta ROB incluyó la fabricación de 3 tipos de prototipos distintos donde se fue perfeccionando el diseño. El resultado fue una tarjeta de circuito impreso con una alta densidad de integración, realizada por la empresa DISELEC donde se utilizaron pistas de 0,2 mm de ancho y vías con taladros de 0,4 mm.

El montaje de las tarjetas ROB finales se realizó en la empresa IMPELEC, que disponía de los medios apropiados para realizar soldadura de las BGAs de los HPTDCs. En la radiografía de la figura 3.39 se aprecia la calidad de la soldadura en las BGAs.



**Figura 3.39:** Radiografía de una tarjeta ROB en la que se aprecia la correcta soldadura de los distintos componentes.

Se fabricaron un total de 1.685 tarjetas ROB-128 y 69 tarjetas ROB-32. En total era necesario instalar 1.440 ROB-128 (17% de tarjetas de repuesto) y 60 ROB-32 (15% de tarjetas de repuesto). No obstante, en la primera tanda de 185 ROBs producidas se detectó un problema en los HPTDCs, que generaban un error de paridad en la memoria de lectura de salida (*L1 buffer parity error*). Se comprobó que este error dependía de la tensión de 2,5 V, siendo más probable cuando ésta era ligeramente superior al valor nominal. Por tanto, se cambiaron los HPTDCs defectuosos de ese primer lote y se probaron todos los ASICs HPTDCs previamente al montaje en las ROBs descartando aquellos que produjesen el error a tensiones inferiores a 2,7 V.

De las 1.685 tarjetas ROB-128 que se fabricaron posteriormente, 46 tarjetas tuvieron fallos durante el montaje, por lo que el rendimiento de la producción fue del 97%. Similar fue el resultado del montaje de las tarjetas ROB-32, de las cuales 3 tuvieron problemas durante el montaje (96% de rendimiento). Aproximadamente el 75% de los problemas se debían a soldaduras o montaje incorrecto y el 25% a dispositivos defectuosos.

Dado el elevado número de tarjetas que era necesario fabricar y la complejidad de las mismas, que dificultaba una comprobación del montaje basado en tests de interconexión, desarrollé en el CIEMAT un sistema de pruebas que

permitiera verificar el correcto funcionamiento de la tarjeta garantizando que el correcto montaje y operación de todos los componentes.

Este sistema de pruebas tenía como requisitos además de permitir un análisis completo de la operación de la ROB, ser compacto y sencillo de manejar, sin necesidad de que la tarjeta ROB esté conectada a una cámara de deriva, con el fin de poder instalarlo en la empresa de montaje y verificar allí mismo la calidad de la tarjeta.

Se desarrolló por tanto un equipo de pruebas como el que se puede observar en la figura 3.40 que permite simular el funcionamiento de la ROB en una situación similar a la que se tendría al estar conectada a la cámara.

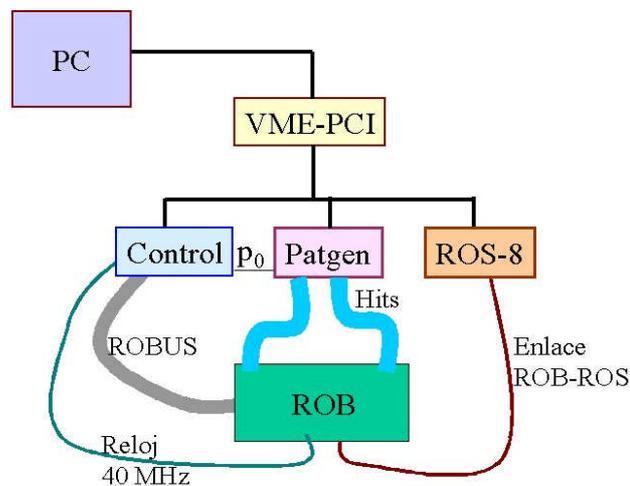


**Figura 3.40:** Sistema de pruebas de la tarjeta ROB.

El sistema de pruebas consiste en un chasis VME que se conecta a una computadora donde un programa permite realizar los distintos pasos de las pruebas de validación. En el chasis VME se alojan diversas tarjetas electrónicas que se interconectan con la tarjeta ROB de pruebas, el esquema de interconexión se puede observar en la figura 3.41. Estas tarjetas VME son tarjetas *ad-hoc* diseñadas específicamente para las pruebas de la tarjeta ROB. La funcionalidad básica de las mismas se describe brevemente a continuación:

- **Tarjeta de Control (Control-X):** Esta tarjeta dispone de una conexión al ROBUS a través de la cual se puede realizar el encendido de las ROBs, la configuración mediante JTAG, suministrar reloj de 40 MHz, se pueden enviar señales de *reset* a los distintos contadores, etc. También está programada para responder a interrupciones y para recibir relojes o disparos externos. En general dispone de toda la funcionalidad a través del ROBUS, así como la generación de señales disparos y *bits* con retardos programables.

- **Generador de patrones (Patgen):** Esta tarjeta dispone de dos canales para recibir *bits* LVDS generados por la tarjeta de control (o similar) y realizar un *fan-out* con enmascaramientos programables a los 128 canales de una ROB.
- **Tarjeta de lectura (ROS-8) [136]:** Esta tarjeta es un prototipo de lo que será la tarjeta ROS final y se utiliza para recoger la información del enlace de las ROBs y almacenar los datos en unas FIFO a las que se puede acceder desde el bus VME.



**Figura 3.41:** Representación del equipo de pruebas empleado para operar la ROB.

Todos los programas que se utilizan para operar este sistema los he desarrollado en el entorno LabVIEW® 6.0 [137], que es un software de programación gráfica orientado a la automatización y la adquisición de datos. Este software permite un cómodo acceso al bus VME, y la posibilidad de realizar un amplio y variado procesado de datos junto con una visualización y presentación de resultados potente y simple para el usuario.

El sistema de pruebas realiza las siguientes comprobaciones:

- Comprobación del código de barras de la ROB.
- Comprobación de que la tarjeta ROB se encendía únicamente con la dirección de encendido programada.
- Realizar un cortocircuito y verificar que el sistema de sobreconsumos funcionaba correctamente y que lo señalizaba a través de la línea FLTB.
- Comprobar que la tarjeta responde únicamente a la dirección de acceso programada.
- Lectura de las corrientes, tensiones y temperatura de la tarjeta y verificar que sus valores se encuentran dentro de los rangos permitidos.

- Configuración de la tarjeta y comprobación del contenido de los distintos registros.
- Comprobación de que la línea de error se activa al generar un error y que la tarjeta se reinicia correctamente.
- Pruebas del estado de las memorias internas del HPTDC y de su llenado tras una alta tasa de señales.
- Comprobación de la habilitación y deshabilitación de canales independientes.
- Verificar la recepción correcta de las señales TTC.
- Adquisición de datos y comprobación de las medidas temporales. Comprobación de la integridad de datos y de la sincronización del sistema. Verificar el correcto funcionamiento del protocolo de lectura y del serializador.
- Toma de datos en modo *Test Pulse* y comprobación del sistema de enmascaramiento y de los valores temporales medidos.

Se fabricaron dos de estos sistemas de pruebas, uno de ellos se instaló en la empresa IMPELEC para que la propia empresa pudiera realizar una primera verificación del funcionamiento de todas las tarjetas ROB tras su montaje. El programa proporcionaba distinta información según el tipo de fallo, permitiendo identificar el componente o la zona de componentes que fallaban con el fin de proceder a su reparación. Una vez recibíamos las tarjetas ROB montadas en el CIEMAT, procedíamos a una nueva verificación de su funcionamiento con el otro sistema de pruebas, que además, resultó de gran utilidad para algunas de las pruebas de validación específicas que se realizaron y que se detallan en el capítulo 7.



## *Capítulo 4*

# **INTEGRACIÓN DE LA TARJETA ROB: EL MINICRATE**

En este capítulo se describe el sistema que permite la integración de las tarjetas ROB dentro del detector CMS y que se denomina Minicrate. Esta estructura permite integrar el sistema de lectura, disparo y sistema de control de la cámara de deriva en una única unidad autónoma para la detección de partículas cargadas. Además de describir las partes que lo componen y las necesidades que han llevado a la presente estructura, cuya mecánica y cableado se han diseñado y fabricado en el CIEMAT, también se describe el sistema de pruebas creado con el fin de validar la producción de los 250 Minicrates en el CIEMAT y que permite analizar los distintos elementos de su funcionamiento.

#### 4.1 DESCRIPCIÓN DEL MINICRATE

El Minicrate [138] y [139] es la estructura de aluminio donde se integran las tarjetas ROB de lectura, la electrónica de disparo formada por las tarjetas TRB (*Trigger Boards*) y SB (*Server Board*) (desarrolladas por el INFN de Padua y de Bolonia, respectivamente), y la electrónica de control de la cámara, la tarjeta CCB (*Chamber Control Board*) (también responsabilidad del INFN de Padua). Todas estas tarjetas electrónicas comparten en el Minicrate las tensiones de alimentación, la mecánica, el sistema de refrigeración, el sistema de configuración y monitorización y el sistema de sincronización TTC de CMS.

Un diagrama simplificado de la estructura del Minicrate se puede observar en la figura 4.1, donde se indican las tarjetas ROB, situadas en la parte inferior, las tarjetas TRB que se conectan sobre las ROB y las tarjetas CCB y SB situadas en el centro del Minicrate.

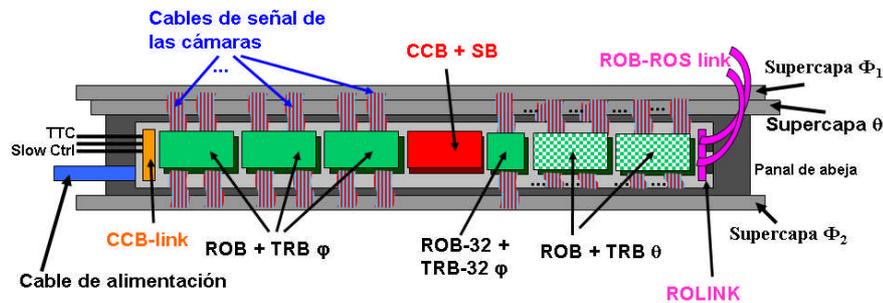


Figura 4.1: Diagrama de la estructura de un Minicrate y de sus módulos electrónicos.

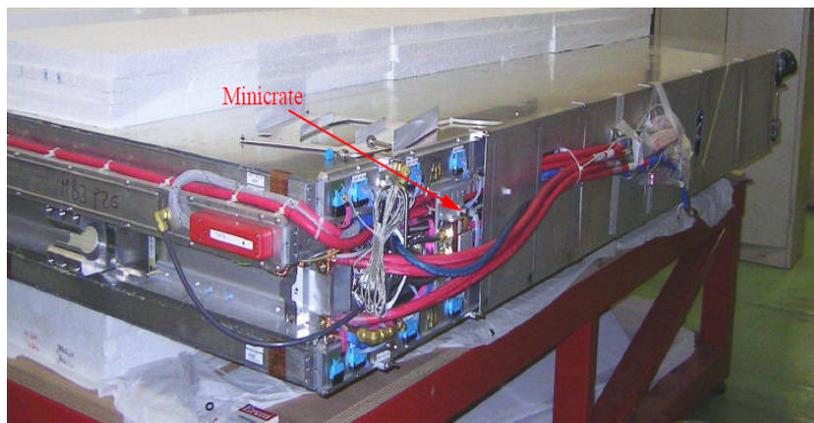


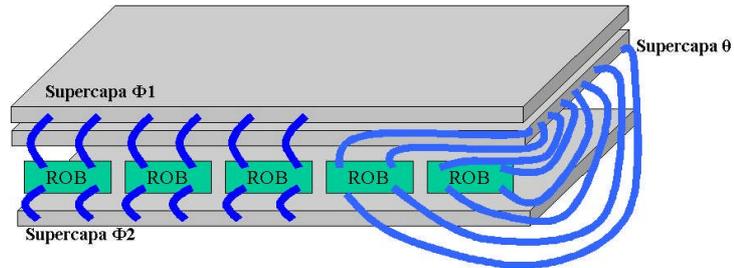
Figura 4.2: Imagen de una cámara de deriva con el Minicrate acoplado a su estructura.

El Minicrate forma un módulo electrónico independiente que permite operar de forma autónoma una cámara de deriva, proporcionando un sistema de lectura y de auto-disparo sin necesidad de emplear plásticos centelleadores que determinen el paso de una partícula cargada.

El Minicrate se acopla en el panel de abeja de la cámara de deriva como puede verse en la figura 4.2, quedando totalmente integrado dentro de la

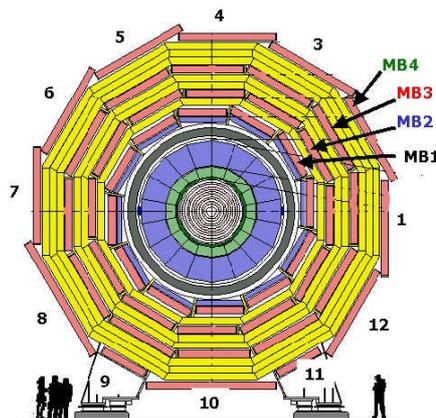
estructura de la cámara que se instalará en los huecos del hierro de las ruedas de CMS.

La electrónica de lectura y de disparo se conecta a la electrónica de frontal de las distintas Supercapas de acuerdo con el mapa que se puede consultar en [140] y que se muestra simplificado en la figura 4.3. Las tarjetas ROB para las Supercapas  $\Phi$  y  $\theta$  son idénticas, mientras que las tarjetas TRB son específicas en cada uno de los casos.



**Figura 4.3:** Esquema de las conexiones de una cámara de deriva a las ROBs de un Minicrate.

Dependiendo de la posición dentro de las ruedas de CMS, el tamaño de las cámaras de deriva y por tanto del Minicrate es distinto. Se distinguen cuatro tipos principales MB1, MB2, MB3 y MB4 según la capa de la rueda de CMS en la que esté situado. A su vez, los Minicrates del tipo MB4 se diferencian según el sector en el que se encuentren. En los sectores S4 y S10 se tienen dos cámaras MB4, siendo de inferior tamaño cada una al resto de los sectores. En los sectores S9 y S11, las cámaras han de ser más estrechas pues estos sectores coinciden con las sujeciones de la rueda.



**Figura 4.4:** Representación de un corte transversal del detector CMS donde se indican los números de los distintos sectores y de las cámaras de deriva en las distintas capas.

Dependiendo de la localización de las conexiones a los servicios generales dentro de las ruedas de CMS se diferencian también Minicrates de tipo *Left* y *Right*, idénticos en funcionalidad pero con la orientación de las conexiones externas invertidas. En la figura 4.5 se indica el número de Minicrates de cada tipo, siendo el total de 250 Minicrates que fue necesario fabricar e instalar.

Además se fabricaron 14 Minicrates de repuesto de distintos tipos con el fin de poder reemplazar el módulo completo en caso de ser necesario.

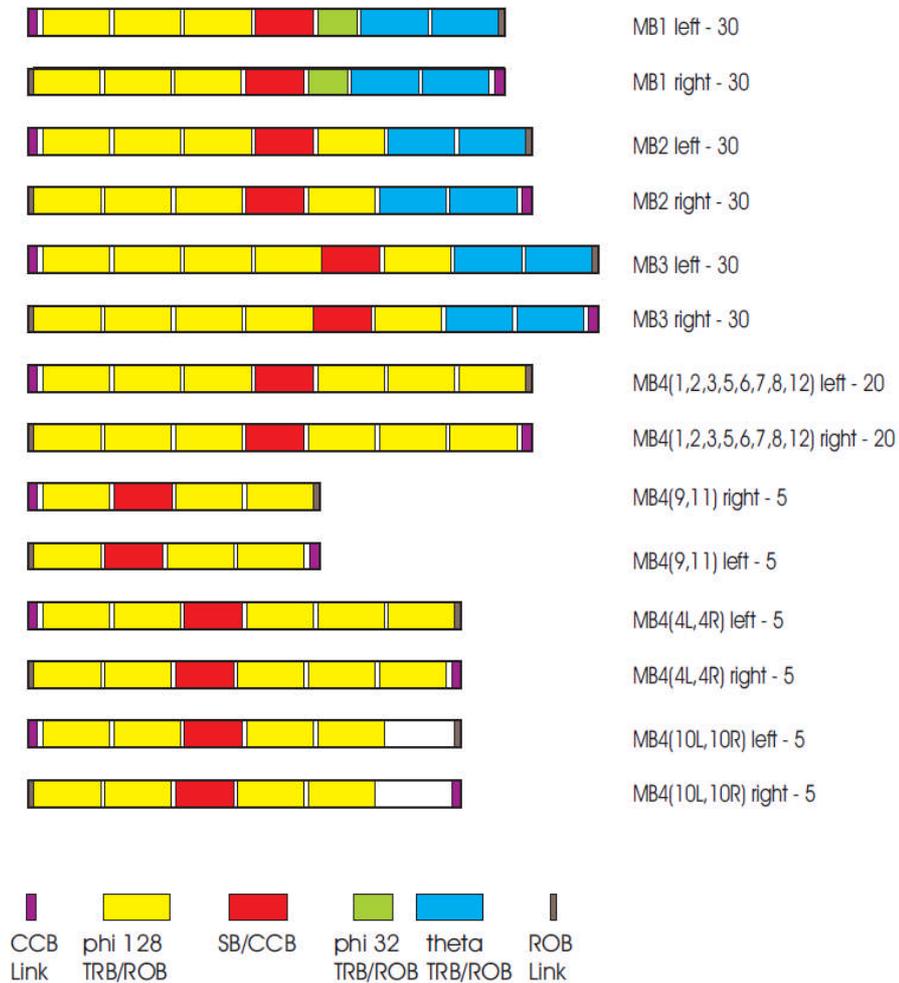
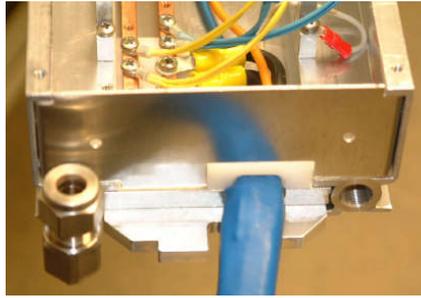


Figura 4.5: Representación de los distintos tipos de Minicrates y de las tarjetas que lo forman.

## 4.2 LA ESTRUCTURA MECÁNICA

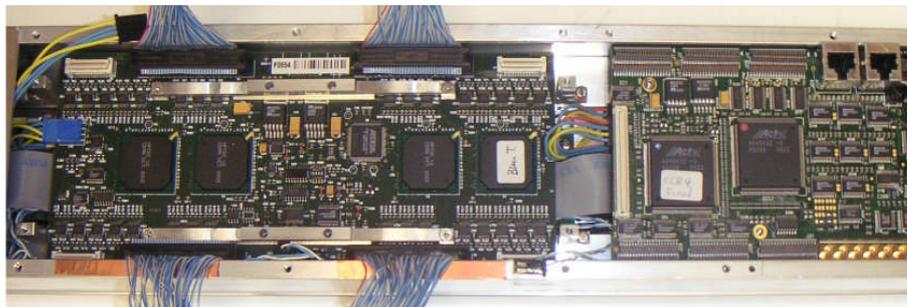
Las longitudes de los Minicrates varían entre los 207,5 cm para el tipo MB3 y 107,1 cm para el tipo MB4(9,11), con una anchura fija de 10,5 cm y una altura de 5,5 cm. El peso total de un Minicrate varía entre los 8 y 16 kg.

El diseño de las distintas piezas mecánicas que componen la estructura del Minicrate puede consultarse en [141], y han sido diseñadas en el CIEMAT para proporcionar un soporte mecánico a las distintas tarjetas y permitir la disipación de calor mediante conducción térmica al flujo de agua desmineralizada a 18°C que circula por unas tuberías longitudinales en el interior del Minicrate. En la figura 4.6 se observa una imagen de un extremo del Minicrate donde pueden observarse las tuberías de entrada y salida de agua y el cable de las tensiones de alimentación.



**Figura 4.6:** Vista transversal del Minicrate donde se observan las conexiones con el sistema de refrigeración.

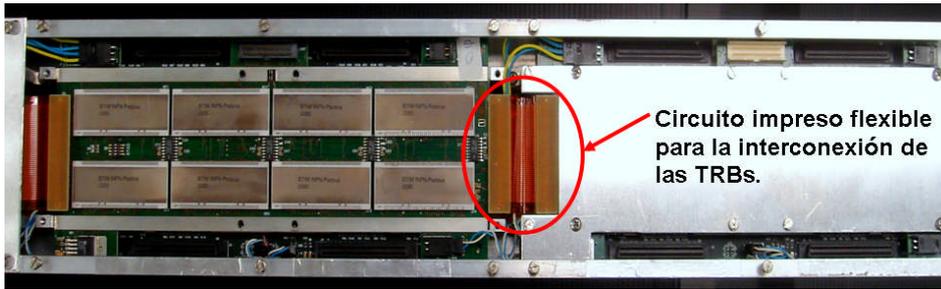
A lo largo del perfil del Minicrate se sitúan diversas barras de aluminio sobre las que se apoyan los planos de masa de las tarjetas ROB y CCB y que permite la conducción del calor disipado a la estructura del Minicrate. Encima de las tarjetas se sitúan otro par de barras metálicas que permiten atornillar la tarjeta inferior fijando su posición, como puede verse para la ROB en la figura 4.7, y sobre las que se apoyarán las tarjetas superiores (TRB o SB). La altura de estas barras es exactamente la separación entre las tarjetas una vez conectadas, y por tanto el plano de masa de las tarjetas superiores estará en contacto térmico con la estructura del Minicrate.



**Figura 4.7:** Imagen de una tarjeta ROB y una CCB instaladas en el Minicrate.

Dado que el consumo de las tarjetas TRB es bastante elevado (9 Watts), encima de cada tarjeta TRB se sitúa una plancha de aluminio en contacto térmico con los BTIs y reguladores. Esta plancha se atornilla a unas piezas en forma de L en los extremos de las tarjetas que la conectan a la estructura del Minicrate, consiguiendo una gran mejora en la disipación térmica. La plancha de aluminio se separa de los componentes de la TRB mediante una plancha de silicona térmicamente conductora y aislante eléctrico para mejorar la disipación de calor. En la figura 4.8 se observa la tarjeta TRB a la derecha y el resultado tras atornillar la plancha de aluminio a la izquierda.

Las tarjetas TRB se unen entre sí y se conectan a la tarjeta CCB mediante unos circuitos impresos flexibles como se puede observar en la figura 4.8. Asimismo, unas cintas planas de 40 hilos de paso fino interconectan las TRBs con la tarjeta SB y se distribuyen por encima de las planchas de aluminio.

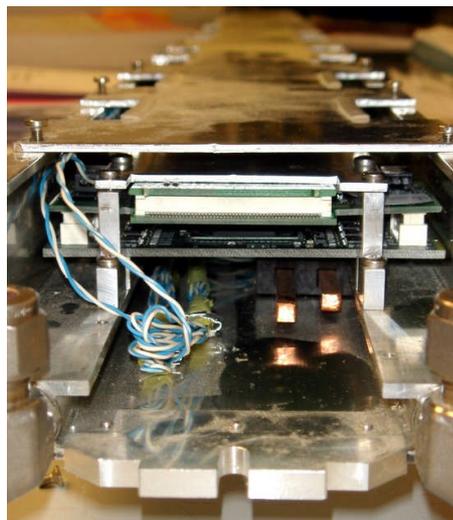


**Figura 4.8:** Imagen de dos tarjetas TRB instaladas en el Minicrate.

Como puede verse, la tarjeta TRB ha sido diseñada dejando libre el espacio de entrada de los conectores de la ROB que reciben las señales de la electrónica frontal de la cámara. La estructura del Minicrate se completa con unas tapas de aluminio que cierran la estructura protegiendo el cableado y que permiten la entrada de los cables procedentes de las cámaras de deriva como puede verse en la figura 4.9. Finalmente, en la figura 4.10 se puede observar una imagen transversal de la estructura ROB-TRB integrada en el Minicrate.

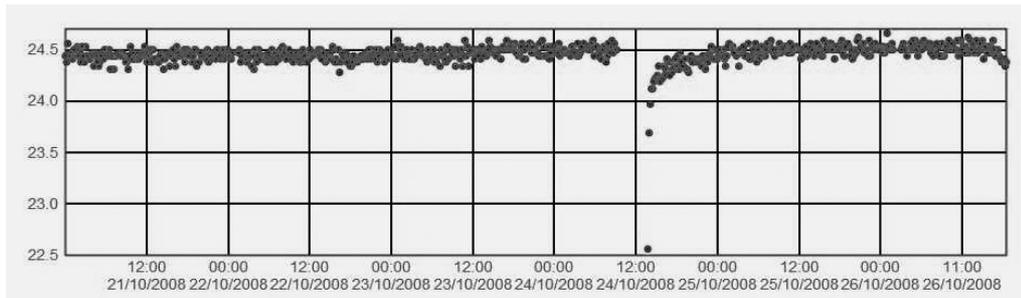


**Figura 4.9:** Imagen de una sección del Minicrate completamente montado y con las cubiertas instaladas.

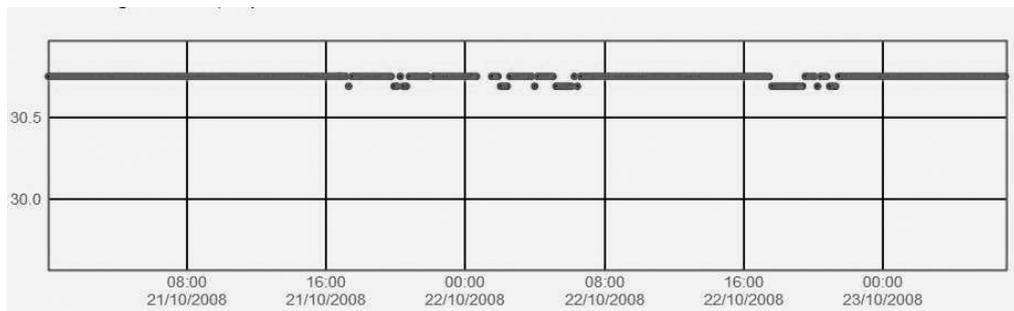


**Figura 4.10:** Vista transversal del Minicrate donde se observa la estructura formada por las tarjetas ROB y TRB.

De los datos de la tabla 4.1 se obtiene que la potencia total consumida en una rueda de CMS es del orden de 4 kW. El flujo de agua del circuito de refrigeración en cada rueda es de 30 l/min y su temperatura de entrada es 18°C y 20°C la de salida. En la figura 4.11 se observa que las tarjetas ROB se estabilizan cuando su temperatura es de 24,5°C, mientras que las TRBs, cuyo consumo es de aproximadamente 9 W frente a los 3 W de la ROB, se estabilizan al llegar a 30,7°C. Una vez estabilizada su temperatura, ésta se mantiene constante a lo largo del tiempo, por lo que la disipación térmica es suficientemente efectiva.



**Figura 4.11:** Temperatura de una tarjeta ROB dentro del Minicrate a lo largo del tiempo. Se observa que el 24 de Octubre a las 9:00 apagamos ese Minicrate, encendiéndolo posteriormente a las 13:00.



**Figura 4.12:** Temperatura de una tarjeta TRB dentro del Minicrate a lo largo del tiempo.

### 4.3 EL SISTEMA DE ALIMENTACIÓN

Las tensiones de alimentación que se emplean en el Minicrate son:

- 3,3 Voltios: Cuya tensión nominal de entrada debe ser 4V para compensar la caída de tensión en los reguladores de las distintas tarjetas. Se emplea para alimentar las tarjetas ROB, TRB y CCB. La corriente máxima requerida es 42 A.
- 5 Voltios: Cuya tensión nominal de entrada debe ser 6 V para compensar la caída de tensión en los reguladores. Se emplea para alimentar la tarjeta CCB y debe proporcionar una corriente máxima de 1,8 A.

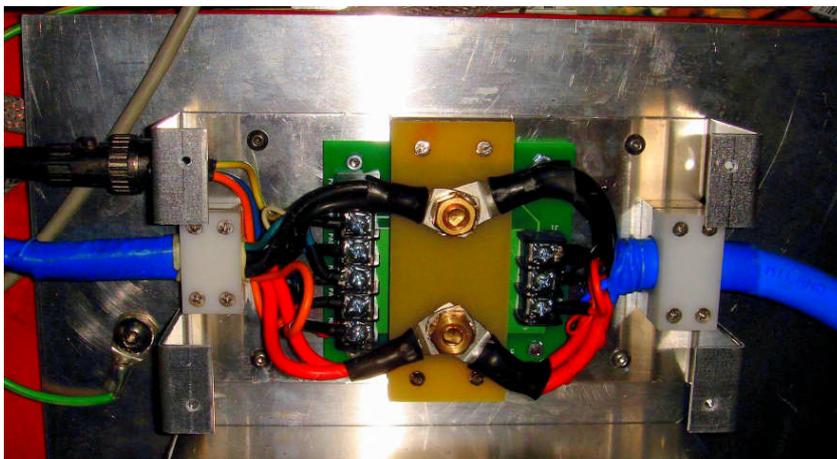
Las corrientes medias para cada tipo de Minicrate y su potencia consumida se indican en la tabla 4.1:

	I (A) 5 V	I (A) 3,3 V	P (W)
MB1	1,4	21	76
MB2	1,4	23,5	85
MB3	1,4	26,7	95
MB4 (1,2,3,5,6,7,8,12)	1,4	22	80
MB4 (4)	1,4	19,3	71
MB4 (10)	1,4	15	57
MB4 (9,11)	1,4	12,3	48

**Tabla 4.1:** Consumos de corriente y potencia en los distintos tipos de Minicrates.

Las tensiones de alimentación en el Minicrate provienen de las fuentes de alimentación CAEN A3050 y A3009 situadas en las torres de los laterales de las ruedas de CMS. Existe un cable de alimentación de entre 10 a 20 metros que conecta cada Minicrate a su fuente correspondiente. Este cable está formado por dos pares de cables de  $9 \text{ mm}^2$  para la alimentación de 3,3 V, un par de cables de  $1,5 \text{ mm}^2$  para la alimentación de 5 V y dos pares de cables de  $0,25 \text{ mm}^2$  para el sensor de tensión de la fuente de alimentación, permitiendo corregir la caída de tensión en los cables. Este cable está recubierto por una malla metálica que sirve de apantallamiento y que se conecta a tierra al final del cable al nivel del hierro de la rueda de CMS.

El cable de alimentación proveniente de la fuente se conecta a un panel de distribución, el LVPP (*Low Voltage Patch Pannel*) cuya imagen se puede observar en la figura 4.13 y que permite desacoplar la instalación del cableado de alimentación de la instalación de las cámaras y distribuir la alimentación al sistema PADC [142] de medida de la presión del gas de las cámaras. Del LVPP al Minicrate se emplea un cable de 1,5 m de longitud formado por una cubierta de plástico termorretractil que recubre una malla de apantallamiento y dos pares de cables de  $6 \text{ mm}^2$  de sección para distribuir la alimentación de 3,3 V y un par de cables de  $1,5 \text{ mm}^2$  de sección para la alimentación de 5 V.



**Figura 4.13:** Imagen del LVPP instalado en la rueda de CMS y que permite la conexión de los cables de alimentación desde los módulos situados en los armarios hasta el Minicrate.

Las salidas de las fuentes de alimentación están flotando con respecto a la tierra de los armarios en las torres laterales de CMS. La conexión a tierra del Minicrate se realiza mediante una conexión con tiras trenzadas de cobre de baja impedancia al hierro de la rueda de CMS desde la tarjeta *Splitter Board*, situada encima del Minicrate y empleada para distribuir la alimentación a la electrónica frontal. El hierro de las ruedas de CMS forma una superficie conductora de referencia que a su vez se conecta a la tierra global de referencia de la caverna. El esquema del interconexiónado se presenta en la figura 4.14.

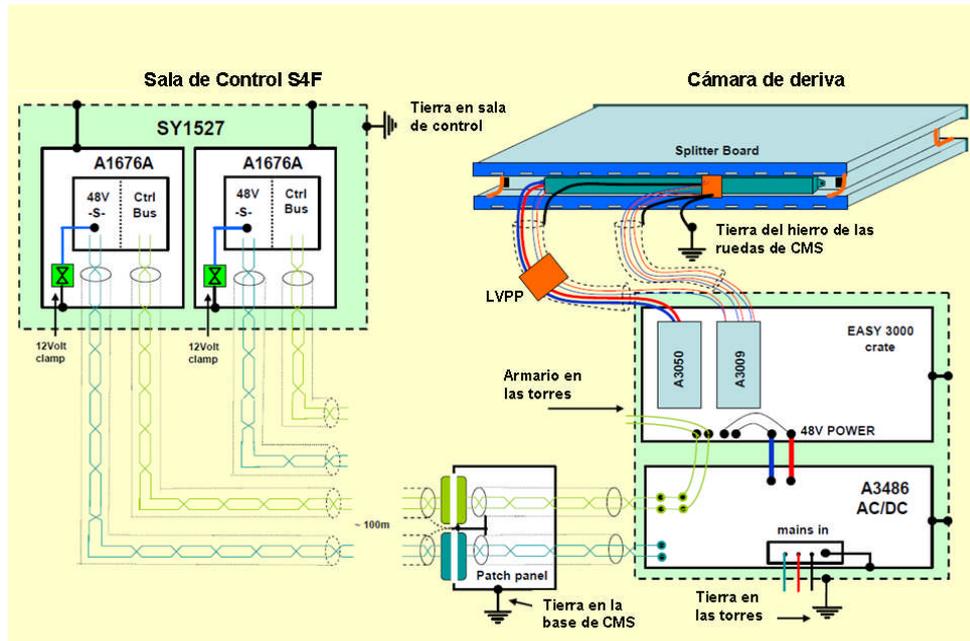


Figura 4.14: Diagrama de las conexiones de baja tensión en las cámaras de deriva de CMS.

Las tensiones de alimentación se distribuyen dentro del Minicrate a través de dos barras de cobre de 25 mm<sup>2</sup> donde se atornillan los distintos cables de alimentación para cada tarjeta. Cada tarjeta se alimenta independientemente con el fin de minimizar la propagación de errores. Se han instalado una serie de condensadores de 3300  $\mu\text{F}$  y 2200  $\mu\text{F}$  a lo largo de las barras de alimentación con el fin de filtrar las posibles fluctuaciones de la tensión de alimentación. En la figura 4.15 se puede observar un detalle de las conexiones de alimentación.

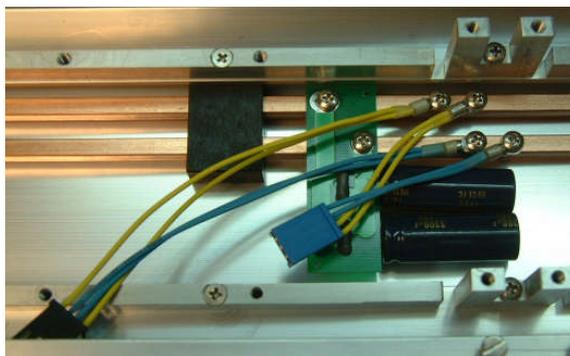


Figura 4.15: Imagen del sistema de distribución de las tensiones de alimentación en el Minicrate.

Una característica importante de la secuencia de encendido de la alimentación del Minicrate es que la alimentación de 3,3 V debe ser estable antes de encender los 5 V, puesto que en caso contrario existe el riesgo de que se alimenten incorrectamente los dispositivos de la tarjeta CCB y ésta entre en un modo de operación indefinido.

#### 4.4 EL SISTEMA DE CONTROL Y MONITORIZACIÓN

El módulo CCB (*Chamber Control Board*) diseñado por el INFN de Padua es el encargado de realizar la configuración y la supervisión de toda la electrónica de la cámara de deriva, entre la que se incluyen las tarjetas ROB.

La lógica de la tarjeta CCB está repartida entre la propia tarjeta CCB y la cara inferior de la tarjeta SB (*Server Board*), ambas situadas en el centro del Minicrate. El dispositivo fundamental de la tarjeta CCB es un microcontrolador de Motorola MC68HC16Z1CPV16 [143] que realiza todas las operaciones de configuración y monitorización del sistema. Este microcontrolador, cuyo código se puede reprogramar remotamente, descarga de una memoria *flash* AT29C020 [144] los distintos parámetros de configuración de todo el sistema, ejecutando un programa de autoconfiguración tras el encendido del Minicrate, de forma que se encuentre preparado para la toma de datos aun cuando no exista conexión con el sistema de control externo.

El microcontrolador de la CCB garantiza la seguridad del sistema, apagando cada una de las tarjetas si se detecta una condición de sobre-consumo o si los valores de las temperaturas exceden un límite programable. Además, durante la toma de datos la tarjeta CCB se puede programar para ejecutar una verificación de los datos de configuración del Minicrate, notificando los distintos errores encontrados.

Existen del orden de 120 comandos distintos implementados en el microcontrolador de la CCB que se pueden ejecutar desde el software externo de control para realizar las distintas acciones de control y monitorización. La documentación detallada de estos comandos se puede encontrar en [145].

Por otro lado, la tarjeta CCB incluye los diversos dispositivos de interfaz con las distintas partes electrónicas de la cámara. Por una parte se conecta a la electrónica frontal mediante un bus I<sup>2</sup>C [146] que permite la lectura de las temperaturas, el enmascaramiento de canales, la configuración del ancho del pulso de salida, etc. La tarjeta CCB se conecta también mediante un bus I<sup>2</sup>C con los módulos de alineamiento, los sensores de presión de gas de la cámara y el sistema de control de las cámaras RPC con el fin de modificar distintos parámetros de funcionamiento, como por ejemplo, las tensiones umbrales de disparo de la electrónica frontal de las RPCs.

Asimismo, dispone de los generadores de pulso y amplificadores de salida para transmitir las señales de *Test Pulse* con los valores de desfase programados y los DACs (*Digital to Analog Converter*) que permiten modificar los valores de las tensiones de base y umbrales de la electrónica frontal. En la figura 4.16 se observa una imagen de la tarjeta CCB donde se indican sus conexiones principales.

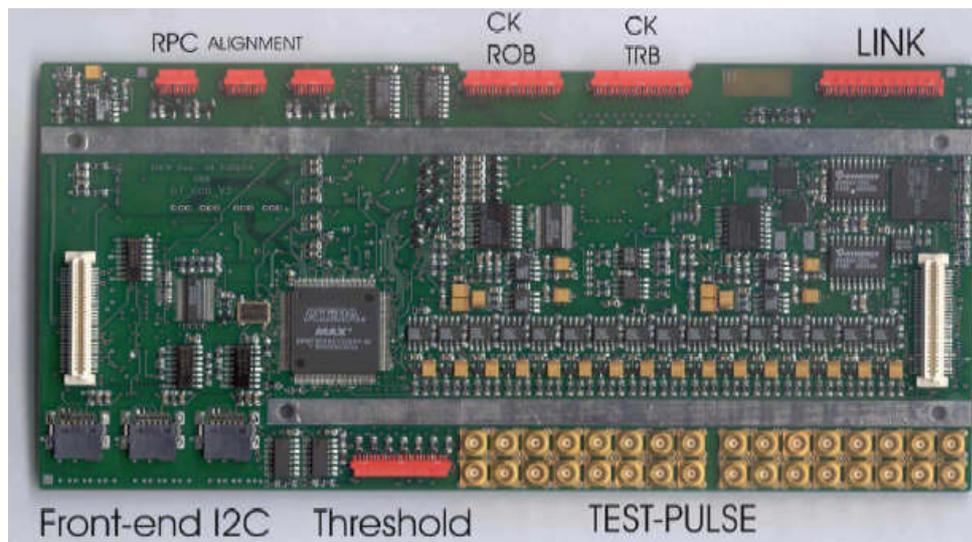


Figura 4.16: Imagen de la tarjeta CCB.

La conexión de la tarjeta CCB con el sistema de control de CMS DCS (*Detector Control System*) [147] se realiza a través de la tarjeta CCB-link, situada en uno de los extremos del Minicrate y a la cual se conecta a través de un cable paralelo Amphenol Spectrastrip 193-2821-020 de 20 hilos [148]. La tarjeta CCB-link dispone de una conexión primaria bidireccional RS-232 *full duplex* [149] mediante fibra óptica y una conexión secundaria mediante un enlace de cobre RS-485 *half duplex* [150] que permite mantener la comunicación con el Minicrate en caso de fallo de la conexión primaria.

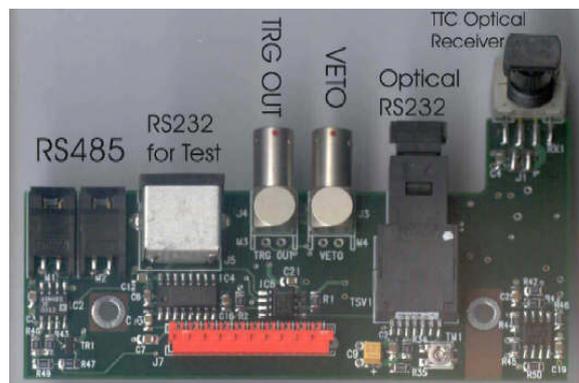


Figura 4.17: Imagen de la tarjeta CCB-link.

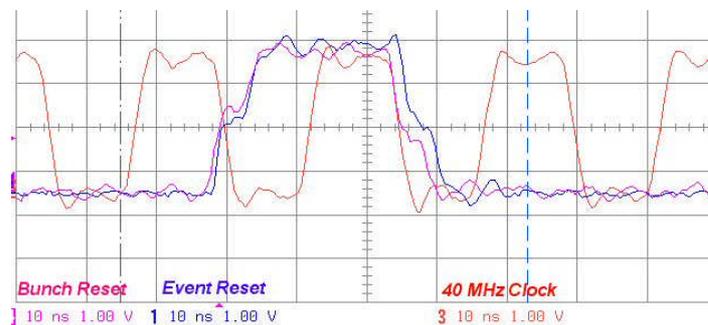
La tarjeta CCB-link, cuya imagen se puede ver en la figura 4.17, se conecta también mediante fibra óptica al sistema TTC y traduce a señales eléctricas las señales ópticas de sincronización que son enviadas a la tarjeta CCB. Las señales TTC se decodifican en el dispositivo TTCrx situado en la tarjeta CCB, cuyo funcionamiento se explicará en más detalle en el capítulo 6, y posteriormente son distribuidas a todo el Minicrate.

## 4.5 LOS ELEMENTOS DEL SISTEMA DE LECTURA

Las tarjetas ROB se conectan a la CCB a través del cable paralelo ROBUS, que es un cable de 40 hilos Amphenol Spectra-Strip (191-3005-040) de 0,025 pulgadas entre hilos [151]. A través de este cable se transmiten las distintas señales de control del encendido, de direccionamiento, de configuración JTAG de las ROB, de monitorización y de sincronización con el sistema TTC. Las líneas comunes del ROBUS se terminan mediante unas resistencias en las tarjetas ROB situadas en los extremos del Minicrate.

La tarjeta CCB distribuye las señales de reloj TTC mediante conexiones LVDS punto a punto a las distintas tarjetas ROB, con el fin de minimizar la interferencia entre esta señal y el resto de las señales del ROBUS.

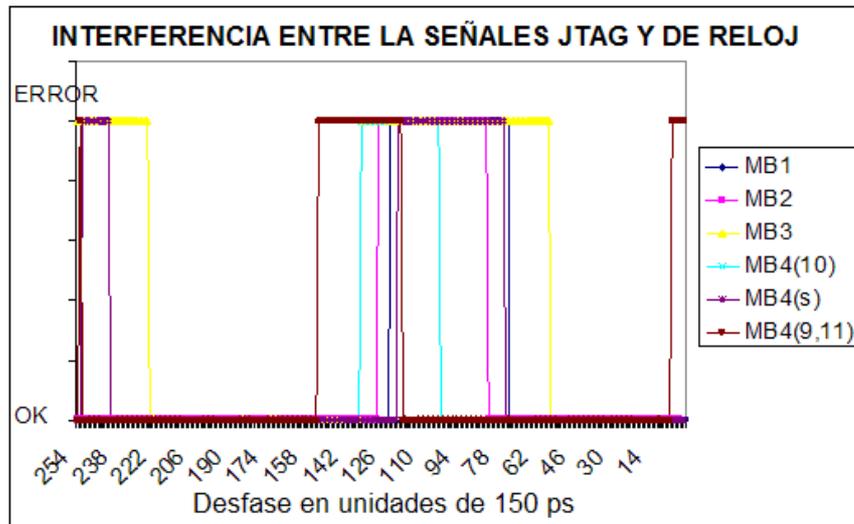
Dado que el retardo de propagación del ROBUS es de 5,25 ns/m, la fase con la que llegan las distintas señales TTC a cada una de las tarjetas es diferente. Puesto que las señales TTC tienen una anchura de 25 ns, este desfase no es despreciable para las tarjetas más lejanas a la CCB que se encuentran a una distancia del orden de 1 metro. Con el fin de garantizar su correcta detección, el cable de reloj para cada tarjeta ROB se fabricó con una longitud específica. En la siguiente imagen de osciloscopio se puede observar la llegada a la tarjeta ROB de las señales *Bunch Reset* y *Event Reset* con una fase correcta con respecto a la señal de reloj.



**Figura 4.18:** Imagen de osciloscopio de la llegada a la ROB de las señales *Bunch Reset* y *Event Reset* con respecto a la señal de reloj.

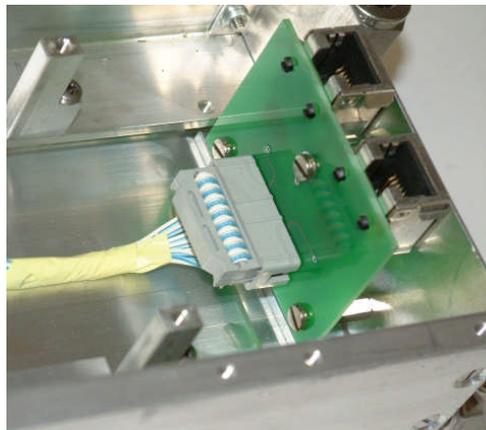
Aunque las señales JTAG son señales asíncronas, la fase de ellas en este sistema está controlada por el reloj interno del microcontrolador de la CCB. Debido a una interferencia a nivel de la ROB existente entre el reloj TTC y los flancos de subida de las señales JTAG, es necesario ajustar el desfase entre el reloj interno que genera las señales JTAG en el microcontrolador y la fase del reloj TTC que alimenta las ROB, para evitar que se produzcan errores en la detección de las señales JTAG.

Dependiendo del tipo de Minicrate y por tanto, del número de tarjetas ROB conectadas al ROBUS, el valor de los posibles desfases entre ambos relojes varía de acuerdo a la imagen 4.19. La fase de las señales JTAG puede modificarse en la CCB en pasos de 150 ps con respecto al reloj TTC, y por tanto, es necesario calibrar este valor para cada Minicrate y aplicar este desfase como paso previo a la configuración de las tarjetas ROB.



**Figura 4.19:** En esta imagen se muestran los distintos valores de desfase entre las señales JTAG y el reloj TTC en la ROB indicando en cuales de estos valores se tiene un error en la configuración de los HPTDCs para los distintos tipos de Minicrates.

Los datos de salida de cada una de las tarjetas ROB se transmiten mediante un cable de par trenzado hasta la tarjeta ROLINK situada en uno de los extremos del Minicrate. Esta tarjeta permite integrar los distintos enlaces individuales en dos cables FTP (*Foiled Twisted Pair*) que se conectan a las tarjetas ROS. En la figura 4.20 se puede observar una imagen de la tarjeta ROLINK montada en el Minicrate.



**Figura 4.20:** Imagen de la tarjeta ROLINK instalada en el Minicrate.

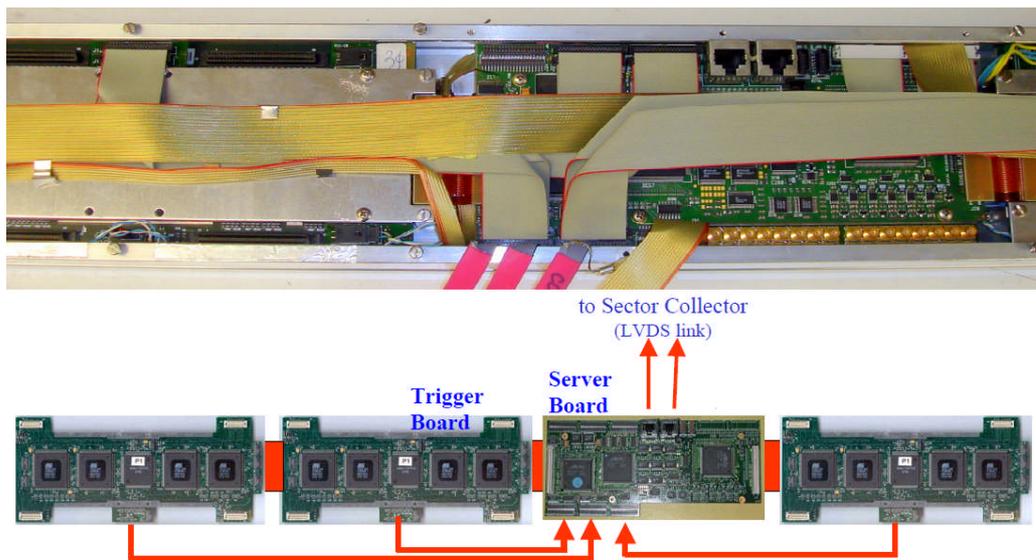
## 4.6 LOS ELEMENTOS DEL SISTEMA DE DISPARO

La electrónica del sistema de disparo de las cámaras de deriva, formada por las tarjetas TRB (*Trigger Boards*) y SB (*Server Board*) se encuentra situada también en el interior del Minicrate, compartiendo con la electrónica de lectura los sistemas de alimentación, refrigeración, control y señales procedentes de las

cámaras. El diseño del Minicrate debe garantizar la correcta interconexión de todos estos módulos.

Las tarjetas TRB se conectan a la CCB a través de las tarjetas flexibles que se han mostrado en la figura 4.8. A través de estas tarjetas se transmiten las líneas JTAG que permiten configurar los distintos dispositivos BTI y TRACO de las tarjetas TRB.

Las conexiones de reloj a las tarjetas TRB se realizan a través de conexiones ECL (*Emitter Coupled Logic*) [152] punto a punto. En este caso, la longitud de los cables se ha calculado para compensar los tiempos de retardo de llegada de las señales de las distintas Supercapas de la cámara de deriva, de forma que las señales que se originasen en el ánodo de las celdas lleguen simultáneamente a todas las tarjetas TRB. El desfase temporal dentro del sistema de disparo del Minicrate está por tanto compensado por las distintas longitudes de cables dentro de un margen de 1,5 ns y por ello, cada cámara de muones puede considerarse un bloque intrínsecamente síncrono. La tarea de sincronización con respecto al haz del LHC consiste por tanto en el ajuste de las señales TTC para cada una de las cámaras de deriva.



**Figura 4.21:** Imagen y diagrama de la interconexión entre las tarjetas TRB y la tarjeta CCB instaladas en un Minicrate.

La información relativa a la posición y ángulo en el plano de curvatura de las distintas trazas seleccionadas en las TRB se envía a la tarjeta SB a través de unos cables planos cuya disposición se puede observar en la figura 4.21. Esta información de disparo procedente de todas las TRBs se procesa en la SB, enviando la información de posición, calidad y momento transverso de las dos mejores trazas detectadas en la cámara a las tarjetas TSC, situadas en el siguiente nivel de la cadena de disparo, mediante dos cables FTP cuyas conexiones se sitúan en el centro de la tarjeta SB.

#### 4.6.1 Sincronización de la cámara de deriva

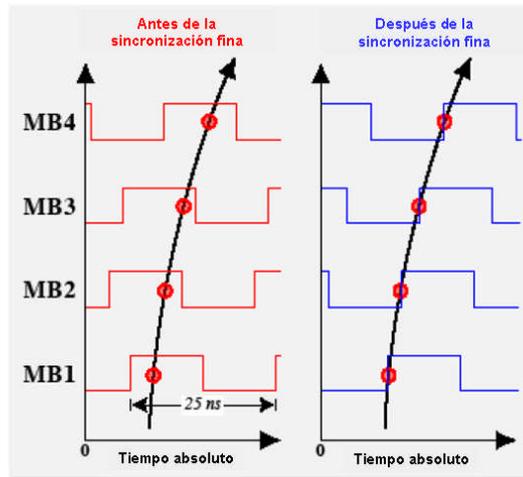
La tarea de sincronización del detector es uno de los aspectos fundamentales del sistema de disparo. La sincronización debe realizarse a distintos niveles. Por una parte, deben sincronizarse los distintos subdetectores de CMS, de forma que todos proporcionen la señal de disparo L1A en el mismo instante de tiempo cuando el suceso que estén señalando provenga del mismo cruce de haces. Por otro lado, cada uno de los subdetectores debe estar correctamente sincronizado de forma interna, de forma que si las diversas partes de un detector disparan un mismo suceso, las señales de disparo resultantes deben producirse con la misma latencia. Supongamos un muón que atraviese las cuatro cámaras de un sector, cada cámara generará una señal de disparo que debe combinarse en el sistema de disparo final para generar una única señal de disparo L1A que será recibida por la electrónica de lectura y que debe identificar unívocamente el cruce de haces del que procede el muón.

Tenemos dos fuentes principales de diferencia entre el reloj del LHC y el reloj de muestreo del sistema de disparo: el tiempo de vuelo del muón (que varía desde los 12 ns de la estación MB1 más cercana hasta los 35 ns de la estación MB4 más lejana) y los retardos debidos a las distintas longitudes de los cables que distribuyen las señales TTC a cada cámara. La frecuencia del LHC es tan alta que diferentes estaciones pueden estar procesando al mismo tiempo eventos que pertenecen a cruces de haces distintos debido a estos retardos.

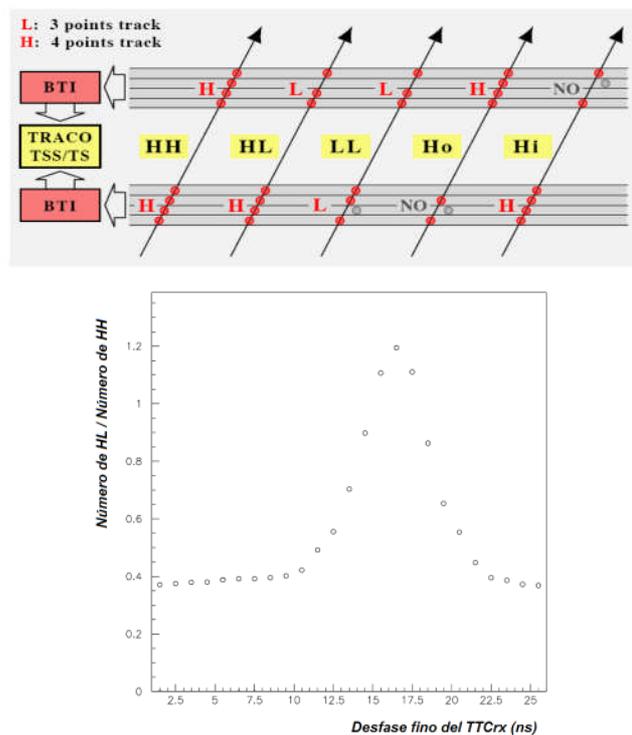
El dispositivo empleado para realizar la sincronización de cada cámara es el ASIC TTCrx situado en la tarjeta CCB, el cual permite introducir un desfase programable en la señal de reloj que llega a la electrónica de cada cámara. Este desfase está formado por un desfase grueso en pasos de 25 ns y un desfase fino en pasos de 104 ps.

Las distintas longitudes de las fibras TTC y el tiempo de vuelo de las partículas se compensan en cada cámara a través del dispositivo TTCrx, de forma que un mismo muón que atraviese distintas cámaras sea detectado por todas en el mismo ciclo de reloj, como puede verse en la figura 4.22. En concreto, dentro del sistema de disparo de las cámaras de deriva, la sincronización fina del reloj TTC es de especial importancia, pues modifica la eficiencia de detección de los muones [153].

El algoritmo implementado en los BTIs para la asignación del cruce de haces al que pertenece cada partícula depende de la velocidad de deriva configurada y del tiempo de muestreo de la señal. Este último parámetro, relacionado con el  $t_0$  de cada cámara, obliga a realizar un ajuste fino del reloj de la electrónica de disparo con el fin de maximizar la eficiencia de disparo de cada cámara. En la figura 4.23 se puede observar cómo varía la eficiencia del disparo, representada como la razón de disparos HL (*High-Low*, se detectan cuatro señales alineadas en una Supercapa y sólo tres señales alineadas en la otra) frente a disparos HH (*High-High*, se detectan cuatro señales alineadas en ambas Supercapas), en función del valor del desfase fino programado en el TTCrx.



**Figura 4.22:** En esta imagen se muestra la posición del reloj de cada cámara de deriva con respecto al instante de tiempo por el que pasa el muón en cada cámara. Se observa cómo tras la sincronización fina, el reloj está situado en la misma fase con respecto al muón para todas las cámaras de un sector, compensando el tiempo de vuelo del muón. Esta fase se elige para que corresponda con la fase óptima de detección de los BTIs, indicada en la figura 4.23.



**Figura 4.23:** En la imagen superior se indica el significado de la nomenclatura para las distintas calidades de disparos (HH: cuatro señales alineadas en las dos Supercapas, etc). En la imagen inferior se muestra la fracción del número de disparos de calidad HL (7 señales alineadas) frente a la fracción del número de disparos de alta calidad HH (8 señales alineadas) en función del valor del desfase fino programado en el dispositivo TTCrx. Se observa que la fracción HL/HH empeora (tiene un valor mayor) para ciertos desfases finos del TTCrx, mientras que es aproximadamente constante e igual a 0,4 en una región de anchura aproximada de 12,5 ns. Esta medida fue realizada en una cámara MB3 iluminada mediante un haz síncrono en una toma de datos en el SPS del CERN en 2003.

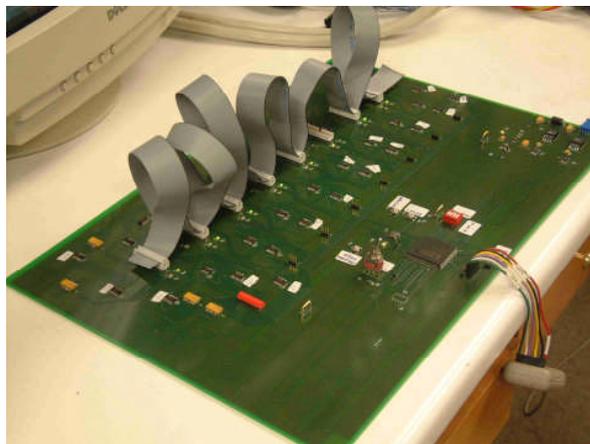
En resumen, la sincronización del sistema de disparo debe hacerse en varios pasos:

- Primero se optimiza la eficiencia de identificación de cruce de haces del disparo ajustando el retardo que provee el TTCrx en cada cámara de deriva.
- En segundo lugar se alinean, usando retardos en pasos de 25 ns, el número del cruce de haces de distintas cámaras para asegurar la simultaneidad de los disparos originados por el mismo muón en cualquier nivel de la cadena de disparo.
- Finalmente, se necesita una sincronización absoluta para definir el tiempo absoluto con respecto a la señal de inicialización del contador de cruce de haces (BC0).

#### 4.7 FABRICACIÓN, MONTAJE E INSTALACIÓN DE LOS MINICRATES

La fabricación y el montaje de los Minicrates fue una tarea compartida entre el CIEMAT y los laboratorios italianos del INFN secciones de Legnaro y de Bolonia. La mecanización de las piezas de aluminio se realizó en su totalidad en los Talleres Generales del CIEMAT, siendo del orden de 26.000 piezas. Asimismo, en el Laboratorio de Electrónica y Automática del CIEMAT se fabricaron los distintos cables que interconectan las tarjetas electrónicas en el Minicrate.

Debido al elevado número de cables que fue necesario fabricar (~9.000), y a la complejidad del montaje del Minicrate que dificultaba su posterior reparación, se decidió fabricar un sistema de pruebas de los cables que validara los mismos una vez fabricados y antes de ser instalados. Para ello se desarrolló la tarjeta MCC (*Minicrate Cabling Control*) [154] que debía permitir la comprobación rápida de los distintos tipos de cables a fabricar con independencia del tipo de Minicrate al que fueran destinados.



**Figura 4.24:** Imagen de la tarjeta MCC durante las pruebas de un cable ROBUS.

Esta tarjeta MCC permitía medir la continuidad del cable y descartar cortocircuitos y malas conexiones. Además, en los buses paralelos, medía la correcta recepción de la señal en cada uno de los conectores, descartando pines dañados que impidieran la correcta transmisión de la señal en cada uno de los conectores individuales. En la figura 4.24 se observa una imagen de esta tarjeta durante el proceso de pruebas de un cable tipo ROBUS.

El montaje de toda la parte de la electrónica de lectura y control de los Minicrates se realizó en el Laboratorio de Electrónica y Automática del CIEMAT. Fue un proceso de producción que duró aproximadamente dos años a un ritmo de 12 Minicrates al mes, como puede verse en la figura 4.25.

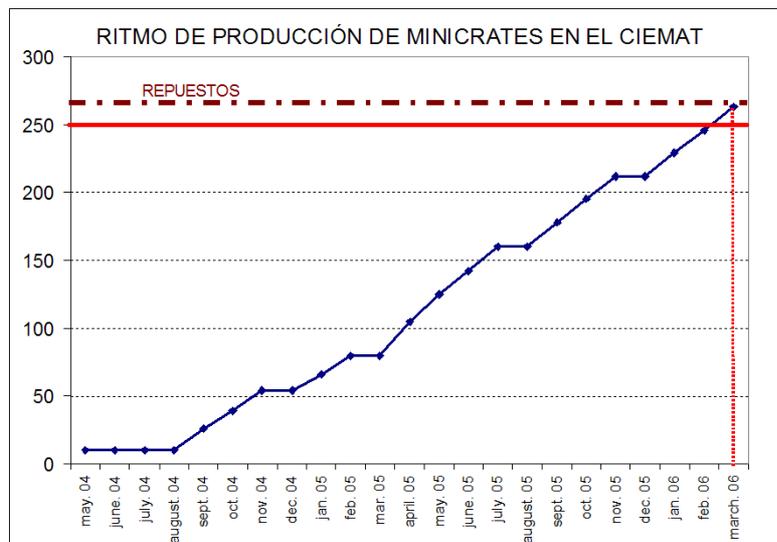


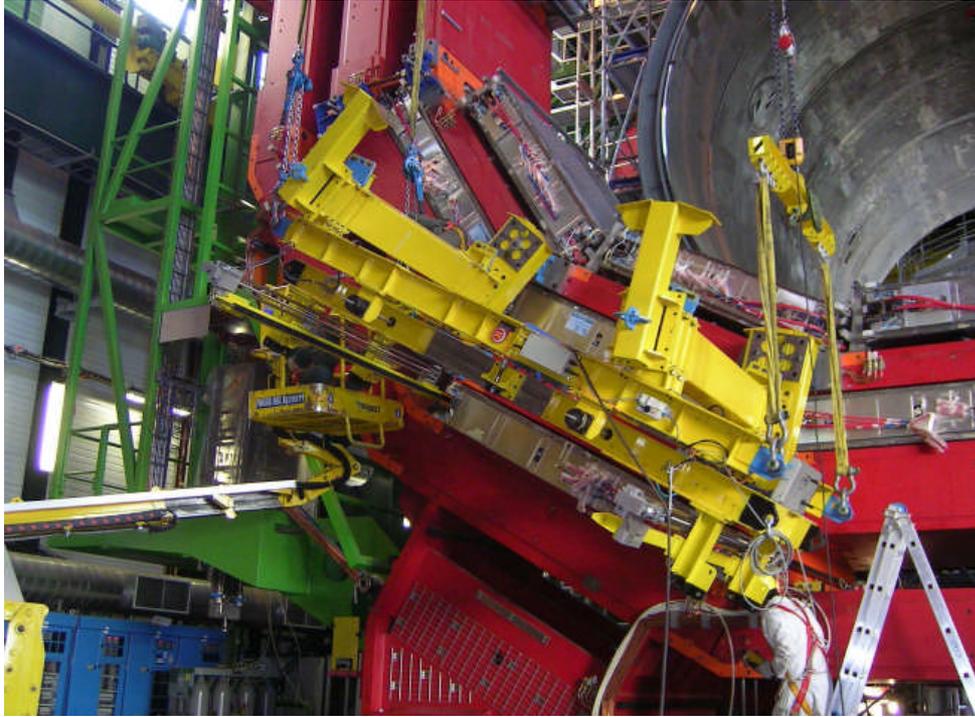
Figura 4.25: Ritmo de producción de los 250 Minicrates más repuestos en el CIEMAT.

Una vez finalizada la etapa de montaje, se realizaban las pruebas de validación mediante un sistema de pruebas que desarrollé en el CIEMAT y que se describirá en el apartado 4.7.1. Tras verificar su correcto funcionamiento, los Minicrates eran enviados a los laboratorios del INFN de Legnaro y Bolonia donde se procedía al montaje y pruebas de la electrónica de disparo, realizando las comprobaciones oportunas para garantizar que no se habían producido daños durante el transporte.

Finalizado el montaje y pruebas del Minicrate completo, éstos se transportaban a la zona de almacenamiento situada en el túnel del antiguo colisionador ISR (*Intersecting Storage Rings*) en el CERN. Allí se instalaban en las cámaras de deriva correspondientes y se realizaban diversas pruebas para verificar el correcto funcionamiento del conjunto y asegurar la calidad de las interconexiones entre la cámara y el Minicrate. Concluidas estas pruebas, se acoplaban las cámaras RPC a las cámaras de deriva y se transportaba el conjunto a la nave de montaje SX5, situada en las afueras de la localidad francesa de Cessy, en la superficie de la caverna de CMS.

El proceso de instalación de las cámaras de deriva en las ruedas de CMS se realizó mediante un útil especialmente diseñado para ello cuyo sistema de inserción automatizado fue diseñado por ingenieros del CIEMAT. En la

figura 4.26 se puede observar una imagen del montaje de una de estas cámaras en el entrehierro de las ruedas, operación que iba seguida de una toma de datos para verificar que todas las partes funcionaban correctamente tras las labores de transporte e instalación.



**Figura 4.26:** Instalación de una cámara de deriva en el entrehierro de las ruedas de CMS.

Una vez que las ruedas de CMS se bajaban a la caverna y se realizaban las conexiones finales con los distintos subsistemas, se repetían las operaciones de toma de datos, integrando cada vez más elementos para pasar de pruebas en una cámara, a un sector, una rueda y finalmente el detector completo, garantizando la correcta funcionalidad de todo el sistema.

#### 4.7.1 El sistema de pruebas del Minicrate en el CIEMAT

Con el fin de asegurar el correcto montaje de la parte de lectura y control en los Minicrates desarrollé un sistema de pruebas en el laboratorio que permite operar el Minicrate sin necesidad de estar conectado a una cámara de deriva [155]. Este sistema está basado en un PC conectado a un chasis VME que contiene diversos módulos:

- **Tarjeta de Control (Control-X):** Esta tarjeta también fue empleada en el sistema de pruebas de la tarjeta ROB, tal y como se ha explicado en la sección 3.5. En este caso se ha utilizado esta tarjeta para generar pulsos que simulen las señales procedentes de la cámara y señales de disparo con un desfase programable respecto a los pulsos.

- **Generador de patrones (Patgen):** Recibe los pulsos generados por la tarjeta Control-X y realiza un *fan-out* con enmascaramientos programables a 128 canales. Se emplea una tarjeta Patgen por cada ROB, es decir, hasta 7 tarjetas Patgen son necesarias para probar un Minicrate.
- **Tarjeta de lectura (ROS-8):** Esta tarjeta recoge la información de lectura generada por las tarjetas ROB y la almacena en una memoria interna que puede ser leída posteriormente a través del bus VME.
- **Tarjeta TTCvi + TTCex [156] y [157]:** Estos dos módulos VME permiten generar un reloj de igual frecuencia al del LHC, las señales TTC de inicialización de número de evento y de cruce de haces y los distintos comandos TTC entre los que se incluyen las señales para funcionar en modo *Test Pulse*. Permiten recibir señales externas de disparo, como las generadas por la tarjeta Control-X, que posteriormente se transmitirán a través del enlace óptico TTC.

En la figura 4.27 se observa un diagrama con las distintas conexiones del Minicrate a las fuentes de alimentación, al enlace óptico TTC y al sistema de control integrado en el PC a través de la interfaz RS-232 proporcionada por la tarjeta CCB-Link. Además, cada una de las ROB debe conectarse a las salidas correspondientes de las tarjetas Patgen y finalmente, la salida de la tarjeta ROLINK se conecta a las entradas de la tarjeta ROS-8. En la figura 4.28 se observa una imagen de un Minicrate durante el proceso de pruebas en el CIEMAT.

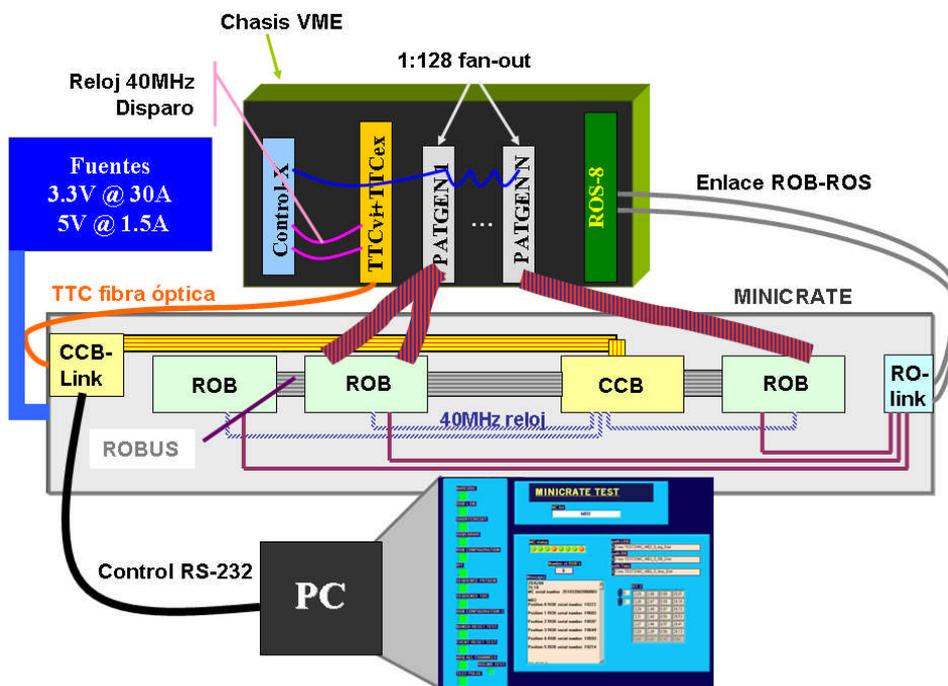
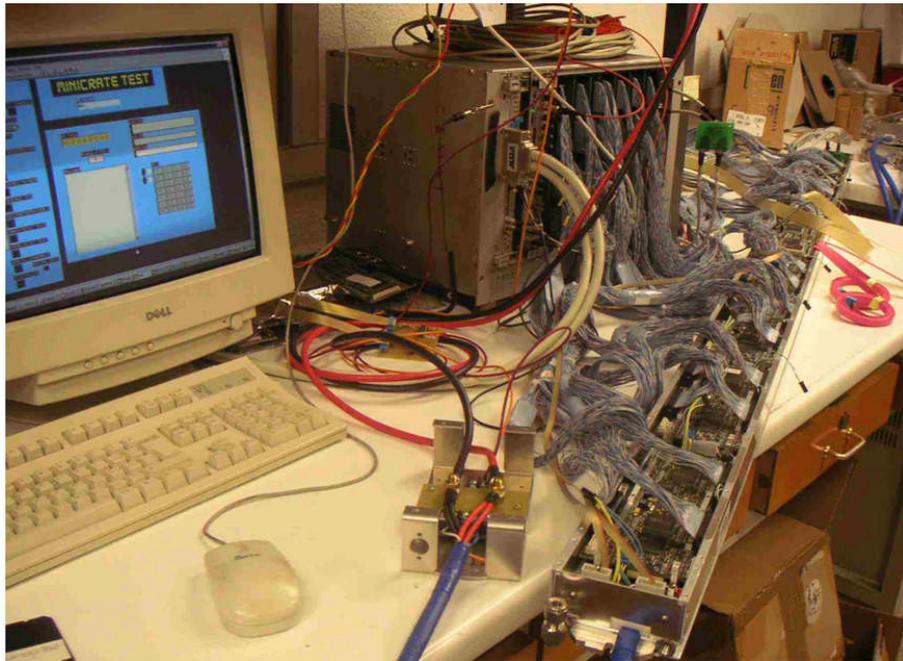


Figura 4.27: Diagrama de interconexiones del sistema de pruebas de los Minicrates en el CIEMAT.



**Figura 4.28:** Imagen del sistema de pruebas desarrollado para validar el correcto montaje y funcionamiento de la parte de lectura y control de los Minicrates.

El software empleado para verificar el correcto funcionamiento del Minicrate lo he desarrollado en el entorno gráfico LabVIEW® 6.0 permitiendo realizar las siguientes pruebas:

- Comprobación de que la CCB apaga correctamente cada tarjeta ROB cuando el operador realiza un cortocircuito.
- Comprobación del direccionamiento de encendido y de acceso para cada una de las tarjetas ROB del Minicrate.
- Observación con el osciloscopio de las señales de reloj que llegan a las tarjetas ROB y TRB y su fase relativa, comprobando la correcta distribución de los cables según su longitud.
- Verificar la correcta configuración de todas las tarjetas ROB y comprobación de que las líneas de error se activan cuando la configuración realizada es incorrecta.
- Comprobación de las distintas señales transmitidas en el ROBUS: señales TTC, señales JTAG, etc, y verificación de la correcta terminación de estas señales en el Minicrate.
- Barrido del desfase entre el reloj JTAG y el reloj del LHC verificando el ancho de la ventana de rangos de desfase válidos.
- Medida de las tensiones, corrientes y temperaturas de las distintas tarjetas garantizando que se encuentran dentro del margen adecuado.

- Pruebas de los cables de RPC y alineamiento y del protocolo I<sup>2</sup>C en la tarjeta CCB.
- Comprobación de que los cables de salida de cada ROB están asignados correctamente al canal correspondiente en la ROLINK.
- Toma de datos inyectando señales en canales predeterminados y verificando la integridad de los datos recibidos: números de evento consecutivo, número de cruce de haces, número de palabras enviadas, palabras de error, medida temporal realizada, etc.
- Comprobación del correcto enmascaramiento de cada uno de los canales a nivel de ROB mediante una toma de datos similar a la anterior.
- Toma de datos en modo *Test Pulse* y comprobación de que las distintas señales TTC llegan correctamente a todas las ROB y de que la secuencia de enmascaramiento funciona correctamente.

De esta forma se verificó el correcto funcionamiento de los 250 Minicrates más los 14 de repuesto que se fabricaron en el CIEMAT. Cada uno de estos Minicrates, al igual que las distintas tarjetas que lo componen, tienen asignado un número de identificación mediante un código de barras que permite correlacionar cada Minicrate instalado en el detector CMS con la información de las pruebas de certificación realizadas en cada uno de los laboratorios.

## *Capítulo 5*

# **LA TARJETA**

# **READ-OUT SERVER: ROS**

Este capítulo está dedicado al diseño y funcionamiento de la tarjeta ROS (*Read Out Server*), que forma el segundo nivel de la cadena de lectura de las cámaras de deriva de CMS. Partiendo de los requisitos impuestos, se realiza una descripción en detalle de la arquitectura de la ROS y de los distintos módulos que lo componen. Se detallan los sistemas de protección de sobre-consumos, de distribución de reloj y de los algoritmos implementados en los diferentes dispositivos lógicos reconfigurables de la tarjeta ROS. También se presenta el mecanismo diseñado para la reconfiguración de los dispositivos a través de la interfaz VME, que en la actualidad permite modificar su funcionamiento de forma totalmente remota. La tarjeta ROS ha sido diseñada ofreciendo una gran versatilidad y por ello se resumen los distintos modos de operación y las principales opciones programables. Se indican los mecanismos empleados para garantizar la integridad de los datos y la lógica diseñada para disponer de un sistema de regulación del sistema de disparo en función de las condiciones de ocupación del detector.

## 5.1 ANÁLISIS DE REQUISITOS

La tarjeta ROS (*Read-Out Server*) [158] ha sido diseñada para la lectura de los datos procedentes de las tarjetas ROB y su posterior transmisión mediante fibra óptica al siguiente nivel de adquisición de datos, el DDU (*Detector Dependent Unit*).

Cada tarjeta ROS debe realizar la lectura de 25 tarjetas ROB, el equivalente a un sector de las ruedas de CMS y permitir el almacenamiento de los datos y su multiplexación. Una de las tareas fundamentales de la tarjeta ROS es la de crear un evento sincronizado con el resto de los detectores de CMS y con la información de cruce de haces del LHC, requiriéndose una lógica inteligente que va más allá de un sistema intermedio de almacenamiento y multiplexación. Otra tarea de especial importante es la de realizar diversas labores de verificación de la integridad de los datos garantizando la coherencia y validez de los mismos.

Por un lado, la tarjeta ROS debe ser capaz de procesar los 25 canales con suficiente rapidez como para poder leer la tasa de datos esperada a una velocidad de disparo L1A de hasta 100 kHz y por otro lado debe ser capaz de responder a fallos en el funcionamiento del sistema minimizando el impacto en el rendimiento global. En la medida de lo posible, debe poder recuperarse de todos aquellos problemas que supongan no proporcionar datos de una parte del detector, con el fin de minimizar las zonas muertas, pero a la vez debe tratar de asegurar la integridad y sincronía de los datos leídos para permitir una correcta decodificación y su posterior análisis.

Además, principalmente con el objeto de realizar pruebas de validación del sistema de disparo sin el sistema completo de lectura del DTTF, la tarjeta ROS debe leer la información del sistema de disparo de las cámaras de deriva a nivel de sector, la TSC (*Trigger Sector Collector*), e incluirla como un canal más dentro del flujo de datos.

Otros requisitos impuestos por las condiciones medioambientales en las que debe operar la tarjeta ROS se derivan de su localización en la caverna de CMS. Los niveles de campo magnético que se esperan en ese punto son de 0,04 Teslas, la fluencia de neutrones de  $4 \cdot 10^{10} \text{ cm}^{-2}$ , la fluencia de partículas cargadas de  $10^8 \text{ cm}^{-2}$  y la dosis integrada de 0,4 Gy.

El consumo de potencia debe tratar de minimizarse en la medida de lo posible, puesto que no está permitido disipar calor en la caverna y por tanto el sistema debe ser térmicamente aislado, estando basada su refrigeración en un flujo de aire, enfriado mediante agua a 16 - 18°C, y generado por unos ventiladores tangenciales adecuados para funcionar bajo campo magnético.

Debido a las restricciones impuestas por la operación bajo campo magnético y ambiente radiactivo, el acceso a la caverna es muy limitado durante el tiempo de vida del experimento. Por ello, debe diseñarse un sistema robusto y fiable que requiera las mínimas intervenciones durante los 10 años que se espera que CMS esté en funcionamiento.

## 5.2 EL DISEÑO DE LA TARJETA ROS

La tarjeta ROS es una tarjeta VME 9U (1U = 43,60 mm) de 400 mm de profundidad que se aloja en el chasis del Sector Colector. En total se han instalado 60 tarjetas ROS que permiten la lectura de las 1.500 tarjetas ROB y su transmisión a las 5 tarjetas DDU.

En el diagrama 5.1 se puede observar la arquitectura básica de la tarjeta ROS, que está formada por una placa base llamada ROS-25 y una serie de tarjetas electrónicas que se conectan a la placa base: GOLROS, CEROS y ROSCTRL.

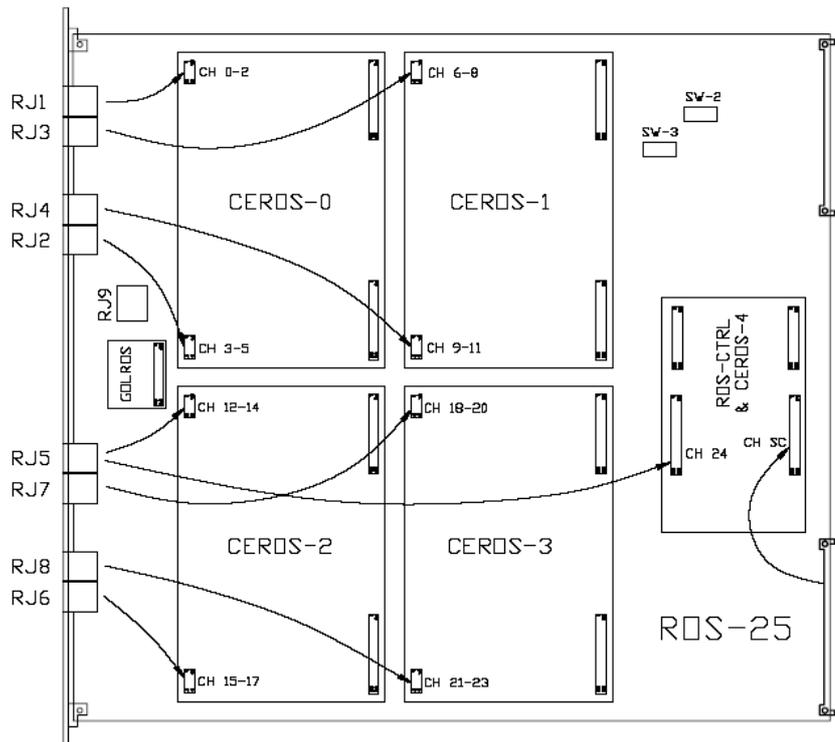


Figura 5.1: Esquema de la tarjeta ROS y sus principales módulos.

La subdivisión de la ROS en estos módulos ofrece grandes ventajas. El principal objetivo perseguido con este diseño es el subdividir los 25 canales de entrada en grupos de canales más pequeños manejados por una misma FPGA. De esta forma, el procesamiento de estos grupos puede realizarse en paralelo optimizando el tiempo de procesamiento de la ROS. Obviamente, si cada canal se procesa individualmente la optimización es mucho mayor en tiempo, pero el diseño se encarece enormemente al necesitar una FPGA o elemento de control por cada canal. Agrupando los 25 canales en cuatro grupos de 6 canales incluidos en cada CEROS, más un último canal procesado por el módulo ROSCTRL, se obtiene un buen compromiso entre velocidad y precio.

Por otro lado, el número de componentes de la tarjeta ROS es muy elevado (del orden de 1.630) y lo mismo sucede con el número de líneas de conexión. Por tanto, la subdivisión en módulos facilitó enormemente las tareas de emplazamiento e interconexión permitiendo situar los componentes únicamente en una de las caras de la tarjeta.

Desde el punto de vista del montaje, esto proporciona enormes beneficios, sobre todo teniendo en cuenta que varios de los módulos que se necesitan utilizar son BGAs, cuyo montaje en tarjetas de gran tamaño como la ROS requeriría un perfil de temperaturas muy delicado. Por tanto, todos los módulos de BGAs se han montado en las tarjetas CEROS, ROSCTRL y GOLROS.

A continuación se describirá brevemente la funcionalidad de cada uno de los módulos:

- **CEROS:** Es el módulo encargado de realizar la primera etapa de procesamiento de los datos procedentes de las tarjetas ROB. En cada módulo CEROS se integran seis canales de entrada con sus adaptadores de señal, deserializadores y FIFOs correspondientes. También aloja la FPGA de control CEROS que realiza la lectura en serie de los seis canales mediante un esquema de *token ring* o anillo.
- **ROSCTRL:** Es el módulo encargado de gestionar el procesamiento de cada evento a nivel de ROS, realizando la interfaz con el sistema TTC y coordinando el funcionamiento de los distintos módulos CEROS. Contiene el sistema de lectura del 25º canal de entrada, la lógica de lectura de los datos procedentes de la TSC y la interfaz con las señales TTC. La FPGA ROSCTRL es la encargada de manejar la lectura global de todas las CEROS arbitrando el acceso al bus de datos de salida.
- **GOLROS:** Esta tarjeta es la encargada de recibir el bus de datos de salida, serializar y transmitir la información al DDU a través de un enlace de fibra óptica.
- **ROS-25:** Es la placa base sobre la que se conectan los anteriores módulos. Incluye por una parte el sistema de regulación de la alimentación y protección frente a sobre-consumos, los sensores de tensión, corriente y temperatura, la lógica necesaria para la interfaz VME y una memoria interna para el almacenamiento de datos y su posterior lectura a través del bus VME en modo de pruebas.

### 5.3 LOS MODOS DE OPERACIÓN

Se han diseñado diversos modos de operación en la tarjeta ROS en función de las necesidades del sistema. Se distinguen los siguientes modos básicos:

#### 5.3.1 Modo de operación normal

Es la forma habitual de operación durante el funcionamiento en el LHC. Cada vez que se produce un disparo L1A, las señales TTC se reciben en la ROSCTRL y ésta transmite a todas las CEROS el número de evento con una señal de validación. El evento correspondiente se procesa en paralelo en todas las CEROS que comienzan a leer sus FIFOs de entrada y descartan aquellos canales que no tengan medidas temporales en ese evento. Mediante una arquitectura en

estrella, la ROSCTRL envía el correspondiente testigo a cada una de las CEROS autorizándolas a transmitir los datos al bus común de salida. La GOLROS recibe estos datos y los serializa transmitiéndolos por fibra óptica a la tarjeta DDU.

### **5.3.2 Modo operación espía**

Este modo de operación es muy similar al anterior excepto que se programa la memoria interna de la ROS para almacenar los datos de salida a la vez que se transmiten al DDU. La memoria interna se puede programar para almacenar un número concreto de eventos o de palabras. Una vez se ha alcanzado el valor programado, la ROS activa un *flag* que puede crear una interrupción VME de forma que los datos almacenados puedan ser vaciados de la memoria interna y leídos a través de la interfaz VME. Este modo de operación no interfiere con el modo de operación normal, no deteniéndose el procesado de datos cuando la memoria alcanza el límite programado, y por tanto pueden emplearse simultáneamente.

### **5.3.3 Modo de transmisión**

Este modo de operación fue implementado con el fin de poder comprobar la correcta transmisión ROS-DDU sin necesidad de disponer de datos de entrada procedentes de una ROB ni de un sistema TTC válido.

A través de la interfaz VME se pueden escribir los datos deseados en la memoria interna de la ROS y programar su transmisión al GOLROS y de ahí al DDU, seleccionando el número máximo de palabras a transmitir, así como el ancho de banda empleado.

### **5.3.4 Lectura directa de las FIFOs de entrada**

Como su nombre indica, los datos procedentes de las ROB se leen directamente de las FIFOs canal a canal a través de la interfaz VME. En este modo de operación las CEROS no recogen la información en cada evento y por tanto, no se realizan las comprobaciones de integridad de los datos ni se modifica su formato. Este modo de operación se emplea sólo para pruebas.

### **5.3.5 Otros modos de operación sin sistema TTC**

Aunque en principio se asume que la ROS funcionará conectada a un sistema TTC que proporcionará la señal de disparo L1A, es posible funcionar en modo pruebas sin estar conectado al sistema TTC.

La ROS puede funcionar con un reloj interno de 40 MHz que se activa automáticamente en caso de no recibir un reloj válido del sistema TTC. La señal de L1A puede configurarse para ser recibida del TSC contiguo a través de la línea AUTOL1A o puede generarse internamente a través de un acceso VME. Existe un contador interno del número de evento en caso de que esta información no se reciba del sistema TTC. El valor de este contador se almacena en la FIFO de

disparo permitiendo el uso de disparos solapados. La única información que no está disponible en caso de no emplear el sistema TTC es la del identificador de cruce de haces y del número de órbita.

En la figura 5.2 se puede ver un diagrama de la arquitectura de los distintos módulos y las líneas de interconexión básicas para el modo de funcionamiento normal.

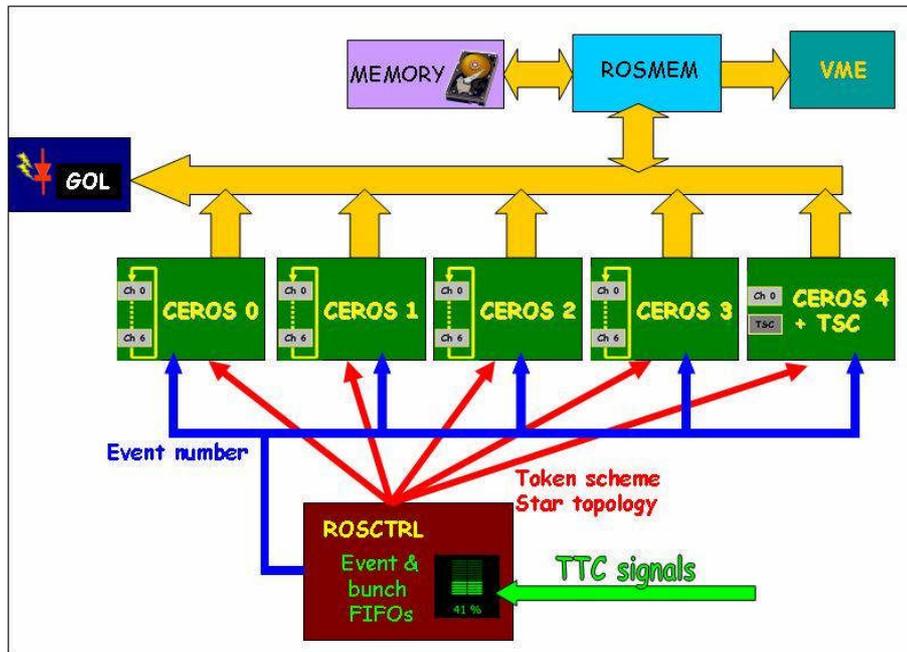


Figura 5.2: Diagrama del funcionamiento de la tarjeta ROS en modo normal.

## 5.4 LA ARQUITECTURA DEL MÓDULO CEROS

El módulo CEROS de la tarjeta ROS es el encargado de realizar la primera etapa de procesamiento de los datos procedentes de las tarjetas ROB. Está a cargo de su deserialización, almacenamiento y posterior lectura para su agrupación en un evento síncrono.

La tarjeta CEROS es un circuito impreso de 8 capas de 17 cm x 11 cm. Se utilizan cuatro tarjetas CEROS en cada ROS, realizando cada una de ellas la lectura de 6 canales de entrada, es decir, de 6 ROB.

Cada uno de los canales de entrada dispone de un adaptador de la señal LVDS proveniente de las ROB, un ecualizador CLC014AJE [159] y un adaptador de las tensiones de salida. A continuación, las señales LVDS se llevan al deserializador DS92LV1212A [160] que recibe cada byte codificado en 10 bits y proporciona un byte de salida con control de paridad.

Este byte se almacena en una FIFO IDT72V243 [161] de 4 kbytes con 1 byte de entrada y palabras de 16 bits de salida. Esta FIFO dispone de un sistema de alarma PAF (*Programmable Almost Full*) para indicar que la ocupación de la FIFO ha superado el límite programado.

Cada módulo CEROS dispone de una FPGA Xilinx XC2S50E-7FT256 [162] que realiza la lectura de las seis FIFOs para obtener la información correspondiente a un evento. En la lectura de cada canal se realiza una comprobación de si ese canal está enmascarado por cualquier causa y en caso contrario se procede a la lectura de un evento de esa ROB. Si el evento está vacío, es decir, no hay medidas de tiempo sino sólo cabeceras y colas, la información se descarta y se procede a leer el siguiente canal.

Durante la lectura de un evento se realizan las siguientes comprobaciones:

- Comprobación de que el enlace no se ha desenganchado, en cuyo caso la información puede estar corrupta.
- Comprobación de la validez de la cabecera.
- Coincidencia del número de evento de esa ROB con respecto al proporcionado por el sistema TTC.
- Comprobación del estado de ocupación de esa FIFO, de si supera el límite PAF programado o incluso si se ha llenado completamente.
- Comprobación de que el número de palabras correspondientes a ese evento no supera un máximo programado. En caso de que el número supere el límite y no se encuentre el final de ese evento se entiende que ha habido algún problema con la transmisión de los datos y se finaliza la lectura del evento en ese canal.
- Comprobación de que no se espera un tiempo superior al programado para la obtención de la siguiente palabra. Si ese es el caso, pudiera ser que esa ROB no estuviera transmitiendo correctamente y por tanto la CEROS debe finalizar la lectura de ese canal enviando un error de tiempo expirado y pasar al siguiente.

Toda esta información relativa al estado de los distintos canales se envía por una parte dentro del flujo de datos y por otro lado, se almacena en unos registros de estado que pueden leerse a través de la interfaz VME para comprobar el correcto funcionamiento del sistema. Asimismo, se disponen de contadores de errores de paridad para cada canal con el fin de verificar el correcto funcionamiento del enlace ROB-ROS.

La lectura de las FIFOs por la FPGA CEROS está desacoplada de su transmisión al bus de datos de salida. La lectura comienza cuando la ROSCTRL indica que se va a procesar un evento y envía el identificador de evento a todas las CEROS. En ese momento, todas las CEROS comienzan el procesado en paralelo y sólo en el caso de encontrar información útil se quedan en espera de autorización de transmisión al bus de salida. En la mayoría de los casos, muchas ROB no dispondrán de información de interés y se procesará ese evento en los seis canales sin esperar al testigo de escritura.

Una de las tareas importantes realizada por la FPGA CEROS es la modificación del formato de los datos procedentes de la ROB para incluir, entre otra, la información del canal ROS correspondiente que proporciona la información.

La autorización de transmisión al bus de datos de salida mediante el testigo de escritura es proporcionada por la ROSCTRL en un esquema de arbitraje en estrella, como se explicará más adelante. En la figura 5.3 se resume la máquina de estados implementada para el procesado de los canales en una CEROS. El estado en azul es el estado inicial. Los estados que aparecen en amarillo son estados opcionales, dependen de si la circunstancia se produce y de si está habilitada su acción.

Dentro de las opciones de configuración de cada CEROS está incluida la posibilidad de enmascarar canales por defecto, especificar el máximo número de palabras sin encontrar el final del evento antes de bloquear el canal, indicar el valor máximo del tiempo de espera antes de declarar un canal en tiempo expirado, etc.

Además, por defecto, cualquier canal que presente un error irrecuperable (FIFO llena, canal desenganchado, canal en tiempo expirado, evento desalineado, máximo número de palabras alcanzado) se enmascara para los eventos siguientes. No obstante, puede configurarse la CEROS para no bloquear los canales en cada uno de esos casos con el fin de ayudar en la comprensión del problema en modo de pruebas.

Por último, la FPGA CEROS también maneja la lectura directa de los datos de la FIFO en el modo de operación de pruebas, seleccionando la FIFO habilitada para su lectura y activando las señales de control correspondientes.

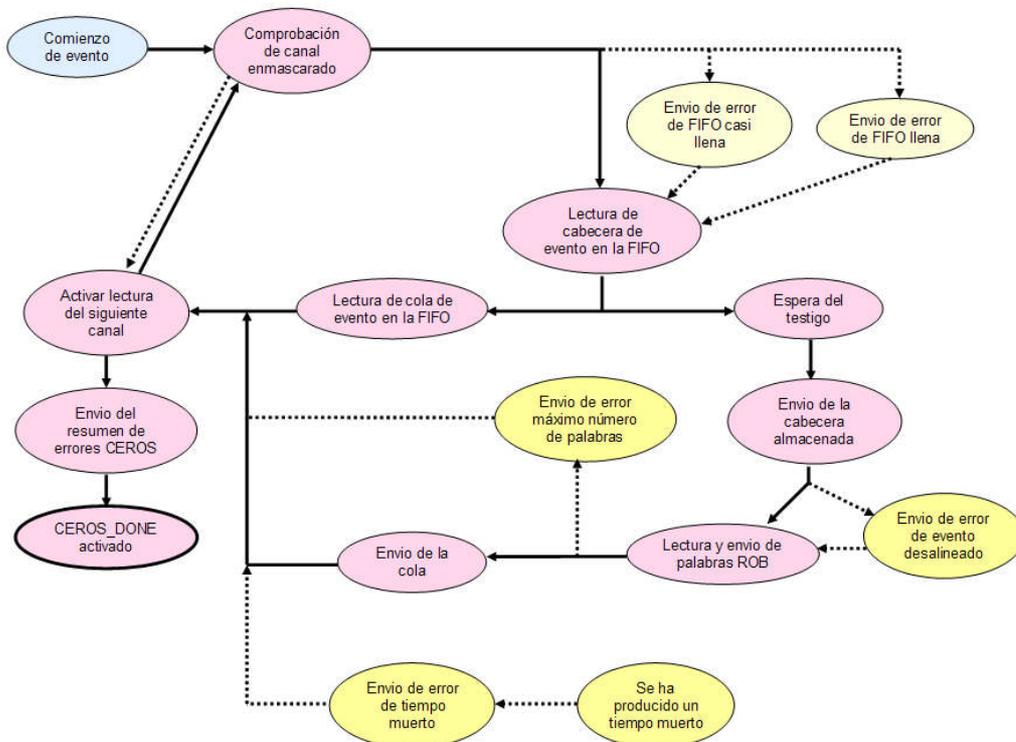


Figura 5.3: Resumen de la máquina de estados CEROS para el procesado de los canales de entrada.

## 5.5 LA ARQUITECTURA DEL MÓDULO ROSCTRL

La tarjeta ROSCTRL de la tarjeta ROS es la encargada de gestionar el procesamiento de cada evento a nivel de ROS, realizando la interfaz con el sistema TTC y coordinando el funcionamiento de los distintos módulos CEROS.

La tarjeta ROSCTRL es un circuito impreso de 6 capas de 11,7 cm x 7,2 cm. Este módulo es el encargado de supervisar el procesado de los eventos, manejando las señales de control que se envían a las distintas CEROS. También contiene un canal de entrada idéntico a los de las CEROS que representa el canal 25° de la tarjeta ROS.

La FPGA de ROSCTRL es una Xilinx XC2S100E-7FT256 [163], similar al de la CEROS pero de mayor capacidad y número de bloques lógicos, puesto que el diseño de la lógica exigía un dispositivo de mayor complejidad.

La labor más importante de ROSCTRL es, por tanto, controlar el funcionamiento de la ROS en el modo normal de operación. La tarjeta ROSCTRL recibe las señales TTC y entre ellas, la señal de disparo, que indica que se debe comenzar el procesado de un nuevo evento.

La información del identificador de evento y de cruce de haces se almacena en unas FIFOs de 256 palabras internas a la FPGA, de forma que se puedan manejar eventos solapados. Es decir, que si la ROS no ha terminado de procesar un evento cuando se recibe la siguiente señal de disparo, los identificadores correspondientes queden almacenados hasta que el siguiente evento pueda ser procesado.

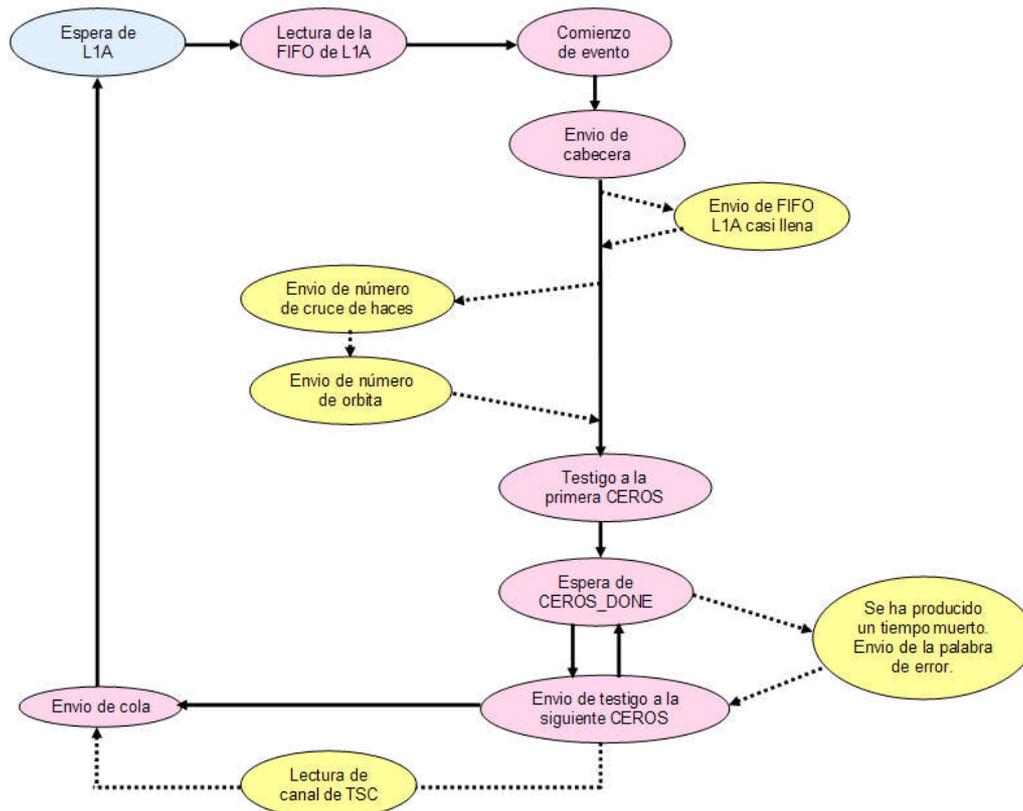
Al recibir la señal de disparo, la ROSCTRL pone a disposición de las CEROS en un bus común el identificador de evento y activa el protocolo de lectura de los canales de entrada. La ROSCTRL es la primera en transmitir en el bus de datos de salida, enviando la cabecera de datos con el valor del identificador de evento correspondiente. A continuación, puede enviar el identificador del cruce de haces y un identificador del número de órbita obtenido de un contador interno que se incrementa con cada llegada del *reset* de órbita (BCNT\_RST o BC0). El envío o no de estas palabras es programable.

A continuación comienza el protocolo de arbitraje de la transmisión de datos al bus común a través de la distribución de una señal de testigo en un esquema de anillo a cada una de las CEROS. La ROSCTRL envía el testigo a la primera CEROS y activa un contador de tiempo de espera. Este contador se reinicia mediante un sistema de guardia (*Watchdog*) de forma que la CEROS debe realizar una transición 0 a 1 de la señal de guardia para reiniciar este contador. Puesto que la CEROS realiza esta transición al pasar de un estado a otro mientras procesa un canal, una CEROS sólo dará una señal de tiempo expirado cuando no se estén produciendo estas transiciones, síntoma de un funcionamiento incorrecto.

Si la CEROS ha terminado de procesar el evento en todos los canales, activa una señal de CEROS\_DONE y la ROSCTRL envía el testigo a la siguiente CEROS. Así hasta terminar con el canal de entrada de la ROSCTRL que es el último en procesarse.

En caso de estar programado, la ROSCTRL procede a leer a continuación el canal del TSC, incluyendo la información de disparo del evento correspondiente en ese sector.

La máquina de estados de la FPGA ROSCTRL que gobierna este modo de operación se ha resumido en la figura 5.4. El estado en azul es el estado inicial. Los estados que aparecen en amarillo son estados opcionales, dependen de si la circunstancia se produce y de si está habilitada su acción.



**Figura 5.4:** Resumen de la máquina de estados ROSCTRL para el modo de funcionamiento normal.

## 5.6 LA ARQUITECTURA DEL MÓDULO GOLROS

El módulo GOLROS es el encargado de la serialización de los datos procesados por la tarjeta ROS y de su conversión a señal óptica para ser transmitidos al siguiente nivel de lectura, la tarjeta DDU (*Device Dependent Unit*).

La tarjeta GOLROS es un circuito impreso de 4 capas de 3,7 cm x 3,1 cm que aloja el transmisor óptico VCSEL (*Vertical Cavity Surface Emitting Laser*) HFE4190-541 [164], el dispositivo GOL (*Gigabit Optical Link transmitter*) [165] y el QPLL (*Quartz Crystal Based Phase-Locked Loop*) [166], ambos ASICs diseñados por el Laboratorio de Microelectrónica del CERN en tecnología tolerante a radiación.

Esta tarjeta se conecta a la ROS-25 mediante un conector por el que se transmiten la señal de reloj, el bus paralelo de datos de salida, la señal de validación de datos, las líneas de la interfaz I<sup>2</sup>C para la comunicación con el GOL y diversas señales de control y monitorización (*QPLLreset*, *QPLLlocked*, *GOLready*, *GOLreset*, etc).

El dispositivo QPLL es un PLL cuya función es la de filtrar las inestabilidades (*jitter*) de la señal de reloj del LHC. La frecuencia de referencia es generada por un oscilador de cristal de cuarzo controlado por tensión que se monta al lado del QPLL y que genera una frecuencia fija de ~160 MHz. El QPLL proporciona la señal de 40,0786 MHz mediante división síncrona del reloj de entrada.

El QPLL está diseñado para enganchar con un rango de  $\pm 3,7$  kHz a la frecuencia del reloj del LHC (40,0786 MHz). Dispone de un sistema lógico de calibración de la frecuencia que monitoriza si el PLL está enganchado y en caso contrario realiza un ciclo de calibración para volver a engancharse. El tiempo requerido para la calibración es del orden de 180 ms.

Este dispositivo ha sido fabricado en tecnología CMOS de 0,25  $\mu$ m tolerante a radiación y se utiliza en la tarjeta ROS con el fin de filtrar la señal de reloj procedente del sistema TTC y mejorar su estabilidad antes de suministrarlo al dispositivo GOL, que es un dispositivo de alta frecuencia y las inestabilidades en la señal de reloj degradan su funcionamiento de forma importante.

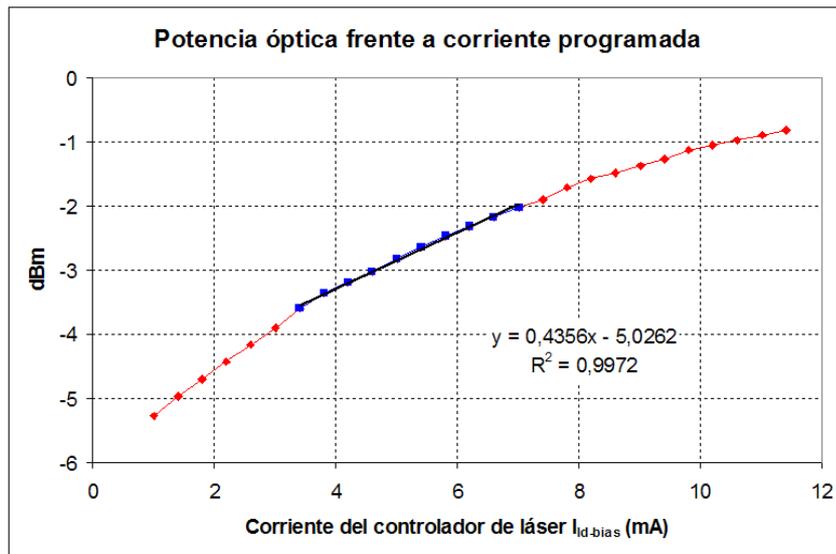
El dispositivo GOL es un ASIC multi-protocolo para transmisión a alta velocidad. Ha sido diseñado en tecnología CMOS de 0,25  $\mu$ m tolerante a radiación y empaquetado en un formato fpBGA de 144 pines. Este ASIC soporta dos protocolos estándar de transmisión, el G-link y el Gbit-Ethernet. En nuestro caso empleamos éste último para transmitir palabras de 16 bits a la frecuencia de reloj del LHC. Dado que se emplea la codificación 8B/10B, que añade dos bits a cada palabra, el ancho de banda efectivo será de 640 Mbps para una transmisión de datos de 800 Mbps.

El GOL recibirá por tanto el bus de datos paralelo de 16 bits donde las CEROS y ROSCTRL vuelcan la información de cada evento junto con una señal de validación y procederá a su codificación y a su serialización. Los datos serializados se transmiten a través de un controlador de láser conectado al transmisor óptico.

El GOL dispone de una interfaz I<sup>2</sup>C a través de la cual se pueden configurar distintos parámetros en sus registros internos y leer su estado. Entre los parámetros más importantes a los que acceder se encuentra un registro de 7 bits (Config3) para configurar la corriente del controlador del láser. Modificando el valor de ese registro de acuerdo con la ecuación 5.1 se modifica la corriente de base del controlador, aumentando o disminuyendo la potencia óptica a la que se transmite. La corriente de modulación es constante e igual a 10 mA.

$$I_{\text{id-bias}} = 1 \text{ mA} + \text{Config3}\langle 6:0 \rangle \times 0,4 \text{ mA} \quad (5.1)$$

En la figura 5.5 se pueden observar las medidas realizadas de potencia óptica de salida para nuestro transmisor óptico en función del valor de corriente programado en el controlador láser del dispositivo GOL.



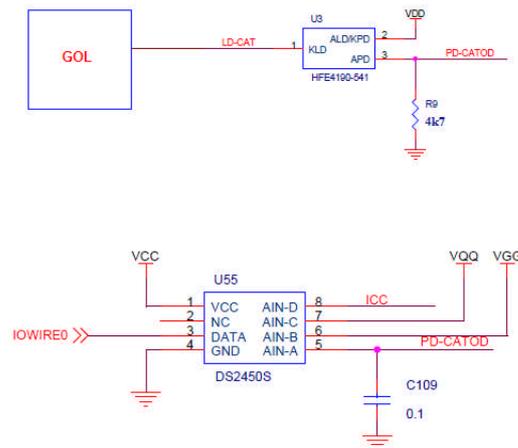
**Figura 5.5:** Potencia óptica del VCSEL en función de la corriente de base programada en el controlador láser del GOL.

Se observa que la curva es lineal principalmente en la zona intermedia, donde los valores de potencia óptica son los más adecuados para nuestro dispositivo. Aunque se pueden programar corrientes mayores, nuestro transmisor óptico tiene como límite máximo permitido 15 mA. El valor de la corriente programada por defecto con el que se configura el GOL al encenderse es de 5,8 mA, lo que proporciona una potencia óptica de salida de unos -2,33 dBm. Este valor resulta adecuado para la operación normal del sistema.

El transmisor óptico HFE4190-541 es un dispositivo VCSEL basado en un diodo láser semiconductor cuya luz se propaga perpendicularmente al plano de la región activa, contrario a los láseres semiconductores convencionales. Como la luz del VCSEL viaja en una sola dirección, el nivel de acoplamiento a la fibra óptica es muy superior al obtenido con un LED y se consiguen transmisiones a mayor velocidad y distancia. Además, son más fáciles de fabricar y calibrar que sus homólogos diodos láser, por lo que en la actualidad son muy empleados para comunicaciones de baja longitud de onda y alta velocidad.

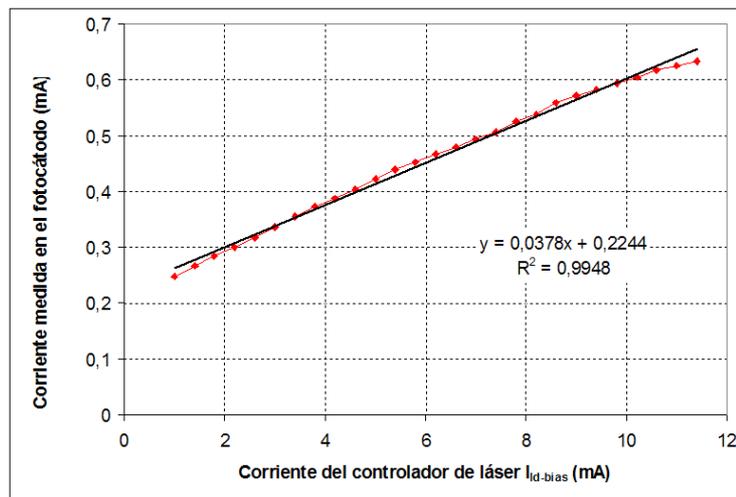
El HFE4190-541 es un VCSEL multimodo que opera a 850 nm capaz de modular hasta 2,5 Gbps. Está conectorizado en LC para su conexión directa a la fibra óptica multimodo de 50/125  $\mu\text{m}$ . Este dispositivo incluye un fotodiodo PIN de GaAs que permite monitorizar la potencia óptica de salida.

El GOL se conecta al cátodo del VCSEL mientras que su ánodo y el cátodo del fotodiodo se conectan a 3,3 V. A su vez, el ánodo del fotodiodo se conecta a una resistencia de 4,7 k $\Omega$ , que convierte la corriente de salida del fotodiodo en tensión, y al dispositivo DS2450S [167] de MAXIM, que permite medir la potencia óptica del VCSEL. En la figura 5.6 se puede ver un esquema de esta conexión.



**Figura 5.6:** Diagrama de interconexión del VCSEL, GOL y DS2450S.

El DS2450S es un convertidor analógico digital que digitaliza los valores de tensión mediante un método de aproximaciones sucesivas. El valor registrado puede ser leído externamente mediante el protocolo *1-wire*. A parte de otras tensiones que se explicarán más adelante, el DS2450S permite monitorizar la tensión en la resistencia de 4,7 kΩ. Este valor es proporcional a la corriente de salida del fotodiodo del VCSEL, que a su vez es proporcional a la potencia óptica proporcionada por el VCSEL. En la siguiente gráfica 5.7 se puede ver la comparación entre la corriente del controlador de láser programada y el valor de la corriente del fotodiodo leído por el DS2450S. Es por tanto posible con este sistema conocer el valor de la potencia óptica de salida del VCSEL y modificar la corriente del controlador del láser en el caso de que fuese necesario por efectos de degradación, bien por radiación o por envejecimiento.



**Figura 5.7:** Corriente medida en el fotocátodo del VCSEL frente a la corriente de base programada en el controlador láser del dispositivo GOL.

## 5.7 LA ARQUITECTURA DE LA PLACA BASE ROS-25

La tarjeta ROS-25 interconecta los distintos módulos descritos anteriormente, y a su vez, contiene diversos elementos funcionales comunes a todos los módulos, como el sistema de alimentación, de distribución de reloj, de interfaz VME, etc.

La placa base ROS-25 es un circuito impreso de 8 capas y 40 cm x 37 cm según el formato VME 9U. El espesor de la placa es de 2,4 mm, con el fin de proporcionar mayor rigidez a la tarjeta y evitar deformaciones dado su gran tamaño.

En la parte frontal tiene los 8 conectores RJ-45 y el conector LC para la fibra óptica. Asimismo dispone de una serie de LEDs para indicar visualmente el estado de la tarjeta y de los canales de entrada. En la figura 5.8 se puede ver el diseño de este frontal y una imagen de una tarjeta ROS completa.

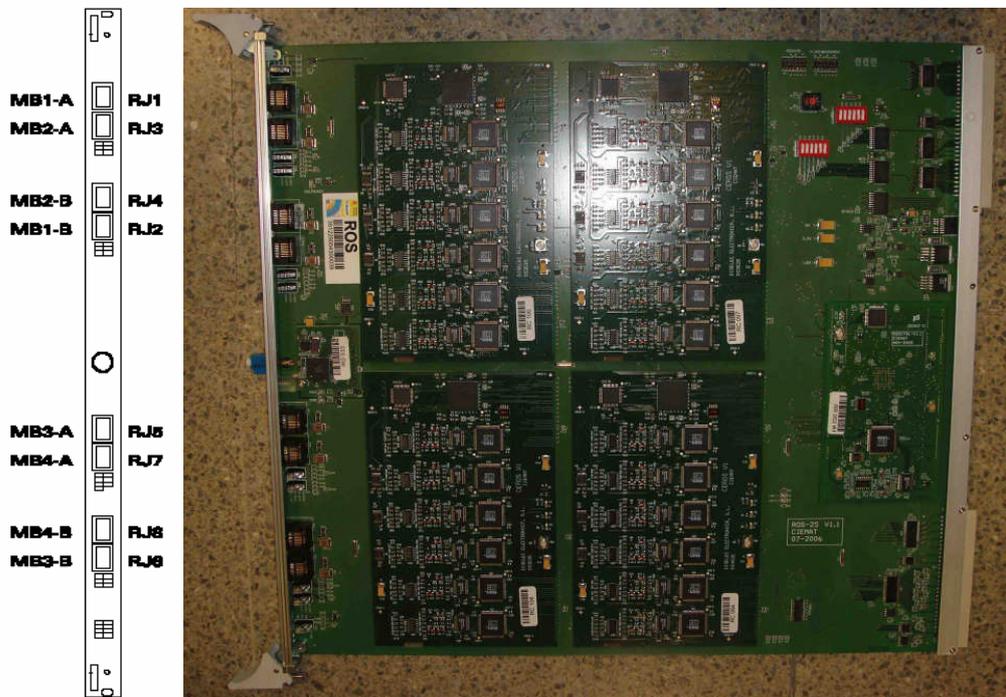


Figura 5.8: Imagen de la tarjeta ROS y de su frontal.

En la parte trasera, tiene dos conectores VME estándar DIN 41612 macho de 96 contactos para su conexión al bus VME y al conector del *backplane* TIMBUS que se describirá en el apartado 6.3.2. Ambos conectores están unidos mediante una barra de refuerzo. Asimismo, dispone de unos conectores de paso 1,27 mm y bajo perfil (4,5 mm de separación entre tarjetas interconectadas) donde se conectan los distintos módulos que conforman una ROS completa.

Dispone de dos CPLDs ROSVME (Xilinx XC2C384-7PQ208 [168]) y ROSMEM (Xilinx XC2C512-7PQ208 [169]) cuya funcionalidad se irá explicando a lo largo del texto.

Asimismo, la tarjeta ROS-25 dispone de un sistema de control de reloj similar al que se explicará en el apartado 6.3.1 para la tarjeta TIM de forma que si no se recibe una señal de reloj válida procedente del sistema TTC a través del TIMBUS, se activa automáticamente un cristal de cuarzo interno que proporciona un reloj de 40 MHz a toda la placa y permite su funcionamiento en modo autónomo.

## 5.8 LA INTERFAZ VME

La tarjeta ROS soporta diversos modos de acceso VME, todos con un ancho del bus de datos de 16 bits. En la siguiente tabla se resumen los mismos:

Tipo de acceso	Ancho del bus de datos	Espacio de direcciones	Funcionalidad
A16 no privilegiado	Palabra (16 bits)	1024 palabras (0 a 0x400)	Acceso a los registros internos de la ROS
A24 no privilegiado	Palabra (16 bits)	256 kpalabras (0 a 0x40000)	Acceso a la memoria interna de la ROS
A24 no privilegiado en modo bloque	Palabra (16 bits)	256 kpalabras (0 a 0x400)	Acceso a la memoria interna de la ROS

**Tabla 5.1:** Tipos de acceso VME permitidos en la tarjeta ROS.

Las direcciones base A16 y A24 se seleccionan en la placa a través de dos interruptores distintos. Las direcciones base de las distintas tarjetas ROS dentro de cada chasis Sector Collector se han configurado de acuerdo a la tabla 5.2.

Tarjeta	Dirección base A16	Dirección base A24
TIM	0x7000	-
ROS Sector 1 y 12	0x1000	0x10000
ROS Sector 2 y 11	0x2000	0x20000
ROS Sector 3 y 10	0x3000	0x30000
ROS Sector 4 y 9	0x4000	0x40000
ROS Sector 5 y 8	0x5000	0x50000
ROS Sector 6 y 7	0x6000	0x60000
TSC Sector 1 y 12	0x1800	0x001800
TSC Sector 2 y 11	0x2800	0x002800
TSC Sector 3 y 10	0x3800	0x003800
TSC Sector 4 y 9	0x4800	0x004800
TSC Sector 5 y 8	0x5800	0x005800
TSC Sector 6 y 7	0x6800	0x006800

**Tabla 5.2:** Direcciones base para cada tarjeta del chasis Sector Collector.

El modo de direccionamiento A16 se utiliza para el acceso a los distintos registros de la tarjeta ROS dentro de cada una de las FPGAs o CPLDs de los diversos módulos. Para acceder a cada módulo se debe añadir a la dirección base

un valor de desplazamiento tal y como se indica en la tabla 5.3. Finalmente, para el acceso al registro concreto hay que añadir el desplazamiento correspondiente al registro en cuestión. La lista de registros VME de la tarjeta ROS se puede consultar en [170].

Dirección base A16 (A15 . A10)	Bloque funcional
Dirección base ROS + 0x00	CEROS0
Dirección base ROS + 0x80	CEROS1
Dirección base ROS + 0x100	CEROS2
Dirección base ROS + 0x180	CEROS3
Dirección base ROS + 0x200	CEROS4
Dirección base ROS + 0x280	ROSCTRL
Dirección base ROS + 0x300	ROSMEM
Dirección base ROS + 0x380	ROSVME

**Tabla 5.3:** Desplazamientos con respecto a la dirección base para acceder a los registros de cada uno de los módulos de la ROS.

Toda la gestión de la interfaz VME se realiza dentro de la CPLD ROSVME y ésta es la que detecta qué módulo se está direccionando. En cada caso se activa la señal de “Dispositivo habilitado” del módulo correspondiente que será el único en responder. Por tanto, todos los módulos de la placa comparten el bus de datos D16, la parte menos significativa del bus de direcciones (A5 a A0) y las señales de lectura y escritura sin que esto genere ningún conflicto.

### 5.8.1 La lógica de las señales de *Reset*

En la ROS se manejan dos tipos distintos de señal de *reset* con el fin de inicializar los registros a su valor por defecto. Estas dos señales son el *Soft Reset* y el *Hard Reset*.

La razón de esta distinción es que la señal de *Soft Reset* restaura el sistema a un estado en el que se puede iniciar inmediatamente la toma de datos, es decir, la tarjeta permanece configurada. En cambio, el *Hard Reset* inicializa totalmente la placa y para poder comenzar una toma de datos es necesario reconfigurarla mediante una serie de accesos VME. Para mayor claridad se detallan a continuación las principales acciones realizadas en cada caso:

#### 5.8.1.1 *Soft Reset*:

- Se ejecuta bien a petición del usuario con un acceso VME o cuando se recibe una inicialización del número de evento a través del sistema TTC y la tarjeta ROS ha sido configurada para ello.
- Vacía los contenidos de todas las FIFOs de entrada y de disparo, pero no modifica el límite PAF programado en las FIFOs que notifica que están casi llenas.

- Borra todos los *flags* de error de los canales de entrada (tiempo expirado, desalineamiento de evento, etc), de forma que los canales que hayan sido enmascarados por cualquiera de estos errores puedan recuperarse.
- Borra todos los *flags* de error de tiempo expirado de CEROS, del canal del TSC, desbordamiento de FIFOs, etc.
- Mantiene el modo de funcionamiento programado en la tarjeta, las opciones de configuración y los canales enmascarados a petición del usuario en la configuración inicial.

#### 5.8.1.2 **Hard Reset:**

- Se ejecuta bien a petición del usuario con un acceso VME o bien con una señal de *reset* de todo el sistema VME (SYSRESET).
- Vacía completamente las FIFOs de entrada y disparo e inicializa al valor por defecto de los límites de ocupación PAF.
- Apaga la alimentación del serializador GOL.
- Reinicia al valor por defecto todos los registros de la tarjeta ROS, incluido el puntero de la memoria interna de la ROS.
- Reinicia los dispositivos QPLL, I<sup>2</sup>C y *1-wire*.
- Reinicia el modo de operación programado en la ROS y todas sus características.

#### 5.8.2 **El acceso A24**

El modo de acceso A24 está reservado para el acceso a la memoria interna de la ROS-25. Esta memoria Cypress CY7C1041CV33 [171] es una RAM estática CMOS de 512 kbytes, con un bus de direcciones de 18 bits y un bus de datos de 16 bits. El modo de acceso puede ser estándar VME palabra a palabra o transferencia no privilegiada en modo bloque. La CPLD ROSMEM realiza la interfaz VME en el caso de acceso A24, activando las señales correspondientes de lectura y escritura de la memoria e incrementando el contador de direcciones en caso de acceso en modo bloque. En la CPLD ROSMEM se han implementado los multiplexores correspondientes para permitir el acceso bidireccional a memoria desde el bus de datos VME o desde el bus de datos de salida.

#### 5.8.3 **Las interrupciones VME**

En la tarjeta ROS también se ha implementado un sistema de interrupciones con un nivel y un vector programable en la CPLD ROSVME con

el fin de generar una interrupción VME para cada uno de los siguientes casos (todos ellos programables por el usuario):

- Alguna de las FIFOs ha alcanzado su nivel de casi llena (PAF).
- Alguna de las FIFOs se ha llenado completamente.
- La escritura de datos en memoria en modo de pruebas ha completado el número de eventos o de palabras programadas.
- La tarjeta ROS ha terminado de procesar un evento.

## 5.9 EL SISTEMA DE ALIMENTACIÓN

La tarjeta ROS se alimenta de los 5,2 V presentes en el *backplane* del chasis del Sector Colector a través de 6 pines en los conectores VME. Los dispositivos presentes en la tarjeta se alimentan con los siguientes valores posibles de tensión: 5 V, 3,3 V, 2,5 V y 1,8 V.

Los 5 V se obtienen de los 5,2 V de entrada a través del interruptor de potencia BTS612N1 [172], el cual proporciona una protección frente a sobrecorrientes, sobre-tensiones y altas temperaturas. Debido a la pequeña caída de tensión en el BTS612N1, la tensión de entrada de la ROS debe ser de 5,2V en vez de 5 V.

Para las alimentaciones de 3,3 V y 1,8V se emplearon los reguladores Micrel MIC29151-3.3BU y MIC39301-1.8BU respectivamente, los cuales tienen una baja caída de tensión y un sistema de protección frente a altas temperaturas.

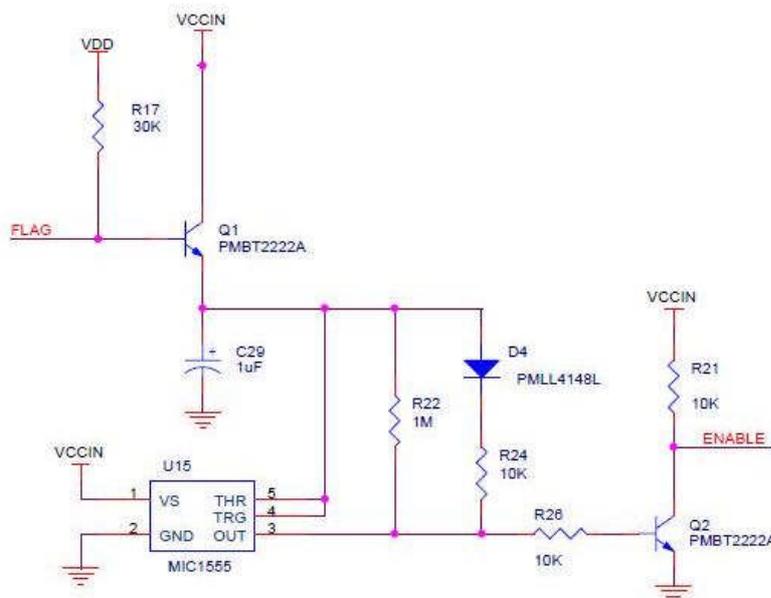
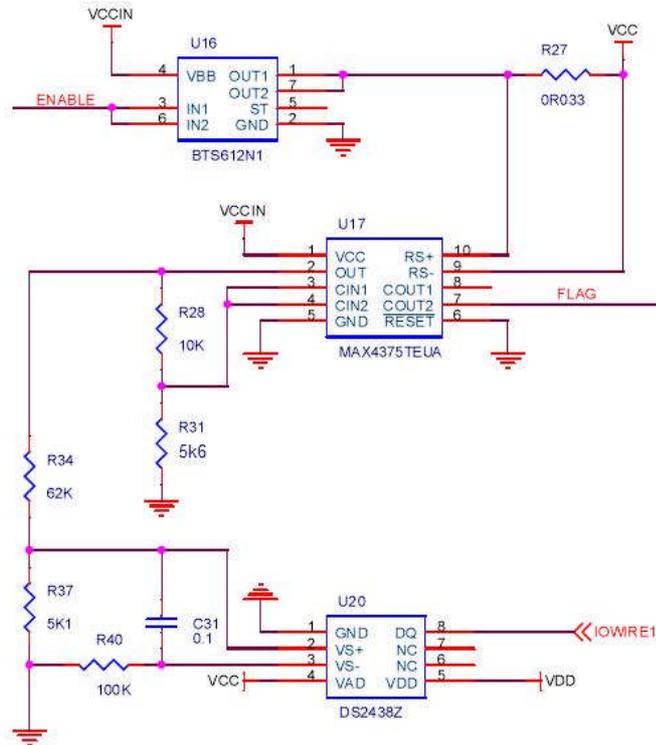


Figura 5.9: Circuito automático de protección frente a sobre-consumos.

Todas estas alimentaciones disponen de un sistema automático de protección frente a sobre-consumos basado en un circuito del tipo al de la figura 5.9. El circuito de protección de sobre-consumos se pone en marcha cuando la señal *Flag* se activa. La señal de *Flag* procede o bien del pin *Flag* de cada uno de los reguladores, activo cuando hay algún fallo en la regulación o de sobrecalentamiento, o bien del circuito de detección de sobre-corrientes (figura 5.10).



**Figura 5.10:** Circuito de detección de sobre-corrientes.

Cuando *Flag* abre el transistor Q1, se dispara el MIC1555 forzando la señal de *Enable* a baja. Esta señal desactiva los reguladores y el interruptor de potencia durante 712 ms. Automáticamente, vuelve a intentar recuperarse cuando finaliza el pulso del MIC1555. De esta forma se protege la placa frente a sobre-consumos producidos, por ejemplo, por efectos de la radiación.

El circuito de detección de sobre-corrientes (figura 5.10) se basa en un amplificador-comparador (MAX4375) que mide la caída de tensión en una resistencia de bajo valor (i.e.  $0,033 \Omega$ ) y activa la señal de *Flag* cuando la salida del comparador supera el valor de referencia marcado por las entradas CIN. Eligiendo los valores adecuados de resistencias se puede seleccionar la corriente máxima permitida antes de activar el circuito de protección. Las corrientes máximas permitidas en cada tipo de alimentación son las indicadas en la siguiente tabla:

	I max (A)
5V	2,53
3,3V	2,53
1,8V	1

**Tabla 5.4:** Corrientes máximas permitidas en la ROS en cada una de las alimentaciones.

Además, la salida de este amplificador se emplea en el sensor de MAXIM DS2438Z para medir la corriente consumida que será leída a través de la interfaz *1-wire*. Este sensor de corriente, tensión y temperatura está presente en cada uno de los tres tipos de alimentaciones.

Finalmente, la tensión de 2,5 V es necesaria para alimentar al GOL y al QPLL y se obtiene a través de un regulador LP2992 [173]. El encendido del GOL forma parte del proceso de configuración de la ROS debido a algunos problemas observados cuando su alimentación no es estable antes de que sus entradas estén activas. Para evitarlo, se ha utilizado el dispositivo CRT4T [174] diseñado por el Laboratorio de Microelectrónica del CERN que controla la alimentación del GOL. Este dispositivo consiste básicamente en dos transistores NMOS y dos PMOS que controlan la rampa de subida y fuerzan el apagado cuando así se indique mediante una señal de control.

La tensión de 2,5 V antes y después del CRT4T y la corriente total consumida por la alimentación de 2,5 V se mide a través del conversor analógico digital DS2450S indicado en la figura 5.6.

El consumo en operación para los distintos tipos de alimentaciones es el indicado en la siguiente tabla, siendo el consumo total de una tarjeta ROS de 4,1 A, es decir, 21,32 W.

	I (A)
5 V	1,82
3,3 V	1,85
2,5 V	0,14
1,8 V	0,29
<b>Total</b>	<b>4,1</b>

**Tabla 5.5:** Consumo de la tarjeta ROS en cada una de las alimentaciones.

### 5.9.1 El sistema de monitorización I, V, T

Como puede verse en la figura 5.11, en la tarjeta ROS existen cuatro sensores *1-wire* más la interfaz I<sup>2</sup>C al GOL. Con el fin de organizar la lectura de todos estos dispositivos se empleó el esquema mostrado en la figura. Consiste en un dispositivo PCA9564 [175] que permite manejar un bus I<sup>2</sup>C a partir de un bus paralelo, un demultiplexor de bus I<sup>2</sup>C (PCA9516 [176]) y un conversor I<sup>2</sup>C a *1-wire* (DS2482 [177]).

El acceso al PCA9564 se realiza a través de accesos VME bajo la supervisión de la CPLD ROSVME. La descripción del protocolo a seguir para la

comunicación con los distintos dispositivos es demasiado extensa para el objetivo del presente trabajo y puede consultarse en el manual de la ROS [170].

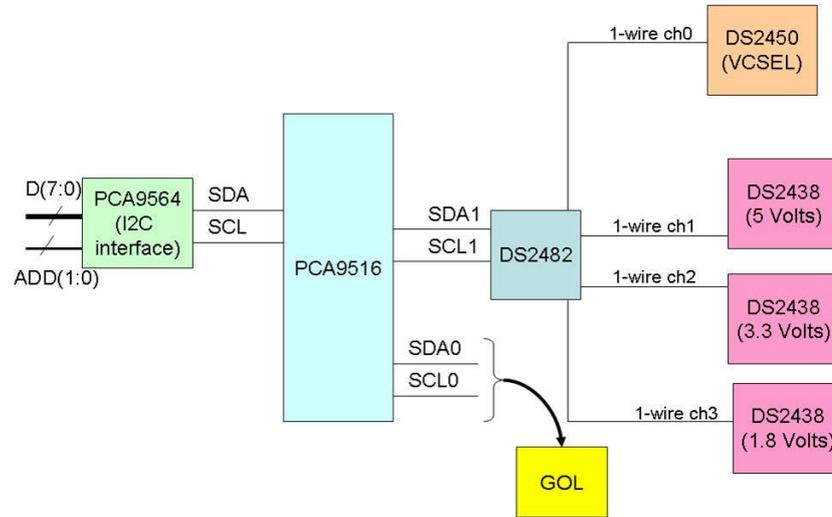


Figura 5.11: Diagrama implementado para la lectura de los dispositivos *1-wire* e I<sup>2</sup>C.

## 5.10 LA IMPLEMENTACIÓN DEL FIRMWARE

Dado que todos los dispositivos lógicos programables empleados pertenecían a Xilinx, utilicé el entorno de programación Xilinx Integrated Software Environment (ISE 6.3i) [178] para la implementación del firmware. Las características principales de ocupación de los recursos se resumen en las siguientes tablas:

Resumen de la utilización del dispositivo CEROS		
Número de pines de reloj globales	2 de 4	50%
Número de pines de entrada/salida	145 de 178	81%
Número de Slices	520 de 768	67%
Número de DLLs	1 de 4	25%
Número de líneas de reloj globales	2 de 4	50%
Número de búferes TBUF	400 de 768	52%
Máxima frecuencia de reloj	84,239 MHz	

Tabla 5.6: Resumen de la utilización del dispositivo CEROS.

Resumen de la utilización del dispositivo ROSCTRL		
Número de pines de reloj globales	2 de 4	50%
Número de pines de entrada/salida	158 de 178	88%
Número de Slices	873 de 1200	72%
Número de DLLs	1 de 4	25%
Número de líneas de reloj globales	2 de 4	50%
Número de búferes TBUF	544 de 1280	42%
Máxima frecuencia de reloj	68,278 MHz	

Tabla 5.7: Resumen de la utilización del dispositivo ROSCTRL.

Resumen de la utilización del dispositivo ROSVME		
Número de Macroceldas	224 de 384	59%
Número de Pterms (términos producto)	538 de 1344	41%
Número de registros	142 de 384	37%
Número de Pines	163 de 173	95%
Número de Function Block Inputs	630 de 960	66%
Número de pines de reloj global	3 de 3	100%

**Tabla 5.8:** Resumen de la utilización del dispositivo ROSVME.

Resumen de la utilización del dispositivo ROSMEM		
Número de Macroceldas	375 de 512	74%
Número de Pterms (términos producto)	869 de 1792	49%
Número de registros	272 de 512	54%
Número de Pines	138 de 173	80%
Número de Function Block Inputs	944 de 1280	74%
Número de pines de reloj global	3 de 3	100%

**Tabla 5.9:** Resumen de la utilización del dispositivo ROSMEM.

## 5.11 RECONFIGURACIÓN REMOTA DE LOS DISPOSITIVOS LÓGICOS PROGRAMABLES

Dadas las condiciones medioambientales y de difícil acceso en las que se espera que funcione la ROS, es muy conveniente disponer de un sistema de reconfiguración remota de las FPGAs que evite tener que acceder físicamente a la tarjeta para realizar un cambio en el firmware de los dispositivos lógicos programables. Además, dada la flexibilidad de funcionamiento de la tarjeta ROS, no es descartable que surjan actualizaciones a lo largo de los diez años de operación previstos.

En la ROS se ha diseñado un sistema de reconfiguración remota para todos los dispositivos programables excepto para la CPLD ROSVME, puesto que se encarga fundamentalmente de la interfaz VME y no se espera que sufra ninguna modificación.

Los dispositivos lógicos programables CEROS y ROSCTRL son FPGAs de Xilinx basados en células SRAM y por tanto la configuración es válida mientras la alimentación esté conectada, pues la memoria es volátil. El programa de configuración está almacenado en unas memorias Flash XC18V01-VQ44 [179] que cargan la FPGA al encender la placa. Por tanto, la reconfiguración de estos dispositivos en realidad consiste en la modificación del contenido de esta memoria de carga.

ROSMEM, en cambio, es una CPLD y se diferencia de las FPGAs entre otras cosas en que existe una memoria no volátil en el propio dispositivo utilizada para realizar la función de gestor de arranque. Por lo que en este caso, sí se está accediendo directamente al dispositivo.

La reconfiguración se realiza a través del protocolo JTAG. Para ello, en la CPLD ROSVME se ha creado un registro que se conecta directamente con las

líneas JTAG de los distintos dispositivos. De esta forma, modificando el valor de los bits correspondientes se pone a 1 o a 0 las correspondientes líneas. Dado que el protocolo JTAG es asíncrono, no hay restricciones de tiempo a la hora de realizar las transiciones.

**Registro JTAG (ROSVME + 0x0C)**

bits	Descripción	Tipo de acceso
0-3	Habilita el acceso JTAG a cada CEROS FLASH	R/W
4	Habilita el acceso JTAG a ROSCTRL FLASH	R/W
5	Habilita el acceso JTAG a ROSMEM	R/W
6	TCK	R/W
7	TMS	R/W
8	TDI	R/W
9-14	TDO	R

**Tabla 5.10:** Registro JTAG para la configuración remota de los dispositivos lógicos programables de la tarjeta ROS.

Las líneas TDI y TMS son comunes a todos los dispositivos, mientras que TDO y TCK son independientes. Con el fin de seleccionar a qué dispositivo se está accediendo se emplean los bits de control del registro de la tabla 5.10 que activan los correspondientes multiplexor y demultiplexor.

El envío de cada bit JTAG requeriría cuatro accesos VME: escribir el valor del bit TDI, activar la señal de reloj, volver a desactivarla y finalmente leer el valor del bit TDO. Dado que el número de bits enviados para reconfigurar un dispositivo es muy elevado, he implementado una máquina de estados en ROSVME con el fin de acelerar los accesos JTAG. Para ello se emplea otro registro VME (tabla 5.11) en el que se escribe la secuencia de bits TDI que se desea enviar, y la sola escritura en ese registro activa la máquina de estados que transmite automáticamente esos bits controlando la señal de reloj TCK y almacenando en otro registro los bits TDO de salida. De esta forma, los 32 accesos VME que habría que realizar se transforman en 2.

En este tipo de acceso se fija la señal TMS a un único valor para todos los bits TDI, lo cual impide su uso al desplazarse por la máquina de estados TAP. No obstante, esto supone una escasa limitación pues la mayoría de los bits se escriben realmente en el estado TAP “*Shift DR*”, donde TMS es fijo.

**Registro JTAG TDI (ROSVME + 0x0E)**

bits	Descripción	Tipo de acceso
7-0	TDI (7 a 0)	R/W
8	TMS	R/W
12-9	Bits que se quieren enviar (max 8)	R/W

**Registro JTAG TDO (ROSVME + 0x10)**

bits	Descripción	Tipo de acceso
0-7	Secuencia de bits recibidos por la línea TDO (bit 0 último recibido)	R
8	Secuencia completada	R

**Tabla 5.11:** Registro JTAG para la configuración remota en modo secuencia de los dispositivos lógicos programables de la tarjeta ROS.

Finalmente, he desarrollado un software en LabVIEW® (para pruebas en el laboratorio) y en C++ (para el sistema final) con el fin de realizar la configuración remota de estos dispositivos a través de los accesos VME. Asimismo, este software permite realizar la lectura de las memorias de carga, validando sus contenidos.

Se han empleado los ficheros SVF [180] que es un formato estándar de ficheros empleado por Xilinx y generado directamente por sus herramientas de desarrollo. En estos ficheros SVF están incluidas, de acuerdo a un formato especificado, las instrucciones y datos JTAG que deben transmitirse para realizar las operaciones deseadas.

El software implementado decodifica estos ficheros SVF, controla las transiciones en la máquina de estados TAP, carga los bits correspondientes y comprueba que la salida producida por los dispositivos es la esperada.

Por último, sólo comentar que el procedimiento de carga de las FPGAs a partir de las memorias Flash puede ser controlado remotamente. Es decir, se puede forzar una reconfiguración de la lógica de la FPGA mediante un acceso VME en el caso de que se considere necesario (no se han cargado correctamente al inicio, se han producido errores SEU debido a la radiación, etc).

La CPLD ROSVME actúa de *Master* en la configuración de estos dispositivos, generando el reloj de carga, cuya frecuencia es programable, y controlando las líneas de INIT y PROGRAM\_FPGA. También lee las líneas de DONE comprobando si la carga de la FPGA se realizó correctamente. La arquitectura implementada es similar a la presentada en la figura 5.12.

El tiempo de carga de las FPGAs desde las memorias XC18V01-VQ44 varía desde 63 ms a 4 ms según la frecuencia seleccionada en el reloj de carga CCLK generado por ROSVME. La frecuencia de este reloj de carga es programable por el usuario y puede tomar valores desde 1,25 MHz a 20 MHz. Es posible, por tanto, realizar una reconfiguración en caso de ser necesario al inicio de cada toma de datos.

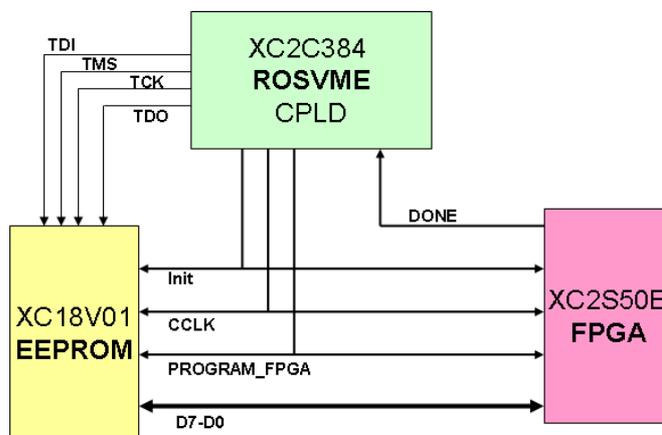


Figura 5.12: Diagrama de interconexión de las FPGAs y sus memorias FLASH.

Por otro lado, el tiempo de reconfiguración remota de las memorias XC18V01-VQ44 depende enormemente de la plataforma desde la que se realice y del tiempo de acceso VME, pero es del orden de 1 minuto por dispositivo. Como puede suponerse, no es una tarea que se piense realizar con frecuencia.

## 5.12 EL FORMATO DE LOS DATOS

Al igual que las palabras del HPTDC, en la ROS las palabras están formadas por paquetes de 32 bits. Para su transmisión a través del enlace ROB-ROS han sido divididas en sub-paquetes de 8 bits y para la transmisión ROS-DDU se dividen en sub-paquetes de 16 bits, pero es una unidad de 32 bits la que tiene un significado lógico completo. Por tanto, cada palabra de 32 bits comienza con unos bits de identificación (normalmente un byte) que permiten distinguir el tipo de palabra del que se trata.

### 5.12.1 Cabecera y cola

Cada evento enviado por la tarjeta ROS está incluido dentro de una palabra de cabecera y una palabra de cola. La palabra de cabecera informa del número de evento, con una resolución de 23 bits. En la cola se incluye un contador del número de palabras enviadas en ese evento, incluidas cabecera y cola. Asimismo, proporciona cierta información del estado de ocupación de la FIFO de disparo.

- **TFF:** Indica que la FIFO de disparo se ha llenado. Por tanto es posible que se pierda algún evento.
- **TXP:** Indica un error de paridad en la palabra de 16 bits enviada al serializador GOL a través del bus de datos de salida.
- **Ocupación FIFO L1A:** Este campo proporciona el valor de los bits 7 a 2 de la palabra de ocupación de la FIFO de disparos L1A en la ROS, dando información de si está cerca de llenarse.

Cabecera de evento ROS

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
ROS	0	0	0	1	1	1	1	1																										

Cola de evento ROS

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ROS	0	0	1	1	1	1	1	1	TFF	TXP	Ocupación fifo L1A						Contador de palabras (de 32 bits)															

Tabla 5.12: Formato de la cabecera y la cola de un evento ROS.

### 5.12.2 Información opcional (Cruce de haces y órbita)

La tarjeta ROS puede configurarse para enviar tras la cabecera otras palabras que informarán del número de cruce de haces al que corresponde ese evento y del número de órbita.

El número de órbita no se transmite a través del sistema TTC, sino que se obtiene a partir de un contador interno en ROSCTRL que se incrementa cada vez que se recibe la señal de inicio de órbita (BC0). Dado que no se dispone de una FIFO para este número de órbita su valor podría ser incorrecto en el caso de disparos solapados cuyo tiempo de procesado se prolongara hasta el final de la órbita. Esta información es por tanto sólo para modo de pruebas en el que no se realice la lectura del sistema de *Global Trigger* y debe utilizarse con precaución sabiendo que es orientativa.

Asimismo, la tarjeta CEROS puede configurarse para enviar una palabra de estado en cada evento que resuma si algún canal está enmascarado debido a un mal funcionamiento, como se muestra en la palabra tipo 3 de la tabla 5.13. También existe una palabra enviada en cada evento en el que se informa si un módulo CEROS ha dado tiempo expirado.

Palabras opcionales

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ROS	1	1	1	1	1	1	1	1	Tipo				XXX				1															

Tipos

	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	Bunch number			XXX = 31				1	Contador de cruce de haces TTC															
1	BcntResCrtLow			XXX = 31				1	Contador de órbita (bits menos significativos)															
2	BcntResCrtHigh			XXX = 31				1	Contador de órbita (bits más significativos)															
3	CEROS STATUS		CEROS ID				1	0	0	0	Evento desalineado						Canal bloqueado							
4	ROS STATUS		XXX = 31				CEROS id ha dado tiempo muerto																	

Tabla 5.13: Formato de las palabras opcionales de la ROS.

### 5.12.3 Palabras de error

Además de indicar en los registros internos VME un error cuando éste se produce, la ROS también envía esta información en el flujo de datos. De esta forma se puede estudiar su comportamiento haciendo uso exclusivamente de los datos y además, se tiene conocimiento del momento exacto en el que este error se produjo.

Por lo general, estas palabras de error sólo se envían una vez, en el momento en el que se produce el fallo. Dado que la mayoría de los fallos no son recuperables puesto que no se puede garantizar la integridad y la sincronía de los datos, el correspondiente canal se enmascara hasta que se realiza una acción de sincronización.

Errores:

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
ROS	1	1	0	1	1	1	1	1	Tipo de Error				ROB												1												

Tipos de errores:

	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0	Tiempo expirado			ROB		1	R												EVID mis	PAF	EF	LK	HU	FF		
0	Tiempo expirado TSC			25		1	R															EF		FF		
1	Evento desalineado			ROB		1	R												Event ID at ROS							
2	FIFO casi llena			ROB		1	R												EVID mis	PAF	EF	LK	HU	FF		
3	FIFO llena			ROB		1	R												EVID mis	PAF	EF	LK	HU	FF		
3	TSC FIFO llena			25		1	R															EF		FF		
4	Tiempo expirado CEROS			31		1	R												Ceros ID							
5	Máximo número de palabras			ROB		1	R												EVID mis	PAF	EF	LK	HU	FF		
6	L1A FIFO casi llena			31		1	R																			

Tabla 5.14: Formato de las palabras de error enviadas por la tarjeta ROS.

El significado de los distintos tipos de palabras de error es suficientemente explicativo a partir de la información proporcionada en apartados anteriores, por lo que sólo se indicará el significado de los siguientes bits:

- **ROB:** Indica el número de canal en la ROS que produce el error.
- **EVIDmis:** Indica un evento desalineado en el presente canal.
- **PAF:** Indica que la ocupación de la FIFO de ese canal ha superado el límite programado y está cerca de llenarse completamente.
- **EF:** Indica que la correspondiente FIFO se encuentra vacía.
- **LK:** Indica que el serializador del presente canal está enganchado en ese momento.
- **HU:** Indica que en algún momento el serializador de ese canal se ha desenganchado.
- **FF:** Indica que la FIFO de ese canal está completamente llena.
- **R:** Es un bit que se activa a 1 para indicar que esa palabra de error debe tenerse en cuenta en el DDU dentro de la lógica TTS que se explicará en el apartado 5.13.

#### 5.12.4 Palabras generadas en el HPTDC y modificadas en la ROS

En la siguiente figura se puede observar los cambios de formato que realiza la ROS en las palabras procedentes del HPTDC. El objetivo es indicar el canal ROS al que se corresponden y añadir información de errores de paridad (PC) y del estado de ocupación de la FIFO de ese canal (PAF). Sólo se han indicado las principales palabras que se emplean en el HPTDC; el proceso es similar para el resto de las posibles palabras transmitidas.

Cabecera de ROB. Generada por el HPTDC master.

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDC	0	0	0	0	TDC ID				Número de Evento (HPTDC)											Número de cruce de haces (HPTDC)												
ROS	0	0	0	ROB ID (0-24)				Número de Evento (HPTDC)											Número de cruce de haces (HPTDC)													

Cola de ROB. Generada por el HPTDC master.

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDC	0	0	0	1	TDC ID				Número de Evento (HPTDC)											Contador de palabras de 32 bits												
ROS	0	0	1	ROB ID (0-24)				Número de Evento (HPTDC)											Contador de palabras de 32 bits													

Medida de tiempos

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDC	0	1	0	0	TDC ID				Canal de HPTDC				Medida del flanco de subida (cuentas de HPTDC)																			
ROS	1	0	0	0	PC	PAF	TDC ID	Canal de HPTDC				Medida del flanco de subida (cuentas de HPTDC)																				

Errores de HPTDC

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDC	0	1	1	0	TDC ID				Flag de Error																							
ROS	1	1	0	0	PC	PAF	TDC ID	Flag de Error																								

Tabla 5.15: Cambio de formato en la ROS de las palabras del HPTDC.

### 5.12.5 Palabras del Trigger Sector Collector

Por último, en el caso de leer la información de disparo del TSC, la ROS incluye una cabecera y una cola para delimitar los datos procedentes de ese canal. En ella se indica el número de evento, la ocupación de la FIFO de datos del TSC y el número de palabras que corresponden a ese bloque. Asimismo, se engloban las palabras de 16 bits del TSC en palabras de 32 bits con el identificador correspondiente.

Cabecera del TSC

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ROS	0	0	0	25				Número de evento											Ocupación de la FIFO TSC													

Cola del TSC

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ROS	0	0	1	25				Contador de palabras (de 32 bits)																								

Dato del TSC

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ROS	1	0	0	25				Datos del TSC																								

Tabla 5.16: Formato ROS de las palabras procedentes del TSC.

En definitiva, un evento completo leído por la tarjeta ROS presentaría el siguiente aspecto:

- (0x1F000000) CABECERA DE EVENTO ROS. EVENTO=0
- (0xFF3FF4BD) ROS OPCIONAL BunchResCntLOW=0d29885
- (0xFF5F800C) ROS OPCIONAL BunchResCntHIGH=0d12
- (0xFF1F8C5B) ROS OPCIONAL Bunch number=0d3163
- (0x2000C5B) CABECERA DE ROB ID=2 EVENTO ID 0 BUNCH ID 0d3163
- (0x81D83D90) MEDIDA DE TIEMPO: HPTDC ID= 1 Channel=27 Time=3078,12 ns
- (0x81583EC8) MEDIDA DE TIEMPO: HPTDC ID= 1 Channel=11 Time=3139,06 ns
- (0x81D03F24) MEDIDA DE TIEMPO: HPTDC ID= 1 Channel=26 Time=3157,03 ns
- (0x8160410C) MEDIDA DE TIEMPO: HPTDC ID= 1 Channel=12 Time=3252,34 ns
- (0x81E03FB4) MEDIDA DE TIEMPO: HPTDC ID= 1 Channel=28 Time=3185,16 ns

```

(0x814843E8)      MEDIDA DE TIEMPO: HPTDC ID= 1 Channel=9 Time=3395,31 ns
(0x81E84380)      MEDIDA DE TIEMPO: HPTDC ID= 1 Channel=29 Time=3375,00 ns
(0x8150468C)      MEDIDA DE TIEMPO: HPTDC ID= 1 Channel=10 Time=3527,34 ns
(0x2200000A)      COLA DE ROB ID=2 EVENTO=0. Contador de palabras (D32) 10
(0x3000C5B)       CABECERA DE ROB ID=3 EVENTO=0 BUNCH ID 0d3163
(0x80E81474)      MEDIDA DE TIEMPO: HPTDC ID= 0 Channel=29 Time=1022,66 ns
(0x23000003)      COLA DE ROB ID=3 EVENTO=0 Contador de palabras (D32) 3
(0xDF06C00E)      ERROR ROS Tiempo expirado ROB ID=6 PAF=0 EF=1 LK=1
                  HASUNLOCK=1 FF=0
(0x16000C5B)      CABECERA DE ROB ID=22 EVENTO=0 BUNCH ID 0d3163
(0x82384314)      MEDIDA DE TIEMPO: HPTDC ID= 2 Channel=7 Time=3353,91 ns
(0x82483D6C)      MEDIDA DE TIEMPO: HPTDC ID= 2 Channel=9 Time=3071,09 ns
(0x82B83E3C)      MEDIDA DE TIEMPO: HPTDC ID= 2 Channel=23 Time=3111,72 ns
(0x82C04034)      MEDIDA DE TIEMPO: HPTDC ID= 2 Channel=24 Time=3210,16 ns
(0x824040F4)      MEDIDA DE TIEMPO: HPTDC ID= 2 Channel=8 Time=3247,66 ns
(0x82C843F0)      MEDIDA DE TIEMPO: HPTDC ID= 2 Channel=25 Time=3396,87 ns
(0x82504224)      MEDIDA DE TIEMPO: HPTDC ID= 2 Channel=10 Time=3307,03 ns
(0x36000009)      COLA DE ROB ID=22 EVENTO=0. Contador de palabras (D32) 9
(0x19000005)      CABECERA DEL TSC EVENTO=0. TSC FIFO ocupación= 5
(0x99000051)      Dato del TSC = 81
(0x99000E0E)      Dato del TSC = 3598
(0x39000007)      COLA DEL TSC. Contador de palabras (D16) 7
(0x3F000023)      COLA DE EVENTO ROS. Contador de palabras (D32) 35

```

### 5.13 EL SISTEMA TTS

El sistema TTS (*Trigger Throttling System*) se ha desarrollado en CMS con el fin de regular la frecuencia de disparo del *Global Trigger* dependiendo de las capacidades del sistema de adquisición de datos y evitar así congestiones y desbordamientos en cualquier punto de la cadena de lectura. Es un sistema basado puramente en hardware, de forma que actúa rápidamente sin la intervención del software de adquisición de datos.

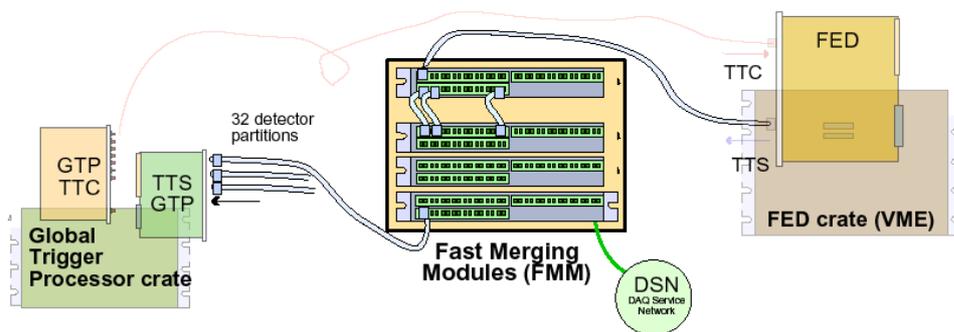


Figura 5.13: Diagrama del sistema TTS en CMS.

La arquitectura del sistema se observa en la figura 5.13. Como puede verse, el sistema TTS está basado en los módulos FMM (*Fast Merging Modules*) [181] que reciben la información del estado de los FEDs de los distintos subdetectores e informan al sistema global de disparo GT. En el subdetector DT

nuestros FEDs se corresponden con las tarjetas DDU, que son los únicos que tienen una conexión directa con los FMM. Por lo tanto, son los que deben recibir la información de los sistemas de lectura de bajo nivel (ROB y ROS) e informar del estado consecuentemente. Para ello, se ha diseñado un protocolo de comunicación de errores entre la ROS y la DDU.

El protocolo TTS está basado en la máquina de estados que se observa en la figura 5.14. El DDU informa a su FMM del estado en el que se encuentra, y las acciones que se realizarán en cada caso son:

- **Ready:** Funcionamiento normal del sistema, no hay restricciones en la tasa de disparos.
- **Warning Overflow:** Las memorias del sistema están cerca del límite máximo de ocupación y por tanto se debe reducir la tasa de disparo L1A.
- **Busy:** El desbordamiento de las memorias es inminente y se deben detener totalmente los disparos.
- **Out of synch:** Se ha producido un error de sincronización en el sistema y es necesario recibir un comando de Resynch a través del sistema TTC. Las causas de la desincronización pueden deberse a desbordamiento de memorias, a una parte del sistema que no haya recibido un L1A, etc.
- **Error/Disconnected:** Cualquier circunstancia o fallo del hardware que prevenga la correcta operación del sistema y requiera una señal de *Hard Reset* proveniente del sistema TTC.

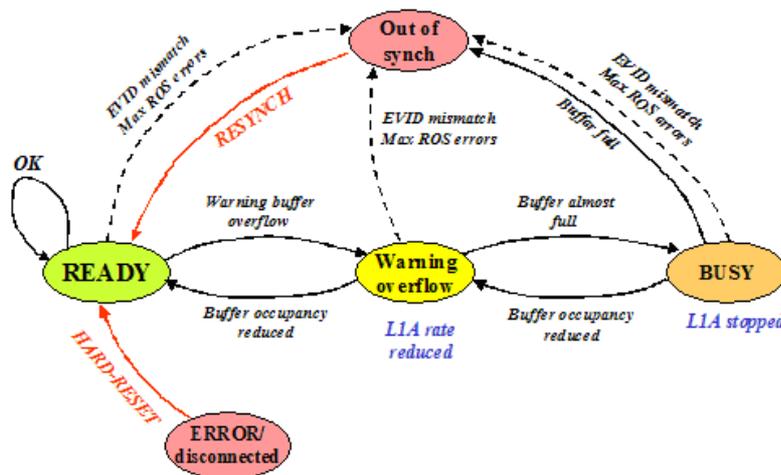


Figura 5.14: Diagrama de estados del sistema TTS de CMS.

La tarjeta DDU modifica su estado TTS de acuerdo con la información relativa a sus memorias internas y a los errores observados en sus canales de entrada. Con el fin de incluir también la información relativa al estado de la tarjeta ROS, decodifica sus palabras de error y dispone de una serie de contadores con

un límite programable que le permiten modificar su estado TTS en el caso de que un conjunto de ROS presente algún problema.

La lista de palabras de error ROS que pueden generar una alteración del estado TTS se dividen en dos grupos (tabla 5.17), el primero, que produce una transición al estado *Warning Overflow* y es debido a una ocupación elevada en alguna de las memorias de la ROS y el segundo grupo que produce una transición al estado *Out of Synch* y que es debido a algún problema de sincronización en la tarjeta.

Palabra de error que deriva en un "WARNING OVERFLOW"	Código de la palabra de error	Número de fuentes de error	Número de canales de cámara afectados
FIFO de entrada a la ROS casi llena	0xDF (tipo 2)	1.500	128
FIFO de L1A casi llena	0xDF (tipo 7)	60	3.200

Palabra de error que deriva en un "OUT OF SYNCH"	Código de la palabra de error	Número de fuentes de error	Número de canales de cámara afectados
Tiempo expirado de un canal de entrada ROS	0xDF (tipo 0)	1.500	128
Evento desalineado en un canal de entrada ROS	0xDF (tipo 1)	1.500	128
FIFO de entrada a la ROS llena	0xDF (tipo 3)	1.500	128
Tiempo expirado CEROS	0xDF (tipo 4)	240	768
Máximo número de palabras en un canal de entrada a la ROS	0xDF (tipo 5)	1.500	128

**Tabla 5.17:** Palabras de error de la ROS que pueden modificar el estado TTS.

Aunque algunos de los errores que conducen a *Out of Synch* no son estrictamente errores de sincronización, sí son errores con los que el sistema se recupera mediante un comando *Resynch* y por tanto se han agrupado para producir el mismo comportamiento. No hay ningún error ROS que provoque una transición al estado *Error* puesto que un *reset* global de la tarjeta requiere una posterior configuración, y por tanto es necesaria la acción del software del DAQ.

Como puede verse el número de elementos que pueden producir cada uno de los errores es muy elevado, y por tanto, no se genera una transición sólo con la recepción de una de esas palabras de error. El DDU cuenta el número de errores de cada tipo que recibe por cada canal de entrada y si supera un valor programado, entonces realiza la transición.

Además, en la ROS se puede programar qué tipo de errores y en qué canales se desea que el DDU realice una transición TTS. En los errores que así se seleccionen, se activará a 1 el bit 14 de la palabra de error en caso de que se desee una acción TTS. Si ese bit se encuentra a 0, el DDU ignorará esa palabra de error.

La forma en la que el DDU contabiliza en qué casos realizar una acción TTS es distinta dependiendo del tipo de transición que se trate, bien hacia el estado *Out of Synch* o hacia los estados *Warning Overflow* y *Busy*.

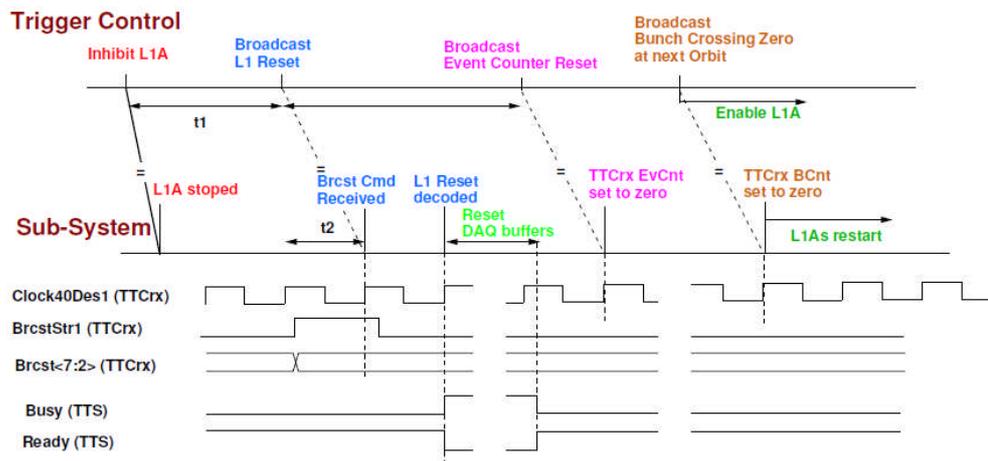
### 5.13.1 El estado *Out of synch*

En este caso, cuando en la ROS se produce uno de los errores listados en la tabla 5.17, el canal correspondiente será enmascarado en la ROS. Es decir, esa palabra de error sólo se produce una vez por cada canal que ha fallado y por tanto el número de palabras recibidas es proporcional al número de canales que permanecerán enmascarados.

Para compensar el hecho de que un error de tipo “Tiempo expirado CEROS” afecta a un número mayor de canales, el contador de errores se incrementa en ese caso en seis unidades en vez de en una.

Cuando este contador supera un límite programable, el DDU modifica su estado TTS a *Out of Synch*, a su vez, el sistema FMM informa al sistema GT, que a su vez genera un comando *Resynch* que se transmite a toda la electrónica a través de las líneas TTC.

El comando *Resynch* consiste en las acciones presentadas en la siguiente figura 5.15:



t1 = time needed to empty DAQ buffers in subsystems  
 t2 = time needed to transmit a broadcast command to subsystems

ReSync timing diagram.

**Figura 5.15:** Diagrama de tiempos de un comando *Resynch*. Se observa que el sistema TTC detiene las señales de disparo L1A, transmite un comando de reset y cuando detecta que todos los sistemas TTS están *Ready* envía un comando de *Event Reset* y al inicio de la siguiente órbita habilita las señales L1A de nuevo.

La tarjeta ROS responde a la señal de *Event Reset* que puede configurarse para generar un *Soft reset* en la ROS y por lo tanto borrar todos los errores en todos los canales y vaciar sus FIFOs. De esta forma, los canales que se habían enmascarado por un error puntual se recuperan para la toma de datos a partir de ese momento.

El contador de errores de *Out of Synch* en el DDU también se reinicia con la llegada del *Resynch*. Este contador no se decrementa por ninguna otra causa.

Con el fin de poder analizar *a posteriori* el número de veces que se solicitó un *Resynch* y la causa, existen una serie de registros tanto en la ROS como en la DDU que no se reinician con el *Resynch* y que indican la fuente de error y el número de veces que se ha realizado la transición al estado *Out of Synch*.

### 5.13.2 Los estados *Warning Overflow* y *Busy*

En el caso de que el error recibido en la DDU sea “L1A FIFO casi llena”, independientemente de si lo recibe de una ROS o de más de una en el mismo evento, se incrementa un contador de “ROS L1A FIFO casi llena”. Este mismo contador se decrementa en el caso de que se reciba un evento sin ningún error “L1A FIFO casi llena”. Cuando el contador supera un límite programable, la DDU pasa al estado de *Warning Overflow*, y cuando supera un segundo límite programable pasa al estado *Busy*.

Cuando el error recibido es del tipo “FIFO de entrada a la ROS casi llena” el comportamiento en la DDU es ligeramente diferente. Por un lado se contabilizan el número de errores de este tipo que se reciben en un evento, es decir, el número de canales ROS de entrada que produce este error (Contador 1). Por otro lado se cuenta el número de eventos consecutivos en los que el Contador 1 superó el límite programado (Contador 2). Si se reciben eventos en los que no se ha superado el límite en Contador 1, el Contador 2 se decrementa. Cuando el Contador 2 supera un límite programable (DWLim), la DDU pasa al estado de *Warning Overflow*, y cuando supera un segundo límite programable pasa al estado *Busy* (UPLim). Este comportamiento se puede observar en la figura 5.16.

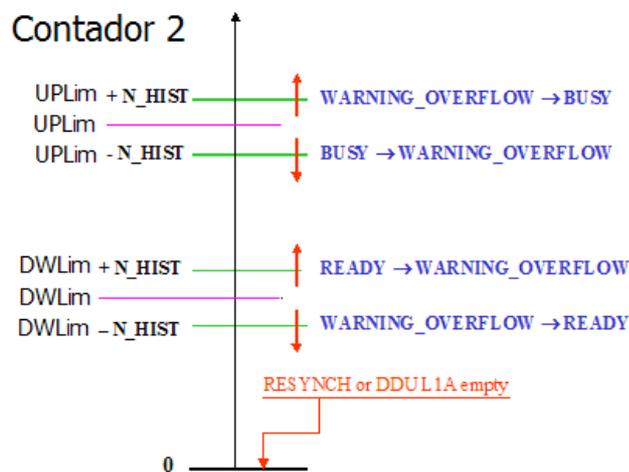


Figura 5.16: Diagrama de transiciones TTS para los estados *Warning Overflow* y *Busy*.

Existen unos valores programables (N\_HIST) que se suman a los valores límites de todos estos contadores con el fin de crear un mecanismo de histéresis que evite oscilaciones rápidas entre haber superado el límite y no. De esta forma se asegura que la tasa de disparos se ha reducido lo suficiente para evitar oscilaciones entre el estado de *Ready* y *Warning Overflow* o *Warning Overflow* y *Busy*.

## 5.14 PRUEBAS DE PRODUCCIÓN DE LA TARJETA ROS

La producción de la tarjeta ROS consistió en la fabricación de 60 tarjetas más 12 de repuesto. Con el fin de validar el correcto funcionamiento de estas tarjetas antes de su instalación en el CERN desarrollé un sistema de pruebas en los laboratorios del CIEMAT. Este sistema prueba toda la funcionalidad de la tarjeta ROS excepto la salida óptica de la GOLROS, que se probó independientemente en el INFN de Turín empleando una tarjeta DDU final.

En la figura 5.17 se observa el esquema del sistema de pruebas empleado. Se empleaba una tarjeta ROB para generar los datos de entrada a la ROS. Esta tarjeta estaba montada en un pequeño Minicrate junto a unas tarjetas CCB y CCB-Link que permitían su configuración y la recepción de las mismas señales TTC que llegaban a la ROS, de forma que todo el sistema estuviera sincronizado. Dado que una tarjeta ROB supone sólo uno de los 25 canales de entrada de la ROS, se diseñó en el CIEMAT una tarjeta ROSTEST que realizaba un *fan-out* de la señal procedente de la ROB y permitía introducirla en los canales deseados de la tarjeta ROS.

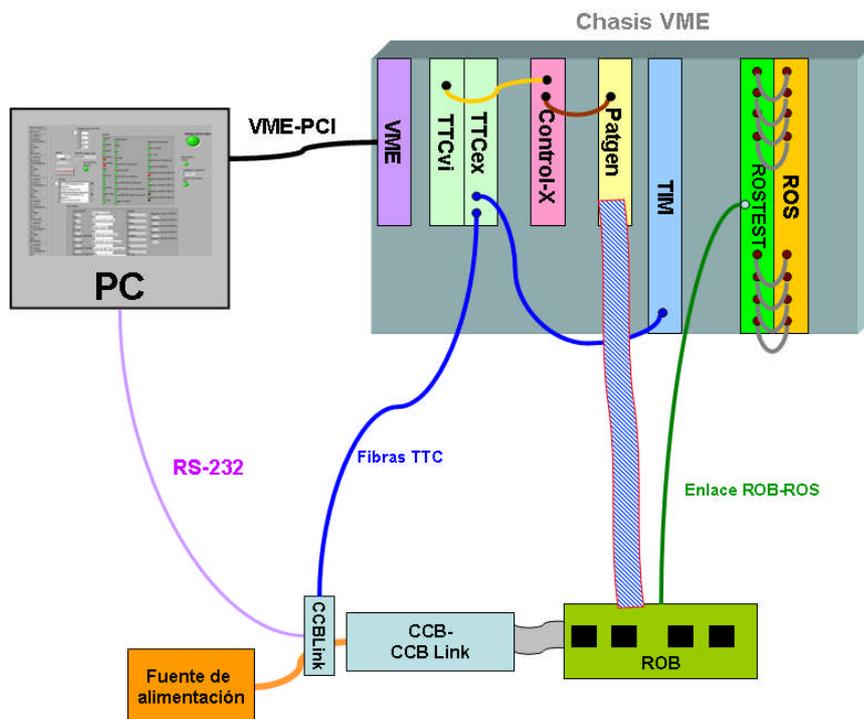
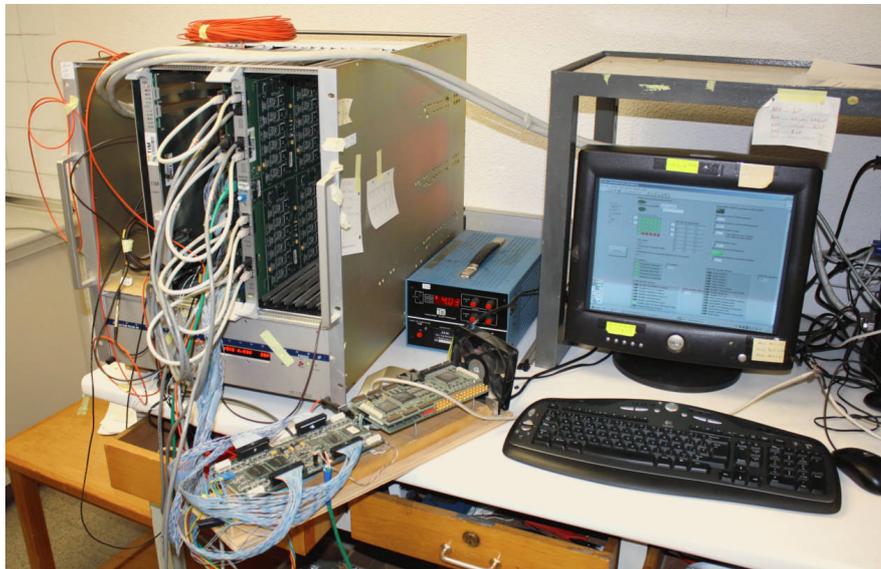


Figura 5.17: Diagrama del sistema de pruebas empleado para la validación de las tarjetas ROS.

En el chasis VME 9U se empleaban por tanto un módulo TTCvi/TTCex para generar la señal de reloj y para distribuir mediante fibra óptica la señal de disparo y demás comandos TTC; una tarjeta TIM que recibía las señales TTC del módulo TTCex y las inyectaba en el TIMBUS para su recepción por la tarjeta ROS; una tarjeta PATGEN que generaba las señales de entrada de la tarjeta ROB; una tarjeta Control-X que permitía generar distintas señales de control durante el proceso de pruebas y una tarjeta ROSTEST que además de proporcionar las entradas a la tarjeta ROS también permitía simular la presencia de una tarjeta TSC enviando datos simulados de disparo a través del *backplane* TIMBUS.

El proceso de pruebas consistía en los siguientes pasos:

- Comprobación de que la tarjeta ROS respondía a cualquiera de las direcciones VME seleccionadas mediante los interruptores y sólo a esa.
- Realizar un cortocircuito en las distintas alimentaciones y verificar que el sistema de sobre-consumos funcionaba correctamente.
- Comprobación de que los distintos dispositivos tienen cargado el programa adecuado y que el acceso remoto para su reconfiguración funcionaba correctamente.
- Comprobación de que las FPGAs podían recargarse desde la memoria de configuración en cualquiera de los modos posibles y con las distintas frecuencias admitidas.



**Figura 5.18:** Imagen del sistema de pruebas empleado para la validación de las tarjetas ROS.

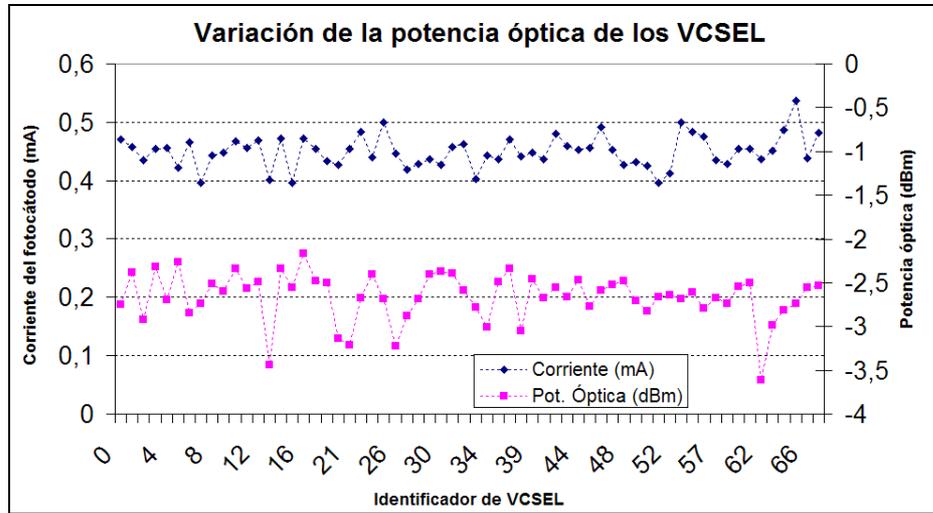
- Lectura de las corrientes, tensiones y temperatura de la tarjeta y verificar que sus valores se encuentran dentro de los rangos permitidos. Comprobación del correcto funcionamiento de las interfaces *1-wire* e *I<sup>2</sup>C*.
- Acceso con datos aleatorios a los distintos registros de configuración y posiciones de la memoria para la comprobación de que

el acceso VME A16 y A24 funciona correctamente en las distintas direcciones admitidas y para cualquier valor de datos.

- Comprobación de el correcto funcionamiento de los distintos modos de reinicialización de la tarjeta, vaciado de las memorias, borrado de los errores con un *Resynch*, etc.
- Operación de la tarjeta con el reloj interno y con el procedente de la tarjeta TIM y verificación de que todas las funciones se mantienen y que la calidad de los relojes es adecuada.
- Comprobación del correcto apagado y encendido del dispositivo GOL, del correcto acceso a sus registros de configuración y de correcta variación de la potencia óptica del VCSEL al modificar la corriente del controlador láser.
- Generar las acciones necesarias para provocar una interrupción VME y comprobación de que el sistema de interrupciones funciona correctamente en todos los casos.
- Comprobación de que las distintas señales TTC se reciben correctamente a través del TIMBUS y que el sistema permanece sincronizado independientemente de la frecuencia de operación. Incluye el envío de señales de disparo a 100 kHz durante 15 minutos.
- Comprobación de que la toma de datos en modo de pruebas a través de la memoria interna funciona correctamente para un número máximo de eventos programados, número de palabras, realización de ciclos, etc.
- Comprobación de la transmisión de datos desde la memoria de la tarjeta ROS al dispositivo GOL en modo de pruebas.
- Realización de múltiples pruebas de adquisición de datos durante casi una hora en la que se prueban todas las posibles circunstancias de error y su respuesta en la ROS: enmascaramiento de canales, enlaces desenganchados, FIFOs casi llenas, FIFOs llenas, máximo número de palabras alcanzados, número de evento desalineado, etc. Esto se prueba en cada uno de los canales independientemente y se verifica que la integridad de los datos es correcta en todos los sucesos procesados y que se señala correctamente la circunstancia de error tanto en los datos como en los registros VME.
- Finalmente, también se verifica el correcto funcionamiento del canal TSC en el que la ROS recibe la información de la tarjeta ROSTEST siguiendo el mismo protocolo de comunicación que tendría con la tarjeta de disparo contigua TSC.

Se comprobó el correcto funcionamiento de todas las tarjetas, las cuales se probaban varias veces cada una, estando en operación un mínimo de 3 horas. En la figura 5.19 se presentan las variaciones de potencia óptica en los distintos VCSEL montados en las tarjetas GOLROS. Se observa que existen variaciones de

hasta el 15 %, siempre dentro de los rangos admitidos. Se descartaba un dispositivo VCSEL cuando su potencia óptica era inferior a -4 dBm.



**Figura 5.19:** Variación de la potencia óptica en los distintos VCSEL adquiridos y montados en las diversas tarjetas ROS.



## *Capítulo 6*

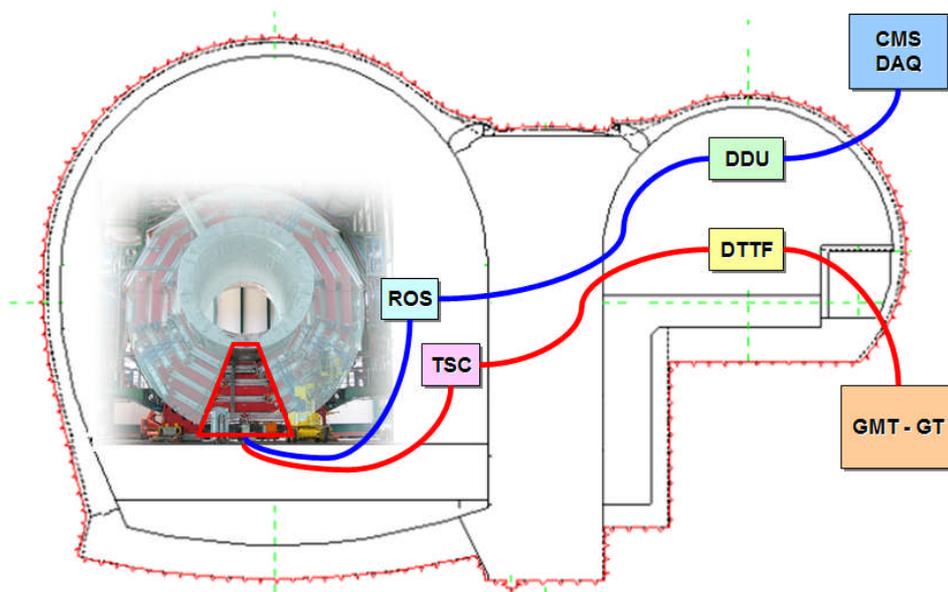
# **INTEGRACIÓN DE LA TARJETA ROS: EL SECTOR COLLECTOR**

En este capítulo se describe el sistema que integra la electrónica de lectura (ROS) y de disparo de segundo nivel (TSC), el sistema Sector Collector. Se presentan los detalles de la arquitectura y de las interconexiones adaptadas a los requisitos de integración en las cavernas de CMS. También se describen los detalles del sistema de sincronización TTC de CMS y el funcionamiento de la tarjeta TIM (*TTC Interface Module*) y del *backplane* TIMBUS, desarrollados también en el CIEMAT, y que permiten la distribución a la electrónica de lectura y de disparo de segundo nivel de todas las señales de reloj, disparo y demás comandos de sincronización.

El segundo nivel de adquisición de datos de las cámaras de deriva de CMS lo constituye el sistema Sector Collector. Este sistema está formado por las tarjetas TIM (*TTC Interface Module*), ROS (*Read-Out Server*) y TSC (*Trigger Sector Collector*), las cuales se alojan en el chasis llamado Sector Collector Crate. La tarea fundamental de estos módulos es recolectar y procesar la información procedente de los Minicrates, alojados en las ruedas de CMS, para su posterior transmisión a los sistemas DTF (*DT Track Finder*) y DDU (*Detector Dependent Unit*) situados en la sala de control USC. La sala USC es una sala también subterránea, contigua a la caverna de CMS. En esa zona el campo magnético y los niveles de radiación esperados son mínimos por lo que está permitido el uso de cualquier tipo de módulos electrónicos comerciales.

En total se disponen de diez chasis Sector Collector que acogen un total de 60 tarjetas ROS, cada una encargada de procesar la información de lectura de tiempos de un sector, 60 tarjetas TSC, que proporcionan la información de disparo por sector y 10 tarjetas TIM encargadas de realizar la interfaz con el sistema TTC.

En la sala USC se alojan las 5 tarjetas DDU, con 12 canales cada una, encargadas de recoger la información procedente de las tarjetas ROS y transmitir las al sistema DAQ global de CMS. Por su parte, los módulos DTF recogen la información de disparo de las TSCs y la transmiten al sistema de disparo de muones (GMT, *Global Muon Trigger*) que a su vez se comunica con el sistema global de disparo de CMS (GT, *Global Trigger*). En la siguiente figura se puede observar un diagrama del sistema.



**Figura 6.1:** Diagrama de la localización de los sistemas de lectura y disparo de CMS.

## 6.1 EL CHASIS SECTOR COLECTOR

Los chasis Sector Collector han sido diseñados *ad-hoc* en el CIEMAT y están basados en el estándar VME (*Versa Module Europa*) 9U siguiendo sus especificaciones mecánicas (*Eurocard*) y eléctricas.

Los chasis Sector Collector se encuentran alojados de dos en dos en los cinco armarios del nivel 2 “próximo” de cada una de las cinco ruedas de CMS, en el interior de la caverna. Se distinguen el chasis TOP y BOTTOM según su disposición. El chasis TOP es el encargado de leer los sectores del 1 al 6 y el BOTTOM los sectores del 7 al 12.

Cada chasis está dividido en una parte superior correspondiente al conector VME J1, donde se encuentra un *backplane* VME estándar, con espacio de direccionamiento A24 y capacidad de transferencia de datos D16. Y una parte inferior correspondiente al conector VME J3 que se ha sustituido por un *backplane* diseñado *ad-hoc* en el CIEMAT y llamado TIMBUS.

La distribución de las tarjetas principales en este chasis puede observarse en la figura 6.2, y en la figura 6.3 se puede observar una imagen de un chasis tras su fabricación.

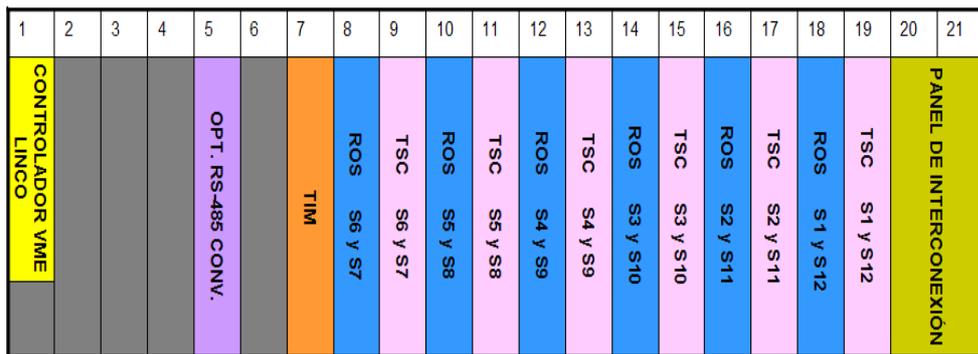


Figura 6.2: Diagrama del chasis Sector Collector.



Figura 6.3: Imagen del chasis Sector Collector tras su fabricación.

Cada chasis dispone de:

- Una tarjeta de interfaz VME llamada LINCO, fabricada por el INFN de Legnaro, que permite la configuración y monitorización de todas las tarjetas del chasis.
- Una tarjeta TIM que recibe las señales del sistema TTC mediante fibra óptica, las transforma a señales eléctricas y las distribuye a lo largo del TIMBUS.
- Seis tarjetas TSC que conforman el segundo nivel de la cadena de disparo de DT, recibiendo la información de disparo de cada Minicrate, validando los disparos dentro de un sector y transmitiendo esta información al sistema DTF.
- Seis tarjetas ROS que se sitúan intercaladas con cada tarjeta TSC con el fin de leer la información procedente de ésta a través de unas líneas dedicadas en el TIMBUS para cada pareja ROS-TSC.
- Un panel de interconexión donde se conecta la alimentación del chasis y que permite redistribuir los canales de los sectores 4 y 10 para obtener 25 canales por ROS independientemente del sector de lectura.

## **6.2 DESCRIPCIÓN DEL INTERCONEXIONADO DEL SECTOR COLLECTOR**

### **6.2.1 Conexiones de alimentación**

El chasis del Sector Collector se alimenta a 5,2 V y tiene un consumo total de 90 A (468 W), siendo el consumo principal el de las tarjetas TSC (10 A/tarjeta) y el de las ROS de 4 A / tarjeta. La alimentación de cada chasis del Sector Collector procede del módulo CAEN A3100 [182] situado en los chasis CAEN EASY3000S en el armario contiguo en los laterales de las ruedas de CMS.

Cada módulo A3100 dispone de dos conectores de salida de 75 A (REMA 80188-00) [183] donde se conecta el cable de alimentación del Sector Collector formado por dos pares de cables de 25 mm<sup>2</sup> de sección, una malla apantalladora y una cubierta aislante. Este cable se conecta al panel de interconexión del chasis del Sector Collector a partir del cual se distribuye internamente por todo el chasis.

### **6.2.2 Conexiones ROB-ROS**

Cada tarjeta ROS realiza la lectura de un sector, es decir, de las cuatro estaciones correspondientes MB1, MB2, MB3 y MB4. De cada uno de los Minicrates llegan a la ROS dos cables Ethernet CAT6 que transportan la información de lectura y que tienen una longitud media de 30 m con variaciones desde los 10 m hasta los 40 m, dependiendo de la distancia al Minicrate correspondiente.

Canal ROS	SECTOR													
	1,2,3,5,6,7,8,12			4		9		10		11		TSC		
0	MB1	ROB 0	ROB 0	MB1	ROB 0	MB1	ROB 0	MB1	ROB 0	MB1	ROB 0	MB1	ROB 0	TSC
1	MB1	ROB 1	ROB 1	MB1	ROB 1	MB1	ROB 1	MB1	ROB 1	MB1	ROB 1	MB1	ROB 1	TSC
2	MB1	ROB 2	ROB 2	MB1	ROB 2	MB1	ROB 2	MB1	ROB 2	MB1	ROB 2	MB1	ROB 2	TSC
3	MB1	ROB 3	ROB 3	MB1	ROB 3	MB1	ROB 3	MB1	ROB 3	MB1	ROB 3	MB1	ROB 3	TSC
4	MB1	ROB 4	ROB 4	MB1	ROB 4	MB1	ROB 4	MB1	ROB 4	MB1	ROB 4	MB1	ROB 4	TSC
5	MB1	ROB 5	ROB 5	MB1	ROB 5	MB1	ROB 5	MB1	ROB 5	MB1	ROB 5	MB1	ROB 5	TSC
6	MB2	ROB 0	ROB 0	MB2	ROB 0	MB2	ROB 0	MB2	ROB 0	MB2	ROB 0	MB2	ROB 0	TSC
7	MB2	ROB 1	ROB 1	MB2	ROB 1	MB2	ROB 1	MB2	ROB 1	MB2	ROB 1	MB2	ROB 1	TSC
8	MB2	ROB 2	ROB 2	MB2	ROB 2	MB2	ROB 2	MB2	ROB 2	MB2	ROB 2	MB2	ROB 2	TSC
9	MB2	ROB 3	ROB 3	MB2	ROB 3	MB2	ROB 3	MB2	ROB 3	MB2	ROB 3	MB2	ROB 3	TSC
10	MB2	ROB 4	ROB 4	MB2	ROB 4	MB2	ROB 4	MB2	ROB 4	MB2	ROB 4	MB2	ROB 4	TSC
11	MB2	ROB 5	ROB 5	MB2	ROB 5	MB2	ROB 5	MB2	ROB 5	MB2	ROB 5	MB2	ROB 5	TSC
12	MB3	ROB 0	ROB 0	MB3	ROB 0	MB3	ROB 0	MB3	ROB 0	MB3	ROB 0	MB3	ROB 0	TSC
13	MB3	ROB 1	ROB 1	MB3	ROB 1	MB3	ROB 1	MB3	ROB 1	MB3	ROB 1	MB3	ROB 1	TSC
14	MB3	ROB 2	ROB 2	MB3	ROB 2	MB3	ROB 2	MB3	ROB 2	MB3	ROB 2	MB3	ROB 2	TSC
15	MB3	ROB 3	ROB 3	MB3	ROB 3	MB3	ROB 3	MB3	ROB 3	MB3	ROB 3	MB3	ROB 3	TSC
16	MB3	ROB 5	ROB 5	MB3	ROB 5	MB3	ROB 5	MB3	ROB 5	MB3	ROB 5	MB3	ROB 5	TSC
17	MB3	ROB 6	ROB 6	MB3	ROB 6	MB3	ROB 6	MB3	ROB 6	MB3	ROB 6	MB3	ROB 6	TSC
18	MB4	ROB 0	ROB 0	MB4-4 (3)	ROB 2	MB4	ROB 0	MB4-10 (11)	ROB 0	MB4	ROB 0	MB4	ROB 0	TSC
19	MB4	ROB 1	ROB 1	MB4-4 (3)	ROB 3	MB4	ROB 1	MB4-10 (11)	ROB 1	MB4	ROB 1	MB4	ROB 1	TSC
20	MB4	ROB 2	ROB 2	MB4-4 (3)	ROB 4	MB4	ROB 2	MB4-10 (11)	ROB 2	MB4	ROB 2	MB4	ROB 2	TSC
21	MB4	ROB 3	ROB 3	MB4-4 (5)	ROB 2	MB4-4 (5)	ROB 0	MB4-10 (9)	ROB 0	MB4-4 (3)	ROB 0	MB4-4 (3)	ROB 0	TSC
22	MB4	ROB 4	ROB 4	MB4-4 (5)	ROB 3	MB4-4 (5)	ROB 1	MB4-10 (9)	ROB 1	MB4-4 (3)	ROB 1	MB4-4 (3)	ROB 1	TSC
23	MB4	ROB 5	ROB 5	MB4-4 (5)	ROB 4	MB4-10 (9)	ROB 3	MB4-10 (9)	ROB 3	MB4-10 (11)	ROB 3	MB4-10 (11)	ROB 3	TSC
24	MB3	ROB 4	ROB 4	MB3	ROB 4	MB3	ROB 4	MB3	ROB 4	MB3	ROB 4	MB3	ROB 4	TSC
25	TSC	TSC	TSC	TSC	TSC	TSC	TSC	TSC	TSC	TSC	TSC	TSC	TSC	TSC

Tabla 6.1: Mapa de interconexión entre las tarjetas ROB y las tarjetas ROS dependiendo del sector correspondiente.

Debido a que las estaciones MB4 tienen distinto tamaño dependiendo del sector al que corresponda, y por tanto, un número de tarjetas ROB diferente, y a que los sectores 4 y 10 tienen dos cámaras MB4 en vez de sólo una, se ha realizado una redistribución de los canales mediante un panel de interconexión

con el fin de realizar la lectura de todo el detector empleando el mismo diseño de la tarjeta ROS con 25 canales de entrada.

Las ROS de los sectores 1, 2, 3, 5, 6, 7, 8 y 12 leen las 25 ROB del sector correspondiente. Por su parte, las ROS de los sectores 4 y 10 leen todas las estaciones MB1, MB2, MB3 y una fracción de sus MB4s. Dado que las MB4 de los sectores 9 y 11 tienen sólo 3 ROB, el resto de los canales de entrada se utilizan para leer las ROB sobrantes de los sectores 4 y 10.

La interconexión final puede observarse en la tabla 6.1 donde se indica qué ROB de cada Minirate es leído por cada canal de entrada en la ROS.

La salida de los datos de disparo del Minirate se realiza a través de otros dos cables Ethernet CAT 6 que se conectan a las tarjetas TSC. Por tanto, llega un total de 100 cables Ethernet a cada chasis Sector Collector. En la figura 6.4 se puede observar la gran densidad de cables necesaria para la completa interconexión y la organización en la bandeja de soporte.

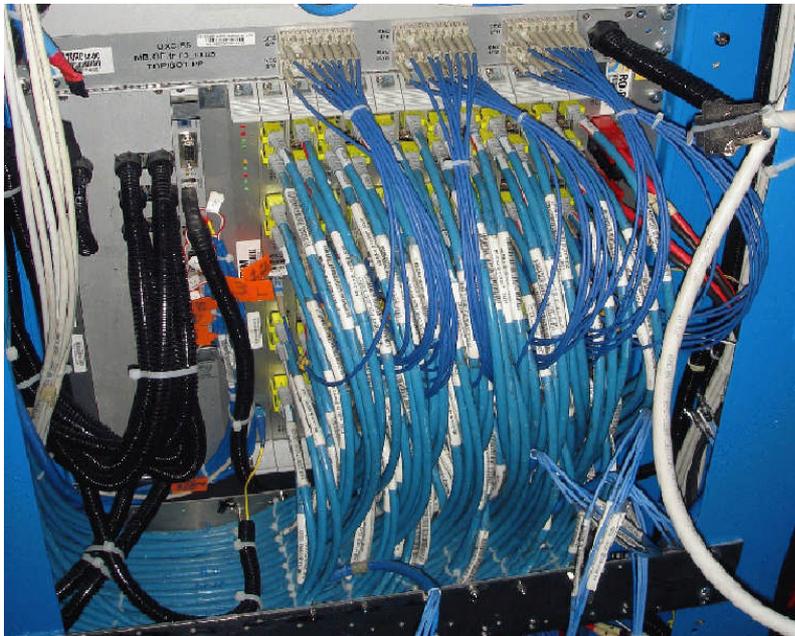


Figura 6.4: Chasis Sector Collector instalado y cableado.

### 6.2.3 Conexiones ROS-DDU

Cada tarjeta ROS tiene una salida de fibra óptica que la conecta a cada uno de los 12 canales de entrada del DDU. Por otro lado, cada TSC dispone de 6 salidas ópticas que la conectan con cada módulo del DTTF. Necesitando un total de 360 fibras ópticas para interconectar los chasis del Sector Collector con los correspondientes módulos DDU y DTTF en la sala de control USC. Se seleccionó una fibra Ericsson formada por cables *multi-ribbon* de 56 m de longitud [184].

Cada uno de estos cables *multi-ribbon* está formado por una cubierta protectora que recubre cuatro cintas. Cada una de estas cintas tiene 12 fibras ópticas altamente empaquetadas. De esta forma, se obtienen unos cables de sólo

10 mm de diámetro que transportan 48 fibras ópticas. Se empleó un cable por Sector Collector, obteniéndose 480 fibras en total entre las que se incluyen las de repuesto.

Para realizar la interconexión con las tarjetas ROS y TSC se situó un panel de interconexión en la parte superior de cada chasis Sector Collector. De esta forma, se puede intercambiar fácilmente una fibra en caso de mal funcionamiento sin tener que manipular la fibra Ericsson que es mucho más delicada y muy difícil de reemplazar.

El enlace óptico ROS-DDU está formado por:

- Unos latiguillos de fibra óptica multimodo 50/125 de 50 cm de longitud para conectar la ROS con el panel.
- Un conector LC/LC en el panel de interconexión.
- La fibra óptica de 56 metros multimodo 50/125 que tiene unas pérdidas máximas de 2,5 dB/km.
- Otro conector LC/LC en el panel de interconexión de la sala USC (figura 6.5).
- Una fibra óptica multimodo 50/125 de 18 metros en USC para conectar el panel de USC y el DDU.



**Figura 6.5:** Imagen del panel de interconexión en USC de las fibras “multi-ribbon” que interconectan las tarjetas ROS y TSC con los sistemas DDU y DTTF respectivamente.

La potencia óptica de salida de nuestro transmisor es de -4,6 dBm (350  $\mu$ W) y la potencia mínima del receptor óptico de la DDU (Agilent HFBR-5710L) [185] es de -17 dBm. Por tanto, el enlace tiene un margen de potencia de 12,4 dB. La atenuación introducida por el cable de fibra óptica de acuerdo con sus especificaciones es del orden de 2,5 dB/km y la atenuación introducida por cada conector ha sido medida y es inferior a 0,5 dB. Por tanto, las pérdidas estimadas

por todos los elementos que forman el enlace son de aproximadamente 2,2 dB, y se tiene un margen de seguridad cómodo para un correcto funcionamiento a pesar de la degradación de la fibra y del transmisor y del receptor durante su vida útil.

#### 6.2.4 Otras conexiones

Finalmente, a cada chasis Sector Collector también llegan procedentes de la sala USC:

- Conexión óptica para interfaz VME: Formada por cuatro fibras ópticas, se conecta a la tarjeta LINCO.
- Conexión óptica para la interfaz TTC: Formada por una fibra óptica se conecta a la tarjeta TIM.

### 6.3 EL SISTEMA TTC EN EL SECTOR COLLECTOR

El sistema TTC (*Timing Trigger and Control*) de CMS es el encargado de distribuir mediante fibra óptica monomodo a 1310 nm todas las señales de reloj, sincronización y disparo a los correspondientes módulos electrónicos del detector [186].

En concreto, la información en la que estamos interesados es:

- **Reloj LHC:** Es la señal de reloj sincronizada con los haces de protones del acelerador. Los haces de protones inyectados en el LHC están estructurados en paquetes (*bunches*) separados temporalmente del orden de 25 ns. Por tanto, la frecuencia de reloj se corresponde con la frecuencia de colisiones siendo su valor nominal de 40,0786 MHz.
- **Disparo L1A:** Es la señal de disparo de primer nivel. Los sistemas de disparo de los distintos subdetectores de CMS verifican en cada cruce de haces si las colisiones han producido información significativa. En caso afirmativo, informan al sistema de disparo global GT que genera la señal de disparo L1A transmitiéndola a toda la electrónica de CMS.
- **Identificador del número de evento:** Con cada señal de disparo L1A se incrementa el valor del contador de número de evento que permite identificar cada suceso dentro de cada toma de datos.
- **Identificador de cruce de haces:** Un contador se incrementa con cada flanco de subida del reloj permitiendo identificar el cruce de haces al que se corresponde un evento dentro de una órbita.
- Otras señales de control y sincronización transmitidas a través de los llamados “**BGo commands**” y que pueden ser tanto internas al detector DT (*Test Pulse Mode*, *Track Reset* y *Track Advance*) como globales de CMS (*reset* de número de evento, de cruce de haces (BC0) y de órbita, *resynch*, *hard reset*, etc) [187].

Para la correcta recepción de todas estas señales por las tarjetas ROS y TSC diseñamos en el CIEMAT las tarjetas TIM y TIMBUS.

### 6.3.1 La tarjeta TIM

La tarjeta TIM (*TTC Interface Module*) es la encargada de realizar la interfaz entre el sistema TTC y el Sector Colector, distribuyendo a las tarjetas ROS y TSC las señales de reloj, disparo y demás comandos de sincronización.

La tarjeta TIM es una tarjeta VME 9U (1U = 43,60 mm) de 400 mm de profundidad compuesta a su vez por dos módulos: TIMVME y TIMTTC, interconectados mediante un bus paralelo. Asimismo, hay un tercer módulo, la tarjeta TIMLED que contiene una serie de LEDs para la visualización del estado de la tarjeta desde el panel frontal de la misma y que se interconecta mediante dos cables paralelos a las tarjetas TIMVME y TIMTTC. Una imagen de la tarjeta TIM se puede observar en la figura 6.6.

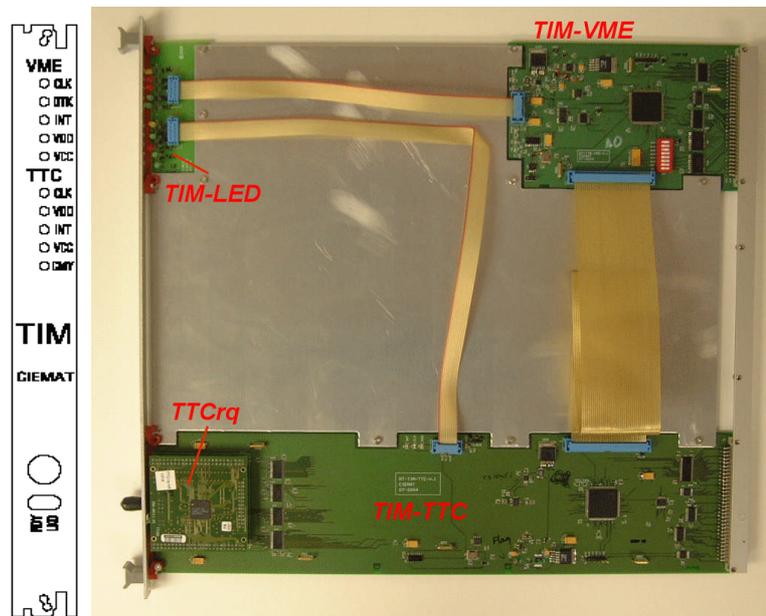


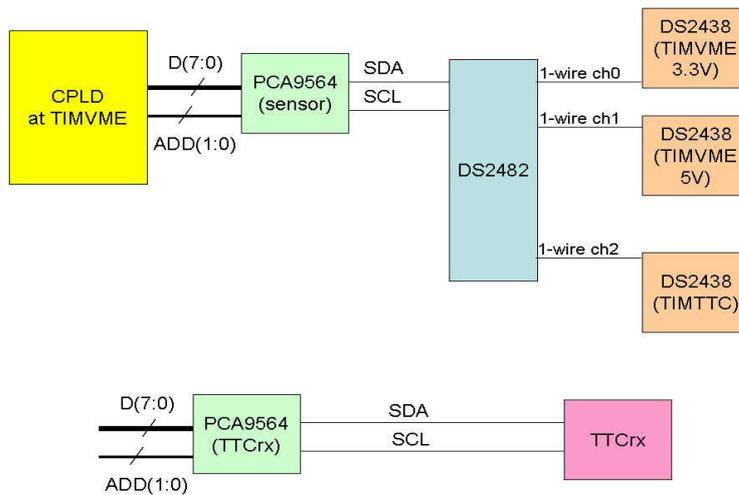
Figura 6.6: Imagen de la tarjeta TIM y su frontal.

La tarjeta TIMVME consiste principalmente en un módulo de alimentación y una interfaz VME. Recibe la alimentación de 5,2V del *backplane* VME y mediante un interruptor de potencia BST612N1, un regulador MIC29151-3.3BU y un sistema de protección frente a sobre-consumos, similar al que se ha explicado en el apartado 5.9, proporciona las alimentaciones de 5V y 3,3V al resto de la tarjeta.

La interfaz VME con un espacio de direccionamiento A16 y una capacidad de transferencia de datos D16 ha sido implementada en una CPLD de Xilinx XC95144XL-TQ144 [188]. Esta interfaz permite la lectura de los distintos registros de configuración y monitorización de la tarjeta TIM, incluidos los registros de TIMTTC, así como la lectura de los distintos sensores de tensión, corriente y temperatura de la tarjeta. Estos sensores DS2438 de Maxim utilizan el

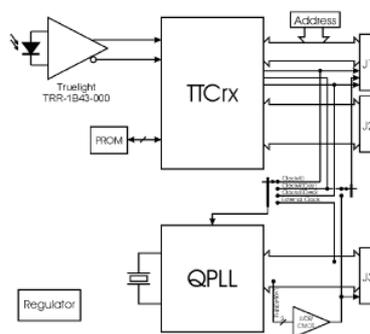
protocolo *1-wire* por lo que se ha realizado una conversión del bus paralelo VME a un protocolo I<sup>2</sup>C mediante el dispositivo PCA9564 y a continuación una conversión de I<sup>2</sup>C a *1-wire* mediante el DS2482. En la figura 6.7 se observa el diagrama implementado donde se indica también la conversión I<sup>2</sup>C empleada para el acceso al dispositivo TTCrx.

La tarjeta TIMTTC aloja la tarjeta TTCrq [189] desarrollada en el CERN y que contiene principalmente un receptor óptico de tipo fotodiodo PIN (TrueLight TRR-1B43-000) [190] y un dispositivo TTCrx diseñado por el Laboratorio de Microelectrónica del CERN. Un esquema de la tarjeta TTCrq puede verse en la figura 6.8.



**Figura 6.7:** Diagrama de la interfaz a los sensores *1-wire* y al TTCrx en la tarjeta TIM.

El TTCrx es un ASIC implementado en tecnología CMOS de 0,25  $\mu\text{m}$  tolerante a radiación que actúa de interfaz entre el sistema de transmisión TTC y los módulos electrónicos de cada subdetector, proporcionando la señal de reloj, disparo L1A y todas las señales de sincronización necesarias.



**Figura 6.8:** Arquitectura de la tarjeta TTCrq.

El protocolo de comunicación TTC está basado en dos canales multiplexados en el tiempo (*Time Division Multiplexed* TDM) [191] codificados mediante el protocolo *BiPhase Mark* (BPM) [192]. El primer canal A está dedicado exclusivamente a la transmisión de la señal de disparo, mientras que en el canal B

se transmiten los comandos de control denominados “*BGo commands*”. La señal de reloj se transmite codificada en los datos y debe ser decodificada por el módulo TTCrx. En la figura 6.9 se presenta la arquitectura del dispositivo TTCrx.

El TTCrx puede configurarse y monitorizarse remotamente a través de la interfaz I<sup>2</sup>C permitiendo modificar el valor de sus registros internos y entre otras cosas compensar los retardos a lo largo del detector debidos a tiempos de vuelo y de propagación en los cables.

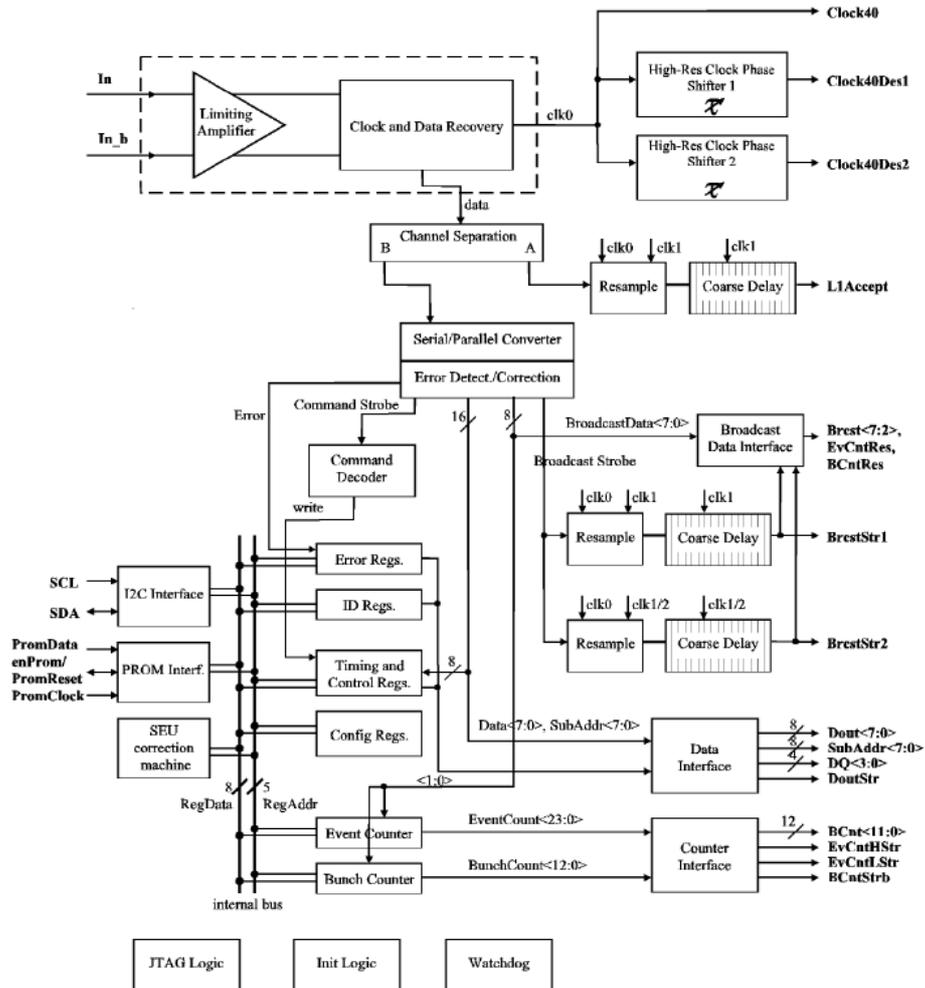


Figura 6.9: Arquitectura del ASIC TTCrx.

La tarjeta TIMTTC es la encargada de distribuir las señales procedentes del TTCrx al *backplane* TIMBUS, garantizando su integridad y un mínimo desfase. Dispone además de una CPLD Xilinx XC95288XL-TQ144 [193] que se encarga de realizar las tareas de control del TTCrx y dispone de una serie de registros internos para verificar problemas de distribución de las señales TTC.

La tarjeta TIMTTC se encarga de distribuir un reloj válido a todas las tarjetas dentro del chasis Sector Collector mediante conexiones punto a punto. Este reloj procede en condiciones normales del reloj LHC, pero en caso de que la

transmisión TTC falle, dispone de un sistema automático que proporciona un reloj de 40 MHz procedente de un cristal de cuarzo.

Este sistema está basado en el monoestable multivibrador SN74LVC1G123 [194] que se dispara con el reloj del TTCrq (CMOS40MHZ en la figura 6.10). Cuando éste no genera un flanco de subida tras 130  $\mu$ s la señal TTCCLK se activa habilitando el reloj del cristal de cuarzo (U6) y proporcionando la señal de reloj CLOCK40 que se distribuye a toda la tarjeta TIM.

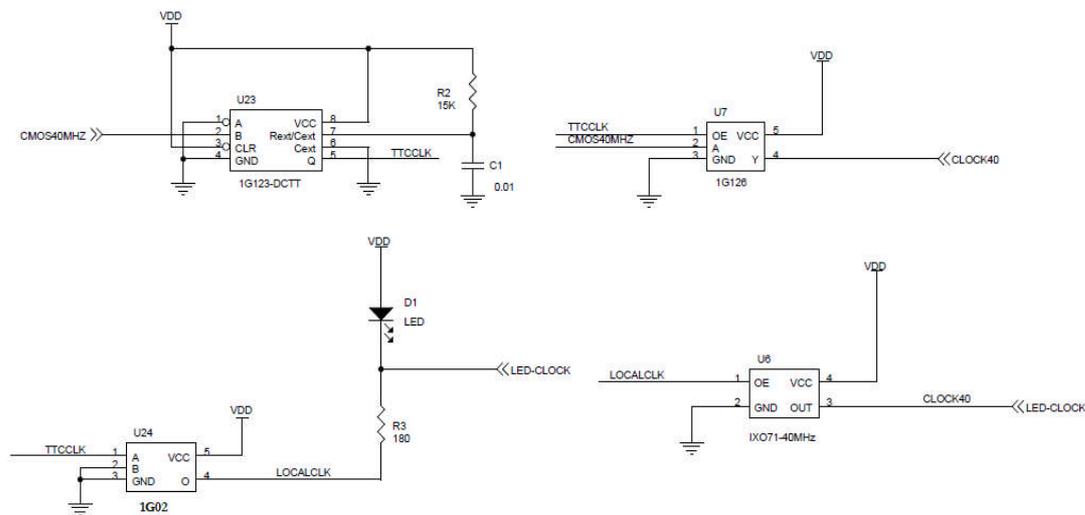


Figura 6.10: Esquema del sistema automático de control de reloj en la tarjeta TIM.

### 6.3.2 La tarjeta TIMBUS

La tarjeta TIMBUS distribuye a las señales TTC desde la tarjeta TIM a cada una de las tarjetas ROS y TSC situadas en las distintas posiciones del chasis Sector Collector. La tarjeta TIMBUS es un *backplane* con formato 3U de 28 cm de largo. Está formado por 13 conectores VME estándar DIN 41612 hembras de 96 contactos [195], uno para la tarjeta TIM y los otros 12 para cada par de tarjetas ROS-TSC.

Las señales se transmiten en lógica LVDS, por lo que para cada señal se tienen dos pistas (P y N). Las señales que van a más de una tarjeta disponen de una terminación de 100  $\Omega$  en la propia TIMBUS y están indicadas en azul en la tabla 6.2. Las señales punto a punto se han marcado en rojo y deben ser terminadas en la tarjeta receptora. En negro se han indicado las líneas de masa (0V).

Con el fin de garantizar una correcta distribución de las señales multipunto se han empleado los dispositivos SN65LVDM1676 [196] y SN65MLVD047 [197] en la tarjeta TIMTTC para obtener unas señales de salida siguiendo el estándar LVDS y con una corriente de salida superior.

**TIM Connector**

pin	signal	pin	signal	pin	signal
A1	BCNT_P_0	B1	BCNT_P_1	C1	BCNT_P_2
A2	BCNT_N_0	B2	BCNT_N_1	C2	BCNT_N_2
A3	BCNT_P_3	B3	BCNT_P_4	C3	BCNT_P_5
A4	BCNT_N_3	B4	BCNT_N_4	C4	BCNT_N_5
A5	BCNT_P_6	B5	BCNT_P_7	C5	BCNT_P_8
A6	BCNT_N_6	B6	BCNT_N_7	C6	BCNT_N_8
A7	BCNT_P_9	B7	BCNT_P_10	C7	BCNT_P_11
A8	BCNT_N_9	B8	BCNT_N_10	C8	BCNT_N_11
A9	EVCNTL_STR_P	B9	EVCNTH_STR_P	C9	EVCNT_RES_P
A10	EVCNTL_STR_N	B10	EVCNTH_STR_N	C10	EVCNT_RES_N
A11	L1_ACCEPT_P	B11	BCNT_RES_P	C11	BCNT_STR_P
A12	L1_ACCEPT_N	B12	BCNT_RES_N	C12	BCNT_STR_N
A13	CMD1_P	B13	CMD2_P	C13	CMD3_P
A14	CMD1_N	B14	CMS2_N	C14	CMS3_N
A15		B15		C15	
A16		B16		C16	
A17		B17		C17	
A18	TCLK_P_5	B18		C18	RCLK_P_5
A19	TCLK_N_5	B19		C19	RCLK_N_5
A20	TCLK_P_4	B20		C20	RCLK_P_4
A21	TCLK_N_4	B21		C21	RCLK_N_4
A22	TCLK_P_3	B22		C22	RCLK_P_3
A23	TCLK_N_3	B23		C23	RCLK_N_3
A24	TCLK_P_2	B24		C24	RCLK_P_2
A25	TCLK_N_2	B25		C25	RCLK_N_2
A26	TCLK_P_1	B26		C26	RCLK_P_1
A27	TCLK_N_1	B27		C27	RCLK_N_1
A28	TCLK_P_0	B28		C28	RCLK_P_0
A29	TCLK_N_0	B29		C29	RCLK_N_0
A30		B30		C30	VCC
A31	CMD4_P	B31	CLKDES2_P	C31	VCC
A32	CMD4_N	B32	CLKDES2_N	C32	VCC

**ROS Connector**

pin	signal	pin	signal	pin	signal
A1	BCNT_P_0	B1	BCNT_P_1	C1	BCNT_P_2
A2	BCNT_N_0	B2	BCNT_N_1	C2	BCNT_N_2
A3	BCNT_P_3	B3	BCNT_P_4	C3	BCNT_P_5
A4	BCNT_N_3	B4	BCNT_N_4	C4	BCNT_N_5
A5	BCNT_P_6	B5	BCNT_P_7	C5	BCNT_P_8
A6	BCNT_N_6	B6	BCNT_N_7	C6	BCNT_N_8
A7	BCNT_P_9	B7	BCNT_P_10	C7	BCNT_P_11
A8	BCNT_N_9	B8	BCNT_N_10	C8	BCNT_N_11
A9	EVCNTL_STR_P	B9	EVCNTH_STR_P	C9	EVCNT_RES_P
A10	EVCNTL_STR_N	B10	EVCNTH_STR_N	C10	EVCNT_RES_N
A11	L1_ACCEPT_P	B11	BCNT_RES_P	C11	BCNT_STR_P
A12	L1_ACCEPT_N	B12	BCNT_RES_N	C12	BCNT_STR_N
A13	CMD1_P	B13	CMD2_P	C13	CMD3_P
A14	CMD1_N	B14	CMS2_N	C14	CMS3_N
A15	TRG_DATA_P_0	B15	TRG_DATA_P_1	C15	TRG_DATA_P_2
A16	TRG_DATA_N_0	B16	TRG_DATA_N_1	C16	TRG_DATA_N_2
A17	TRG_DATA_P_3	B17	TRG_DATA_P_4	C17	TRG_DATA_P_5
A18	TRG_DATA_N_3	B18	TRG_DATA_N_4	C18	TRG_DATA_N_5
A19	TRG_DATA_P_6	B19	TRG_DATA_P_7	C19	TRG_DATA_P_8
A20	TRG_DATA_N_6	B20	TRG_DATA_N_7	C20	TRG_DATA_N_8
A21	TRG_DATA_P_9	B21	TRG_DATA_P_10	C21	TRG_DATA_P_11
A22	TRG_DATA_N_9	B22	TRG_DATA_N_10	C22	TRG_DATA_N_11
A23	TRG_DATA_P_12	B23	TRG_DATA_P_13	C23	TRG_DATA_P_14
A24	TRG_DATA_N_12	B24	TRG_DATA_N_13	C24	TRG_DATA_N_14
A25	TRG_DATA_P_15	B25	TRG_STROBE_P	C25	ROS_READY_P
A26	TRG_DATA_N_15	B26	TRG_STROBE_N	C26	ROS_READY_N
A27		B27		C27	
A28	CLK_P	B28		C28	AUTO_L1A_P
A29	CLK_N	B29		C29	AUTO_L1A_N
A30		B30		C30	VCC
A31	CMD4_P	B31	CLKDES2_P	C31	VCC
A32	CMD4_N	B32	CLKDES2_N	C32	VCC

**TRG Connector**

pin	signal	pin	signal	pin	signal
A1	BCNT_P_0	B1	BCNT_P_1	C1	BCNT_P_2
A2	BCNT_N_0	B2	BCNT_N_1	C2	BCNT_N_2
A3	BCNT_P_3	B3	BCNT_P_4	C3	BCNT_P_5
A4	BCNT_N_3	B4	BCNT_N_4	C4	BCNT_N_5
A5	BCNT_P_6	B5	BCNT_P_7	C5	BCNT_P_8
A6	BCNT_N_6	B6	BCNT_N_7	C6	BCNT_N_8
A7	BCNT_P_9	B7	BCNT_P_10	C7	BCNT_P_11
A8	BCNT_N_9	B8	BCNT_N_10	C8	BCNT_N_11
A9	EVCNTL_STR_P	B9	EVCNTH_STR_P	C9	EVCNT_RES_P
A10	EVCNTL_STR_N	B10	EVCNTH_STR_N	C10	EVCNT_RES_N
A11	L1_ACCEPT_P	B11	BCNT_RES_P	C11	BCNT_STR_P
A12	L1_ACCEPT_N	B12	BCNT_RES_N	C12	BCNT_STR_N
A13	CMD1_P	B13	CMD2_P	C13	CMD3_P
A14	CMD1_N	B14	CMS2_N	C14	CMS3_N
A15	TRG_DATA_P_0	B15	TRG_DATA_P_1	C15	TRG_DATA_P_2
A16	TRG_DATA_N_0	B16	TRG_DATA_N_1	C16	TRG_DATA_N_2
A17	TRG_DATA_P_3	B17	TRG_DATA_P_4	C17	TRG_DATA_P_5
A18	TRG_DATA_N_3	B18	TRG_DATA_N_4	C18	TRG_DATA_N_5
A19	TRG_DATA_P_6	B19	TRG_DATA_P_7	C19	TRG_DATA_P_8
A20	TRG_DATA_N_6	B20	TRG_DATA_N_7	C20	TRG_DATA_N_8
A21	TRG_DATA_P_9	B21	TRG_DATA_P_10	C21	TRG_DATA_P_11
A22	TRG_DATA_N_9	B22	TRG_DATA_N_10	C22	TRG_DATA_N_11
A23	TRG_DATA_P_12	B23	TRG_DATA_P_13	C23	TRG_DATA_P_14
A24	TRG_DATA_N_12	B24	TRG_DATA_N_13	C24	TRG_DATA_N_14
A25	TRG_DATA_P_15	B25	TRG_STROBE_P	C25	ROS_READY_P
A26	TRG_DATA_N_15	B26	TRG_STROBE_N	C26	ROS_READY_N
A27		B27		C27	
A28	CLK_P	B28		C28	AUTO_L1A_P
A29	CLK_N	B29		C29	AUTO_L1A_N
A30		B30		C30	VCC
A31	CMD4_P	B31	CLKDES2_P	C31	VCC
A32	CMD4_N	B32	CLKDES2_N	C32	VCC

**Tabla 6.2:** Distribución de las señales en los conectores del TIMBUS.

En la tabla 6.2 se indican las señales para cada uno de los tipos de conectores. La nomenclatura se corresponde con:

- **BCNT:** Es el bus de 11 bits a través del cual se distribuyen las señales de identificación de evento y de cruce de haces. El identificador de cruce de haces se valida con la señal BCNT\_STR, la parte más

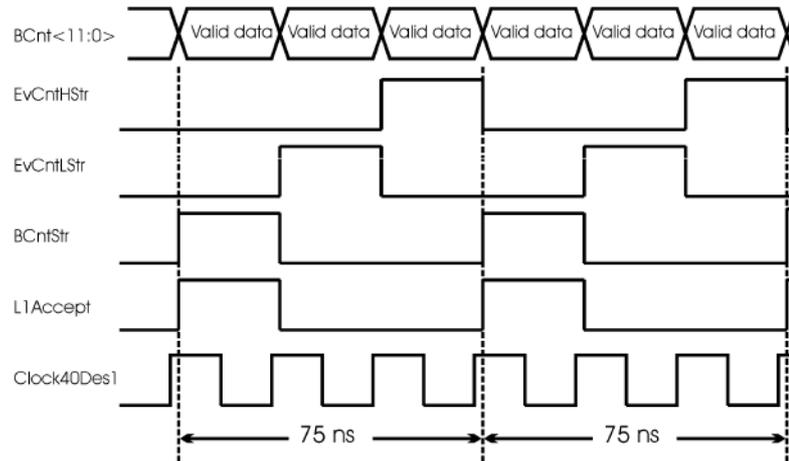
significativa del identificador de evento con la señal EVCNTH\_STR y la menos significativa con EVCNTL\_STR. Todas estas señales tienen un ancho de 25 ns, tiempo durante el cual el identificador correspondiente es válido en el bus BCNT y debe registrarse. En la figura 6.11 se observa cual es el diagrama de tiempos de estas señales.

- **L1\_ACCEPT**: Se corresponde con la señal de disparo L1A.
- **BCNT\_RES**: Es la señal de *reset* de cruce de haces (BC0). Enviado al inicio de cada órbita.
- **EVCNT\_RES**: Es la señal de *reset* del número de evento. Enviado normalmente al inicio de cada toma de datos.
- **TCLK**: Señal de reloj para las tarjetas TSC.
- **RCLK**: Señal de reloj para las tarjetas ROS.
- **CMD**: Bus paralelo para enviar la información procedente de los “*BGo Commands*”.
- **CLKDES2**: Señal de reloj desfasada según el valor programado en el TTCrx. En principio, no se considera necesario su uso.
- **TRG\_DATA**: Bus de 16 bits que transporta la información de disparo del TSC de un sector a su ROS correspondiente con el fin de incluirla dentro del flujo de datos de lectura.
- **ROS\_READY**: Señal generada por la ROS para indicar al TSC que está preparada para recibir los datos de disparo del evento que corresponde.
- **TRG\_STROBE**: Señal generada por la TSC para validar los datos presentes en el bus TRG\_DATA.
- **AUTO\_L1A**: Señal de disparo generada por la TSC y recibida por la ROS. Esta señal sólo se emplea en modo de pruebas cuando no se utiliza el L1A procedente del TTC.
- **VCC**: La alimentación de 5,2 Voltios.

Como puede verse en la figura 6.11, la presente distribución de señales TTC limita el número de L1A consecutivos que pueden enviarse, impidiendo enviar L1A separados en menos de 75 ns. Éste es uno de los requisitos del sistema TTC, que impone las siguientes reglas de disparo en CMS:

- No más de 1 L1As en 75 ns (3 cruces de haces).
- No más de 2 L1As en 625 ns (25 cruces de haces).
- No más de 3 L1As en 2,5  $\mu$ s (100 cruces de haces).
- No más de 4 L1As en 6  $\mu$ s (240 cruces de haces).

El coste que estas reglas suponen en tiempo muerto estimado para una tasa de disparos de 100 kHz es del 0,9 %, siendo la frecuencia máxima instantánea esperada de 538 kHz.



**Figura 6.11:** Diagrama temporal de las señales TTC. Dependiendo de la señal de validación que esté habilitada en cada ciclo de reloj (*EvCntHStr*, *EvCntLStr* o *BCntStr*), el contenido del bus *BCnt* proporciona la información de la parte más significativa del contador de número de evento, la menos significativa o el valor del contador de cruce de haces. La señal de disparo L1A siempre se recibe en el mismo ciclo de reloj que la señal de validación *BCntStr*. Debido a la necesidad en algunos subsistemas de transmitir la información del número de evento, se comprende que uno de los requisitos del sistema de disparo es que no se genere más de una señal L1A en tres ciclos de reloj (75 ns).



## *Capítulo 7*

# **PRUEBAS DE VALIDACIÓN DE LAS TARJETAS ROB Y ROS**

En este capítulo se presentan los resultados de la gran variedad de pruebas de funcionalidad y caracterización realizadas en las tarjetas ROB y ROS que confirman la correcta operación de la electrónica y su fiabilidad. Estas pruebas incluyen: estudios del ASIC HPTDC y de la conservación de sus características críticas tras la integración en la tarjeta ROB (resolución y linealidad temporal, la interferencia entre canales); pruebas del estudio de la tasa de fallos del enlace de salida; pruebas de comportamiento frente a ciclos de temperatura, estudios de la fiabilidad de los componentes electrónicos en un envejecimiento acelerado o pruebas de aceleración para la detección de fallos latentes en dispositivos. También se incluyen los estudios de temperatura realizados en el sistema Sector Collector que han permitido diseñar un sistema adecuado de refrigeración y mejorar el sistema de seguridad de la electrónica. Un apartado de especial importancia es el estudio de los distintos componentes electrónicos bajo radiación, para el que se han realizado diversas campañas de irradiación garantizando el correcto funcionamiento de

los dispositivos en el entorno del LHC. Asimismo cabe destacar las simulaciones Monte Carlo realizadas que también se describen en detalle para el estudio de la ocupación del sistema. Dentro de estas simulaciones se incluyen los algoritmos realizados para el estudio del tiempo de procesado de la tarjeta ROS que permiten validar su funcionamiento bajo la tasa de datos esperada. Estas pruebas se complementan con las diversas campañas de haces de muones en los aceleradores del CERN que han permitido estudiar el sistema en condiciones similares al funcionamiento durante el LHC. Igualmente, se describen las primeras campañas de integración del detector CMS para la toma de rayos cósmicos bajo campo magnético que supusieron un punto de inflexión en el desarrollo de los módulos en cada uno de los institutos y el funcionamiento en modo global de todo el experimento. Finalmente, también se detallan los resultados obtenidos en las sucesivas pruebas de integración del sistema completo de CMS durante las diversas campañas de toma de datos y durante las primeras tomas de datos durante el encendido del LHC. La calidad de estos resultados demuestra el buen estado del detector de muones y de su electrónica, que en la actualidad está funcionando satisfactoriamente en el detector CMS y se encuentra preparado para comenzar la toma de datos tan pronto como el LHC comience nuevamente a funcionar.

## 7.1 MEDIDAS TEMPORALES DE LA TARJETA ROB

### 7.1.1 Estudio de la no linealidad diferencial e integral de la tarjeta ROB

Se ha realizado la caracterización del ASIC HPTDC situado en la tarjeta ROB empleando el método de densidad de códigos CDT (*Code Density Test*). Este método consiste en el muestreo de una señal cuyo tiempo de llegada es aleatorio con respecto al reloj de muestreo del HPTDC. Garantizando que las fases de ambas señales no están correlacionadas, todas las medidas temporales son equiprobables, y acumulando suficiente estadística en cada una de las cuentas se pueden estudiar las no linealidades intrínsecas del HPTDC.

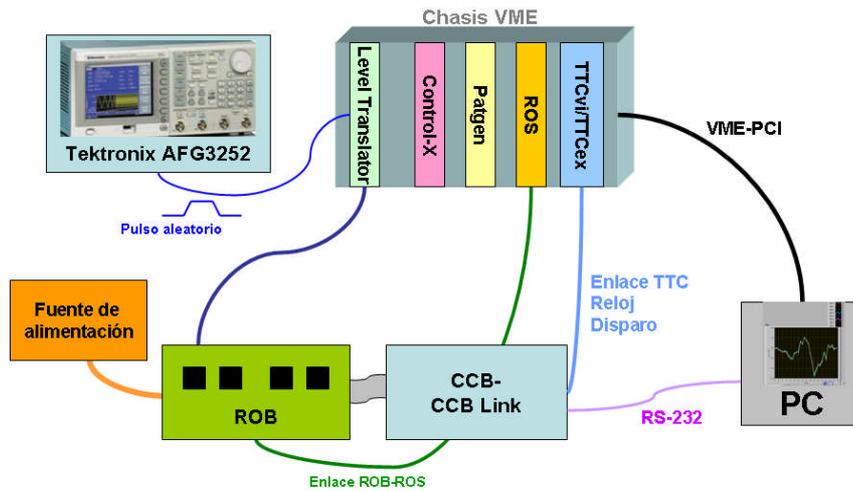
De acuerdo con [198], para estimar la no linealidad diferencial (DNL, *Differential Non Linearity*) con una precisión de  $\beta$  LSB (*Least Significant Bit*) dentro de un intervalo de confianza de  $(1-\alpha)$  100% el número de muestras a tomar es:

$$N_s = \frac{Z_{\alpha/2}^2 \pi 2^{n-1}}{\beta^2} \quad (7.1)$$

donde  $Z_{\alpha/2}$  es el valor de la función de distribución normal estándar para el cual el nivel de confianza es  $1-\alpha$  [199] y  $n$  es el número de bits del convertor digital, en nuestro caso es igual a 5, pues nos centraremos en el estudio de la no linealidad del DLL del HPTDC ya que la parte más significativa no es más que un contador cuya linealidad depende fundamentalmente de la estabilidad del reloj.

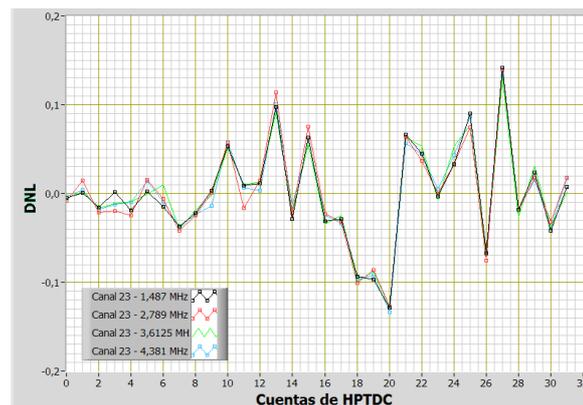
De esta forma, para calcular la DNL con una precisión de  $\beta=0,1$  LSB y  $\alpha=0,01$ , necesitamos 33.500 muestras, es decir, del orden de 1.000 muestras por cuenta de HPTDC. Dado que nuestro sistema de adquisición de datos es suficientemente rápido, el número de muestras obtenidas es bastante superior. Se realizó una toma de datos de referencia con una media de 690.000 datos por cuenta de HPTDC ( $\beta = 0,003$  LSB para un intervalo de confianza del 99%). Se comparó este histograma de referencia con uno de 1.000 muestras por cuenta de HPTDC ( $\beta = 0,1$  LSB para un intervalo de confianza del 99%) y la diferencia entre ambas curvas era del 2,36 %. A continuación, se comparó el histograma de referencia con uno de 20.000 muestras por cuenta de HPTDC ( $\beta = 0,02$  LSB para un intervalo de confianza del 99%) y la diferencia entre ambas curvas era del 0,63 %. Dada la velocidad de nuestro sistema, las tomas de datos presentadas se refieren a 20.000 muestras por cuenta de HPTDC excepto donde se indique lo contrario.

En la figura 7.1 se puede observar un esquema del sistema de pruebas empleado con una tarjeta ROB cuyo reloj de 40,08 MHz y señal de disparo proceden de un módulo VME TTCvi/TTCex.



**Figura 7.1:** Diagrama del sistema de pruebas empleado para realizar las medidas de DNL e INL del HPTDC en la tarjeta ROB.

El pulso cuya medida temporal se realiza procede del generador de funciones Tektronix AFG3252 [200] configurado para proporcionar un pulso con una frecuencia de 2,789 MHz, lo suficientemente pequeña como para no tener más de una medida temporal por evento. La propia deriva de los cristales de cuarzo que generan las señales de reloj y un tiempo de subida de la señal suficientemente lento ( $\sim 10$  ns) crean una indeterminación en el punto de detección del flanco de subida, garantizando que ambas señales no estén correlacionadas y que todas las cuentas sean equiprobables. Como se observa en la figura 7.2 el resultado de la DNL calculada para 2.000 muestras por cuenta de HPTDC y distintas frecuencias del generador de funciones proporciona un resultado equivalente.

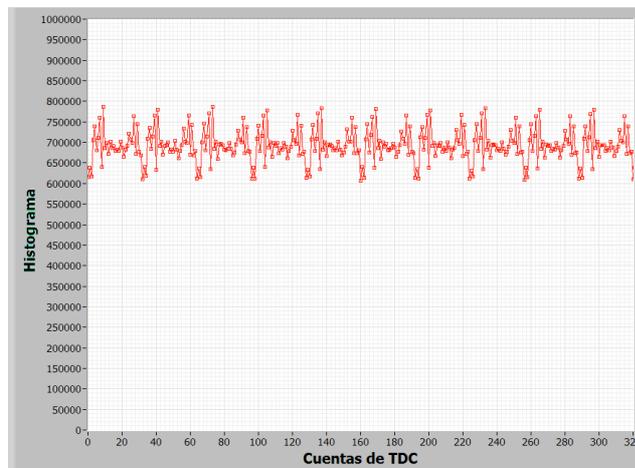


**Figura 7.2:** Comparación de las DNL para distintas frecuencias del generador de funciones.

Las medidas se realizaron inyectando los pulsos en el canal 0 del HPTDC 0 de la tarjeta ROB, dado que la salida del generador de funciones proporcionaba pulsos LVTTTL, se empleó la tarjeta Level Translator para traducir la señal a niveles LVDS, que son los empleados en la tarjeta ROB. Esta tarjeta no sincronizaba los pulsos, por lo que no influía en la medida.

La tarjeta ROB se configuraba mediante la tarjeta CCB (*Chamber Control Board*) conectada al PC a través de un enlace RS-232. Posteriormente los datos digitalizados se leían a través de la tarjeta ROS mediante un programa que desarrollé en LabVIEW®.

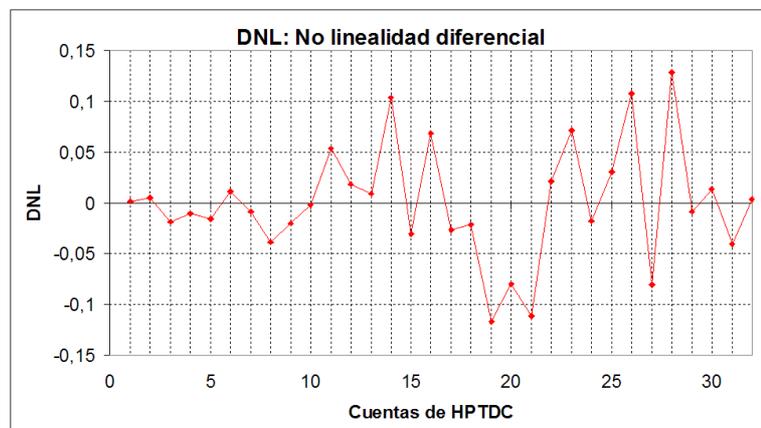
El histograma de tiempos resultante para la toma de datos de 690.000 muestras por cuenta de media se puede observar en la figura 7.3. La ventana de asignación programada en el HPTDC era de 275 ns (350 cuentas de HPTDC), por lo que la cadena de 32 elementos de retardo del DLL se medía al menos 10 veces. En la figura se observa la estabilidad a lo largo de la ventana de asignación y las 10 estructuras repetidas correspondientes a la no linealidad del DLL.



**Figura 7.3:** Histograma de tiempos de 690.000 muestras por cuenta para una señal aleatoria en el canal 0 del HPTDC 0 de una tarjeta ROB.

Comparando las estructuras obtenidas en cada bloque de 32 cuentas de HPTDC se comprueba que las diferencias relativas a lo largo de la ventana de asignación son despreciables, del orden de 0,41% máximo.

En las siguientes figuras se presenta el resultado de las medidas de no linealidad diferencial DNL e integral INL (*Integral Non Linearity*).



**Figura 7.4:** Resultado de la no linealidad diferencial del canal 0 del HPTDC 0 de la ROB.

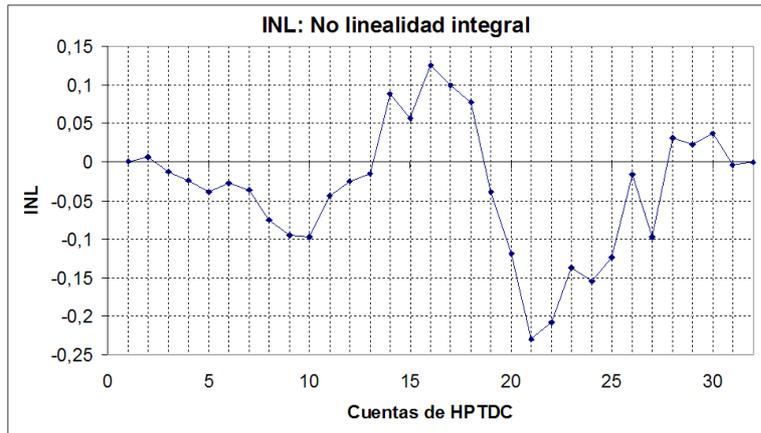


Figura 7.5: Resultado de la no linealidad integral del canal 0 del HPTDC 0 de la ROB.

Se observa que los valores obtenidos se encuentran dentro del rango proporcionado por las especificaciones del HPTDC  $\pm 0,2$  LSB para la DNL y  $\pm 0,25$  LSB para la INL en el modo de baja resolución. En la siguiente tabla se comparan los valores de las desviaciones estándar de las no linealidades medidas y las indicadas en las especificaciones del HPTDC. De esta forma se comprueba que las características del HPTDC se mantienen una vez montado el dispositivo en la tarjeta ROB.

	Medido en la ROB	Especificaciones del HPTDC
DNL rms	0,06 LSB	0,08 LSB
INL rms	0,08 LSB	0,11 LSB

Tabla 7.1: Comparación entre las no linealidades diferencial e integral medidas en la ROB e indicadas en las especificaciones del HPTDC [40].

En la siguiente figura se ha calculado la DNL con una estadística de 20.000 muestras por cuenta de HPTDC para distintos canales de la tarjeta ROB y se observa que el resultado es muy similar en todos los casos con diferencias máximas del 2,5 %.

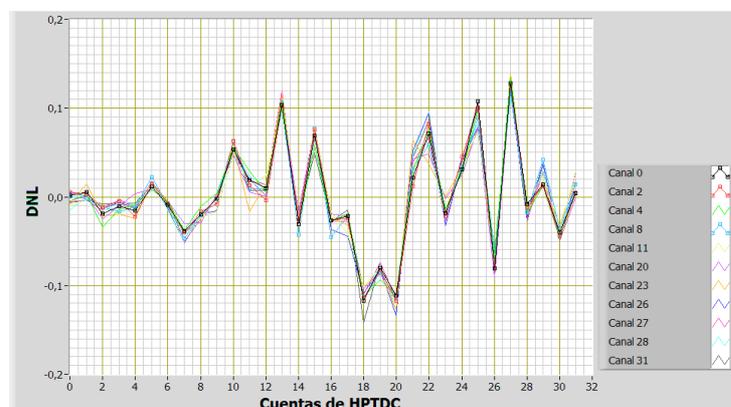
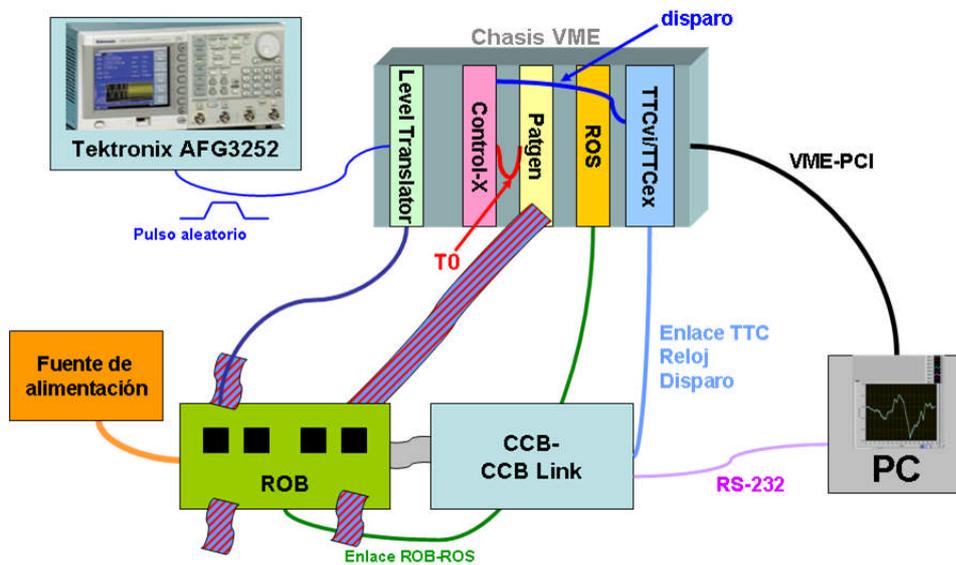


Figura 7.6: Comparación de las DNL medidas para distintos canales de la tarjeta ROB.

### 7.1.2 Estudio de la interferencia entre canales en la ROB

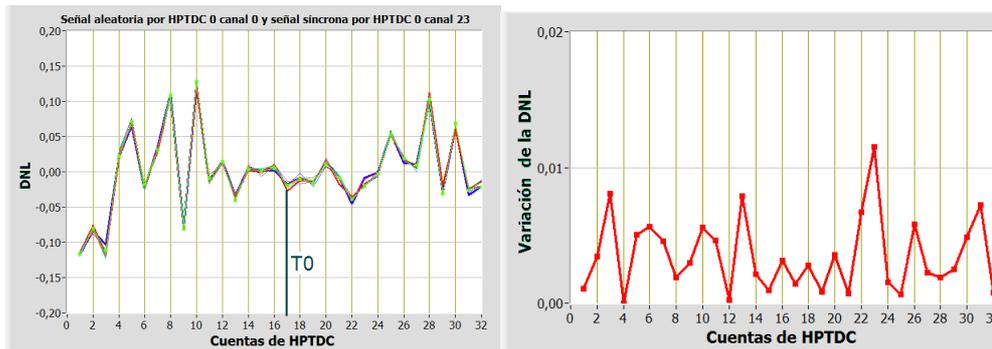
Con el fin de medir la interferencia entre canales, se repitió la toma de datos anterior pero introduciendo en otro canal del HPTDC una señal síncrona con la señal de disparo, de forma que esa señal se midiera siempre en la misma posición de la ventana de asignación. Para ello se empleó la tarjeta Control-X que puede generar una señal T0 y esta misma señal retrasada un valor programable que actuará como señal de disparo. T0 se inyectaba a través de la tarjeta Patgen en uno de los canales de la tarjeta ROB y la señal retrasada se inyectaba en el TTCvi/TTCex para proporcionar la señal de disparo al sistema. Mientras tanto, el generador AFG3252 proporcionaba una señal no correlacionada con el reloj del sistema que es la que se pretende medir y que se inyectaba en el canal 0 del HPTDC 0. El esquema del sistema utilizado se muestra en la figura 7.7.



**Figura 7.7:** Diagrama del sistema de pruebas empleado para realizar las medidas de interferencia entre canales en el HPTDC.

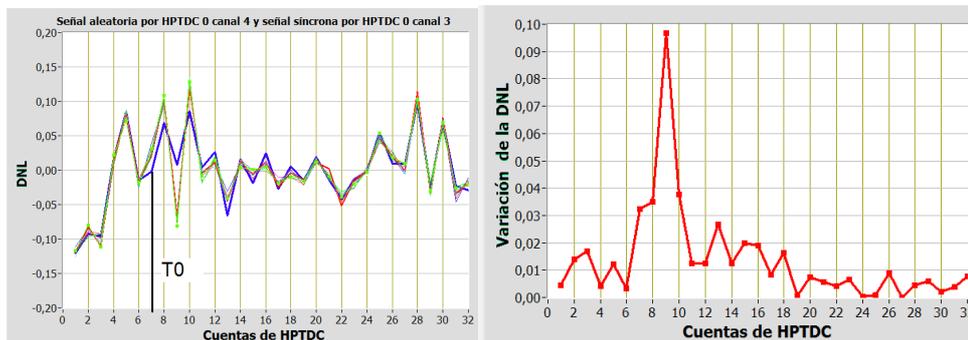
Se realizaron diversas medidas introduciendo la señal aleatoria y la señal T0 por distintos canales. En las siguientes gráficas se ha representado los histogramas temporales superponiendo cada tramo de 32 cuentas, para poder observar claramente que la influencia sólo ocurre en uno de los tramos. En la gráfica se indica también la posición de la señal T0 dentro de este histograma solapado.

Cuando ambas señales se encuentran muy separadas físicamente (señal aleatoria en el canal 0 del HPTDC 0 y señal T0 en el canal 23 del HPTDC 0) no se observa ningún efecto apreciable y la diferencia entre las distintas curvas se encuentra dentro del 0,41 % de error (figura 7.8).



**Figura 7.8:** Interferencia entre el canal 0 y el 23 del HPTDC en la ROB. Se observa que el histograma de la DNL del canal 0 es idéntica en los distintos tramos de 32 cuentas que se muestran superpuestos (identificados por los distintos colores). No se observa una modificación apreciable en el tramo temporal (línea en rojo) en el que se recibe también la señal por el canal 23 del HPTDC.

En el caso de que la señal aleatoria se inyecte por el canal 4 y la señal T0 por el canal 3 se observa que la interferencia entre ambas señales es algo mayor (figura 7.9), obteniéndose una variación máxima del ancho del bin de  $0,095 \text{ LSB} = 74 \text{ ps}$ . En este caso las señales se encuentran más cerca físicamente en la placa pero los receptores LVDS en la ROB son distintos para cada canal.



**Figura 7.9:** Interferencia entre el canal 4 y el 3 del HPTDC en la ROB.

Cuando los canales empleados utilizan el mismo receptor LVDS en la ROB, la interferencia es algo mayor, como puede verse en la figura 7.10 en el que se ha inyectado la señal aleatoria por el canal 0 y la señal T0 por el canal 1. En este caso la interferencia generada afecta a la medida durante 12 cuentas de HPTDC (tramo en rojo en la figura 7.10 de la izquierda), es decir, durante 12 elementos de retardo del DLL, hasta que la propia realimentación del DLL lo corrige. Se observa que el efecto máximo producido es de  $0,13 \text{ LSB}$ , es decir,  $101 \text{ ps}$ .

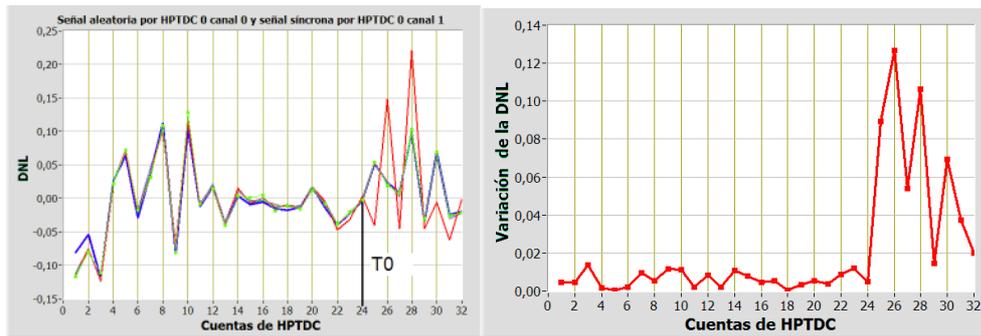


Figura 7.10: Interferencia entre el canal 0 y el 1 del HPTDC en la ROB.

El resultado es idéntico si se repite la medida enmascarando el canal 1 (T0) en el HPTDC como se puede observar en la figura 7.11. Se concluye por tanto, que la mayor parte de la interferencia es debida al rutado de las pistas en la tarjeta y dentro del ASIC, con anterioridad al *buffer* que habilita cada canal en el interior del HPTDC.

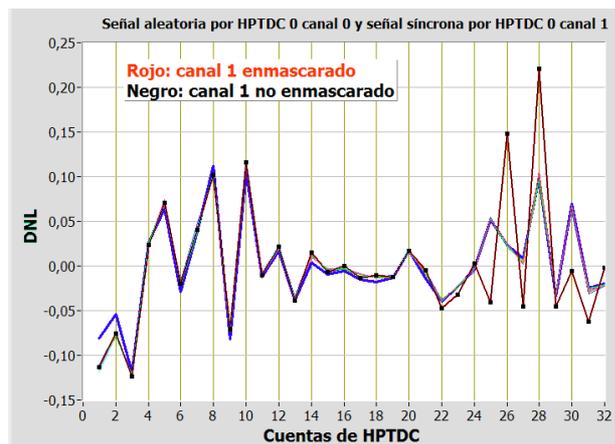
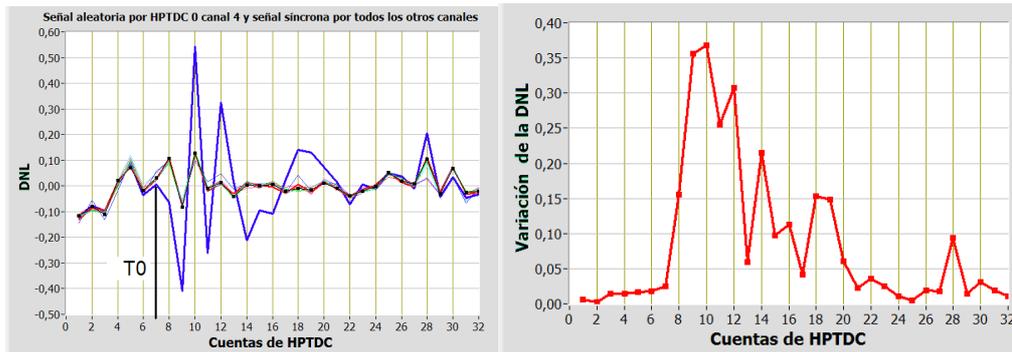


Figura 7.11: Comparación de la interferencia entre canales con y sin enmascarar la señal a nivel de HPTDC.

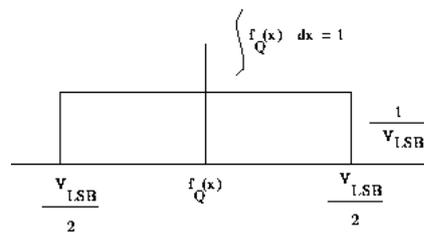
A continuación repetimos la medida pero esta vez considerando el peor caso, en el que se envía una señal sincrona por los 31 canales del HPTDC y una señal aleatoria cuya DNL se va a medir por el canal 4, con el fin de comprobar cómo afecta la interferencia de todos los canales a uno. El resultado obtenido se puede ver en la figura 7.12, donde se observa que la interferencia afecta durante 23 cuentas (curva azul de la figura 7.12 izquierda), teniendo un valor máximo de 0,37 LSB, 289 ps. Este valor es bastante superior al indicado en las especificaciones del HPTDC (150 ps), pero hay que tener en cuenta que tal y cómo se comprobó anteriormente, la mayor parte de la interferencia tiene lugar en las pistas y el conversor de la ROB y no dentro del propio HPTDC. En cualquier caso este valor es del orden de la resolución del HPTDC por lo que se concluye que el efecto de interferencia es pequeño.



**Figura 7.12:** Efecto de la interferencia de una señal sincrona en 31 canales del HPTDC en la medida temporal de una señal aleatoria inyectada en el canal 4 del HPTDC 0.

### 7.1.3 Estudio de la resolución del HPTDC en la ROB

El límite para la resolución máxima de un convertor analógico digital está dada por los errores de cuantización que se tienen incluso en un convertor ideal [201]. Estos errores se modelan como fuentes de ruido, suponiendo que la entrada al sistema es una señal estocástica y por tanto el error de cuantización (diferencia entre la entrada y la salida del sistema) tiene una probabilidad de distribución como se muestra en la figura 7.13.



**Figura 7.13:** Distribución de probabilidad de la función de error de cuantización en un convertor analógico digital.

El error de cuantización, límite teórico para nuestro HPTDC (LSB = 0,78125 ns), sería por tanto:

$$\sigma^2 = \int_{-\infty}^{\infty} x^2 f(x) dx = \frac{1}{LSB} \int_{-LSB/2}^{LSB/2} x^2 dx = \frac{LSB^2}{12} \tag{7.2}$$

$$\sigma_{ideal} = \frac{LSB}{\sqrt{12}} = 225,5 ps$$

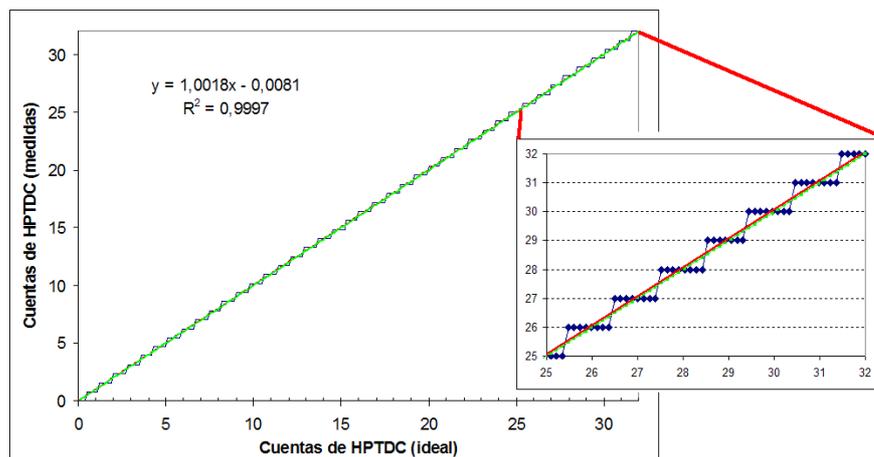
Para realizar el estudio de la resolución de nuestro HPTDC se inyectaron dos señales  $p_0$  y  $p_1$  no correlacionadas con el reloj del HPTDC ni con la señal de disparo, separadas una distancia programable entre sí. Las dos señales  $p_0$  y  $p_1$  proceden del generador de funciones Tektronix AFG3252 que permite controlar el retardo entre ambas señales con una precisión de 100 ps.

La posición de ambas señales no está correlacionada con la señal de disparo, por lo que en algunos eventos no se detecta ninguna señal o se detecta

una sola. Seleccionamos aquellos eventos en los que se detectan ambas y calculamos la diferencia temporal entre ambas señales. La posición individual de cada señal puede ser cualquiera dentro de la ventana de asignación, pero la diferencia de ambas es siempre un valor fijo cuya dispersión depende de la resolución del HPTDC. Se tomaron del orden de 2.000 medidas temporales para cada valor del retardo y se modificó éste hasta cubrir los 25 ns del rango del DLL.

La señal  $p_0$  se inyectaba por el canal 4 del HPTDC 0 de la tarjeta ROB y la señal  $p_1$  por el canal 31 del HPTDC 0, de esta forma, ambas señales estaban físicamente separadas y no se espera una interferencia apreciable entre ellas. En cualquier caso, la separación mínima entre las señales era 100 ns. El sistema de pruebas empleado es similar al que se mostró en la figura 7.7.

Tomando el valor más probable en cada uno de los conjuntos de medidas, se obtiene la “escalera” del HPTDC que se puede observar en la figura 7.14. Se ha representado en verde la recta ideal que se debería obtener, y en rojo el ajuste de la escalera a una recta, cuya ecuación se incluye en el gráfico. Se observa que el ajuste es bastante bueno.



**Figura 7.14:** “Escalera” del HPTDC en la tarjeta ROB.

La diferencia con respecto a la recta ideal depende de los errores de no linealidad explicados anteriormente y del propio error de cuantización. En la figura 7.15 se observan las diferencias con respecto a la recta ideal que se obtienen en cada caso.

Al realizar el histograma de estos errores de cuantización se obtiene la distribución de probabilidad de la función de error de cuantización de la figura 7.16. Como puede verse es aproximadamente plana y está contenida entre  $-0,5$  LSB y  $0,5$  LSB, tal y como se espera. La desviación estándar de esta distribución ( $0,291$  LSB =  $0,227$  ps) sería la resolución del HPTDC, sin embargo, un método más preciso para su cálculo es el que se explica a continuación.

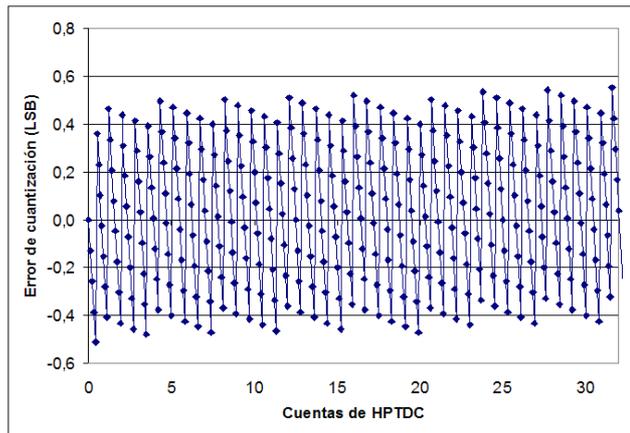


Figura 7.15: Errores de cuantización del HPTDC en la tarjeta ROB.



Figura 7.16: Distribución de los errores de cuantización del HPTDC.

Puesto que en nuestro sistema de pruebas la medida realizada es la resta de dos conversiones temporales, la función de densidad de probabilidad de la figura 7.13 se convierte en una función triangular de  $\pm 1$  LSB de anchura en la base, y la desviación estándar se incrementa en un factor  $\sqrt{2}$ . El límite teórico de la desviación estándar en este caso es de  $\text{LSB}/\sqrt{6} = 0,408$  LSB.

Para cada valor del retardo entre  $p_0$  y  $p_1$ , el resultado de la diferencia temporal es un histograma como el de la figura 7.17.

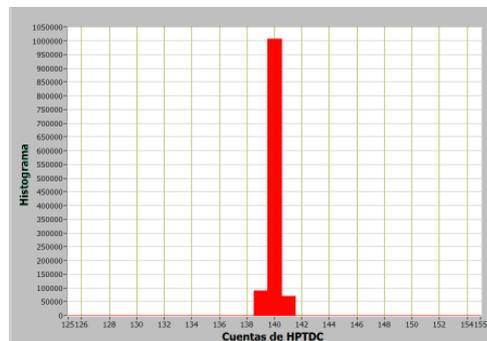
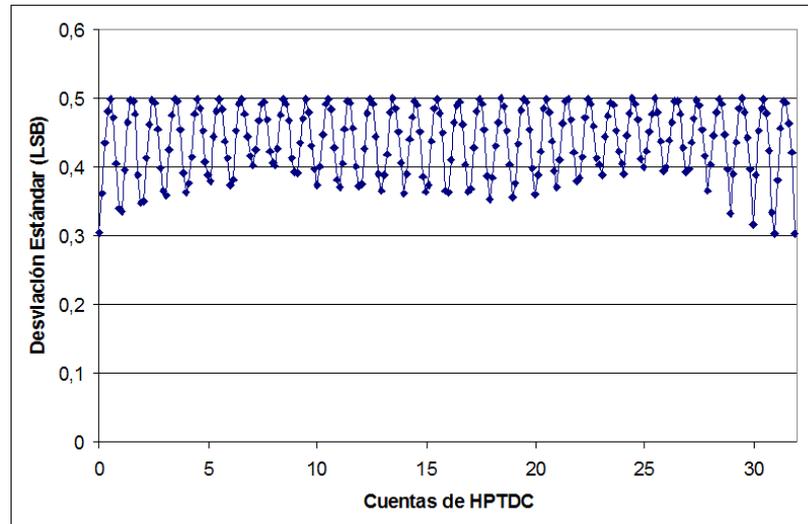


Figura 7.17: Histograma de la diferencia temporal medida entre dos señales aleatorias en el HPTDC.

Si representamos las desviaciones estándar de los histogramas correspondientes de la figura 7.17 en función del número de cuentas correspondientes al retardo entre las señales, se obtiene el diagrama de la figura 7.18 que se denomina habitualmente diagrama de caracterización de un TDC [202].



**Figura 7.18:** Diagrama de caracterización del HPTDC. Muestra la resolución en la medida de la diferencia temporal entre dos señales en función del número de cuentas real de esta diferencia.

En el caso ideal, este diagrama aparece como una réplica de parábolas que toman el valor 0 cuando la distancia entre las señales es exactamente igual a 1 LSB y un valor máximo de 0,5 LSB cuando la distancia entre las señales es un múltiplo de medio LSB. Se observa como en nuestro caso el diagrama real se aproxima a esta réplica de parábolas, teniendo un valor máximo de 0,5 LSB y un valor mínimo de 0,30 LSB. Las diferencias con respecto a la curva ideal se deben a las no linealidades del HPTDC.

Calculando el valor promedio de estas desviaciones estándar se obtiene la resolución del HPTDC para la medida de la diferencia temporal entre dos señales aleatorias ( $0,438 \text{ LSB} = 0,342 \text{ ns}$ ), valor bastante cercano al límite teórico de 0,408 LSB. Dividiendo este valor por  $\sqrt{2}$  obtenemos el valor real de la resolución temporal de nuestro HPTDC para la medida de una señal. En la siguiente tabla se muestra la comparación entre el valor obtenido y el indicado en las especificaciones del HPTDC.

	Medido en la ROB	Especificaciones del HPTDC	Límite teórico
Resolución (LSB)	0,309 LSB	0,34 LSB	0,289 LSB
Resolución (ns)	0,241 ns	0,265 ns	0,225 ns

**Tabla 7.2:** Resolución temporal del HPTDC en la ROB.

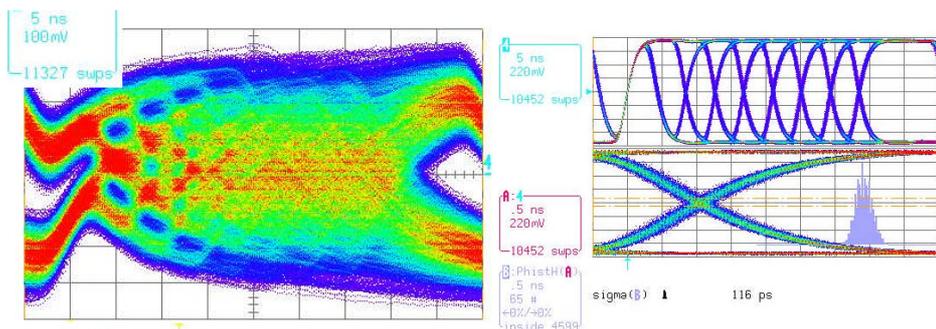
## 7.2 FIABILIDAD DEL ENLACE ROB-ROS

Con el fin de verificar la fiabilidad del enlace ROB-ROS se fabricó una tarjeta LVDS-Serial que incorporaba un transmisor DS92LV1021 y un receptor DS92LV1212A y que servía de doble propósito, como tarjeta transmisora y receptora. Al serializador DS92LV1021 se conectaba un bus paralelo de 8 bits procedente de un generador de funciones aleatorio, los datos eran serializados y transmitidos a través de un cable CAT 5 de 30 metros. Otra tarjeta LVDS-Serial actuaba de receptora, recogiendo la señal y comprobando el bit de paridad procedente del deserializador. La tarjeta incluía una CPLD que contaba el número de errores de paridad, indicándolo en unos leds externos. De esta forma se pudieron realizar estudios de la tasa de fallos en función del tiempo para una tasa de datos muy elevada.

Los resultados obtenidos mediante este método de pruebas muestran que la tasa de fallos BER (*Bit Error Rate*) era inferior a  $10^{-15}$ .

Hay que tener en cuenta que la longitud del cable empleado en el enlace final oscila entre los 10 metros y los 40 metros, por lo que puede ser superior al empleado durante esta prueba; sin embargo, la calidad del cable final CAT 6 es superior al que se utilizó durante el ensayo. Además, durante estas pruebas no se hizo uso del ecualizador CLC014AJE, por lo que la fiabilidad del enlace es aún mayor de lo comentado.

En la figura 7.19 se puede observar el efecto del ecualizador durante la transmisión de una señal aleatoria mediante el serializador DS92LV1021 a través de un cable CAT 5 de 100 metros de longitud. En la imagen de la izquierda se observa el diagrama de ojo de la señal antes de entrar en el ecualizador, y en la imagen de la derecha el mismo diagrama pero a la salida del ecualizador. Se comprueba que el ecualizador permite recuperar con gran calidad la señal que se ha visto atenuada a lo largo del cable proporcionando una buena separación en amplitud y un *jitter* muy reducido ( $\sim 116$  ps).



**Figura 7.19:** Imagen del diagrama de ojo obtenido de la señal serializada antes de la llegada al ecualizador CLC014AJE (izquierda) y a la salida del mismo (derecha).

### 7.3 COMPORTAMIENTO FRENTE A LA TEMPERATURA DE LA ROB

Con la finalidad de caracterizar la tarjeta ROB y su comportamiento frente a distintas condiciones medioambientales, se han realizado una serie de pruebas térmicas [203] que garanticen el correcto funcionamiento de la ROB en situaciones límite más allá de las que deberían darse durante la operación en el detector CMS. Sin embargo, dado el escaso mantenimiento que tendrá el sistema una vez instalado, se han realizado pruebas que sirvan también como test acelerado que permita encontrar componentes especialmente débiles o que se degraden fácilmente [204] y [205].

Estos tests se basan en las técnicas de estrés medioambiental [206] que incluyen ensayos del tipo HALT (*Highly Accelerated Life Testing*), que son tests destructivos para descubrir los límites de operación de un sistema, y HASS (*Highly Accelerated Stress Screening*) o HAST (*Highly Accelerated Stress Testing*), que son tests no destructivos para la inspección de componentes débiles o defectuosos.

La tasa de fallos en un sistema electrónico en función de la temperatura suele modelarse de acuerdo con el modelo de Arrhenius que establece el valor del factor de aceleración (cociente entre la tasa de fallos a la temperatura de operación y la tasa de fallos a la temperatura de estrés) en función de las temperaturas del test y de la energía de activación del mecanismo de fallo que tenga lugar en un dispositivo semiconductor. La ecuación que utiliza es la 7.3, donde AF es el factor de aceleración, K la constante de Boltzmann y  $E_a$  la energía de activación. En la tabla 7.3 [206] se recogen algunos valores de las energía de activación típicas para distintos mecanismos de fallo en semiconductores.

$$AF = e^{\left(\left(\frac{E_a}{K}\right)\left(\frac{1}{T_0} - \frac{1}{T_{stress}}\right)\right)} \quad (7.3)$$

FALLO	$E_a$ (eV)
Reacción metal-metal por migración metálica por interdifusión	0,7
Reacción metal-semiconductor por interdifusión de átomos	0,45 a 0,8
Corrosión galvánica de la metalización	0,3 a 0,65
Acumulación de carga superficial dando lugar a una zona invertida en el semiconductor P y a una variación de tensión umbral en los MOS	0,7 a 1,4
Inyección de cargas desde el Si al dieléctrico por un campo eléctrico elevado	1,3
Ruptura por superación de la rigidez dieléctrica del dieléctrico	0,5 a 1,2
Electromigración con transporte de materia por alteraciones en la difusión	0,5 a 1,2

**Tabla 7.3:** Energía de activación típica para distintos mecanismos de fallo [206].

En nuestro caso se realizaron tres tipos de pruebas, la primera de ellas consistente en estudiar el comportamiento de distintos componentes frente a la temperatura, para lo que se realizaron ciclos de temperatura no agresivos y se

midieron las propiedades de estos dispositivos. Un segundo test consistió en una prueba de envejecimiento acelerado (HALT), por encima de las condiciones normales de operación de los distintos componentes, para intentar encontrar fallos prematuros en alguno de los dispositivos. Finalmente, en todas las tarjetas ROB fabricadas se realizaron unas pruebas de *burn-in* o HAST no agresivas con el fin de detectar fallos latentes y descartar aquellas tarjetas electrónicas susceptibles de sufrir una mortandad infantil.

### 7.3.1 Descripción de la cámara climática

Para realizar las dos primeras pruebas se ha utilizado una cámara climática cuya imagen se puede ver en la figura 7.20, que tiene un rango de temperatura de  $-30$  a  $150^{\circ}\text{C}$ , y que calienta a través de unas resistencias blindadas y aleteadas de acero inoxidable y enfría mediante un evaporador frigorífico, ambos situados en el circuito cerrado de circulación del aire.



**Figura 7.20:** Imagen de la cámara climática utilizada para las pruebas de temperatura.

Esta cámara dispone de un programador/regulador DI-100 formado por un regulador PID y controlado por un microcontrolador que permite conexión al PC. El interior de la cámara tiene un volumen de unos 80 litros, y dispone de una ranura lateral por la que pueden introducirse los cables necesarios para realizar pruebas con el equipo en funcionamiento, como será nuestro caso. La cámara puede programarse a través del regulador DI-100 especificando los puntos de temperatura y humedad final de cada tramo y la duración del mismo, de forma que pueden realizarse pruebas con el perfil de temperatura deseado. En nuestro caso no se realizará control de humedad durante el proceso, teniéndose sólo en cuenta el perfil de temperaturas.

### 7.3.2 Ciclos de temperatura en la tarjeta ROB

Dado que se están empleando dispositivos comerciales, el límite máximo de temperatura que pueden soportar es en todos los casos 70 °C y en la mayoría de los dispositivos, el límite inferior es 0 °C, por ello se decidió realizar un ensayo consistente en ciclos de temperatura con rampas de 0,2 °C/min entre ambos valores, para estudiar el comportamiento de los distintos dispositivos en todo su rango de operación. En la figura 7.21 se puede observar el ciclo programado y la lectura obtenida del sensor de temperaturas de la ROB.

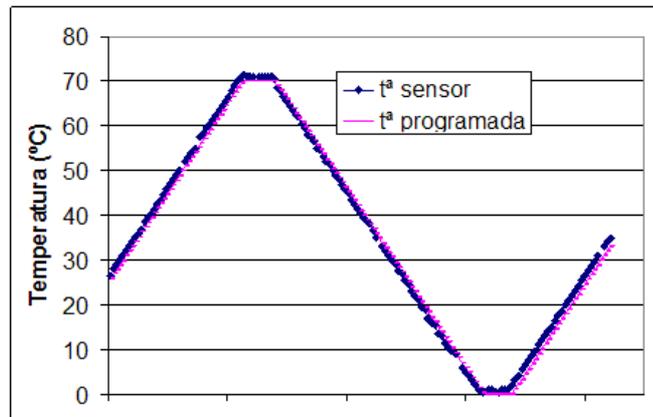
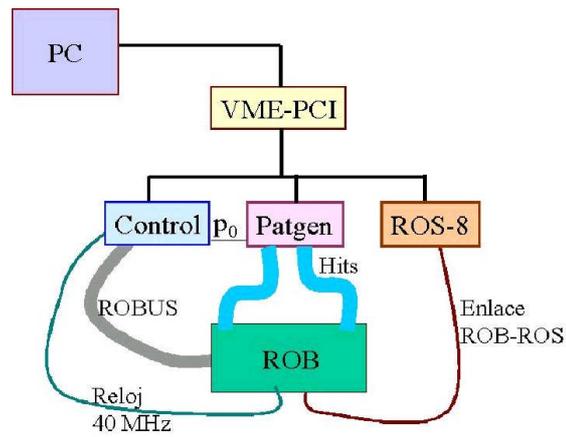


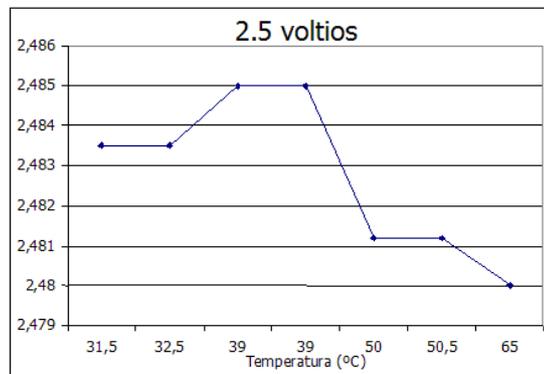
Figura 7.21: Ciclo de temperatura programado y lectura del sensor de temperatura.

Se situó una ROB en el interior de la cámara climática, sostenida mediante un soporte de madera, y conectada completamente a un sistema de pruebas como el que se indica en la figura 7.22. Se desarrolló un programa en LabVIEW® para que realizara la toma de datos a intervalos regulares, cubriendo así todo el rango de temperaturas.

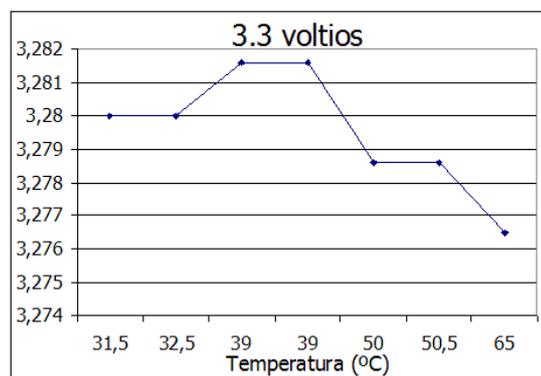
En primer lugar se estudió la estabilidad de los reguladores empleados en función de la temperatura. En las gráficas 7.23 y 7.24 se puede comprobar que la variación de la tensión de salida en todo el rango de temperaturas se encuentra dentro del intervalo  $\pm 0,01$  V, obteniéndose una variación de tensión media a la salida de los reguladores inferior a 0,2 mV/°C. Este valor es superior a la variación máxima indicada en la hoja de datos del fabricante que es de 0,1 mV/°C.



**Figura 7.22:** Diagrama del sistema de pruebas empleado durante la caracterización de la tarjeta ROB en la cámara climática.

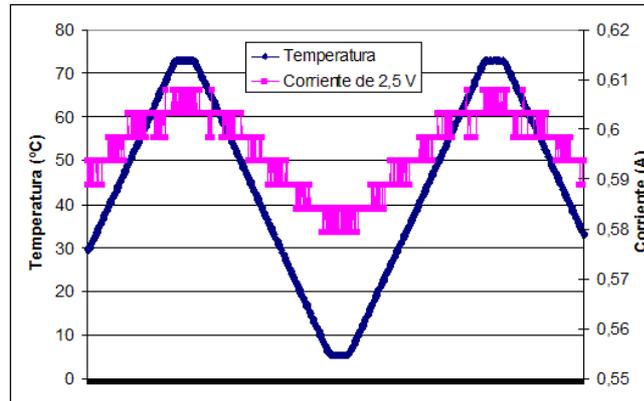


**Figuras 7.23:** Medidas de la variación de la tensión de 2,5V en la ROB en función de la temperatura.



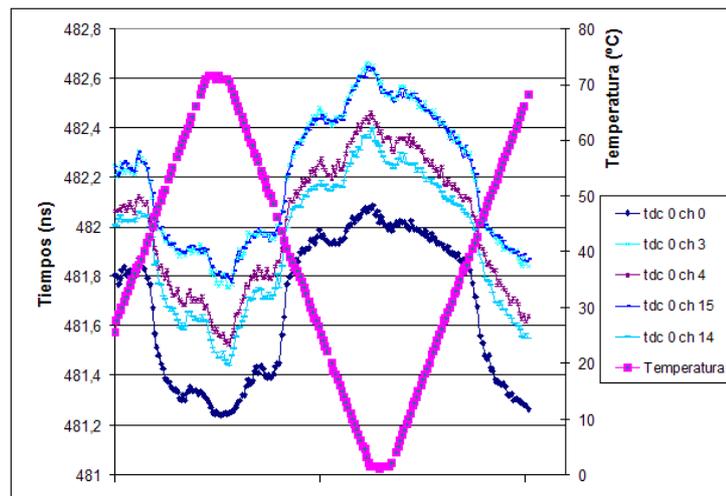
**Figuras 7.24:** Medidas de la variación de la tensión de 3,3V en la ROB en función de la temperatura.

En la figura 7.25 se puede observar también la variación de la corriente de 2,5V en función de la temperatura. Esta variación es de 30 mA en total, aproximadamente 0,4 mA/°C.



**Figura 7.25:** Variación de la corriente de 2,5V en la ROB en función de la temperatura.

Por otro lado se observó una clara variación del valor de la medida temporal de las señales en función de la temperatura. En la figura 7.26 se puede comprobar que cuanto mayor es la temperatura, menor es el valor de la medida de tiempo.



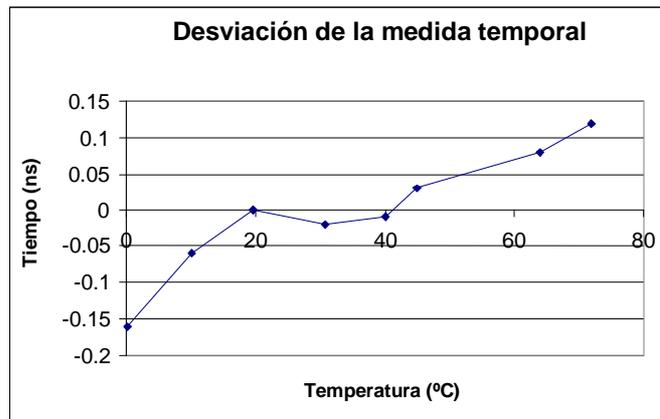
**Figura 7.26:** Variación de la medida temporal de la tarjeta ROB en función de la temperatura.

Estas pruebas se han repetido con distintas tarjetas, y en todos los casos se obtienen situaciones similares, con formas ligeramente diferentes dependiendo del canal del que se trate. La máxima desviación temporal que se observa es del orden de 1 ns entre 0°C y 70°C, lo que proporciona una desviación media de 14 ps/°C; sin embargo, este valor depende de la temperatura a la que nos encontremos, siendo máxima la desviación en torno a los 40°C, donde se encuentran pendientes del orden de 45 ps/°C.

Estas desviaciones son la suma de las distintas contribuciones de cada uno de los elementos del sistema. Por una parte serán desviaciones en el propio HPTDC, que según el manual de operación no deberían ser superiores a 10 ps/°C, y por otro lado, está la contribución de los convertidores LVDS DS90LV048 que deben atravesar las señales en la ROB antes de llegar al HPTDC.

En principio es poco probable que las diferencias sean debidas a los cables o a las pistas de cobre dado que el coeficiente térmico de éste es positivo ( $420 \cdot 10^{-5} \text{K}^{-1}$ ) y su resistencia es mayor a medida que aumenta la temperatura, ralentizando así el flanco de subida de la señal, lo que provocaría una medida temporal mayor.

En la siguiente figura 7.27 se representan las desviaciones en función de la temperatura de las medidas temporales con respecto al valor medido a  $20^\circ\text{C}$  realizadas con un osciloscopio a la salida de los receptores DS90LV048, antes del HPTDC. Los resultados indican que la desviación promedio de estos receptores es de  $4 \text{ ps}/^\circ\text{C}$ , aproximadamente un 30% de la desviación total observada.



**Figura 7.27:** Desviación de la medida temporal en la tarjeta ROB debida a los receptores DS90LV048 con respecto al valor a  $20^\circ\text{C}$ .

### 7.3.3 Pruebas de envejecimiento acelerado de la tarjeta ROB

Se ha realizado una prueba de envejecimiento acelerado HALT con el fin de investigar qué componentes de la tarjeta ROB eran los más débiles y tendrían mayor probabilidad de fallar. Para poder realizar un estudio exhaustivo es necesario disponer de suficiente estadística, pero debido al largo tiempo que llevan estas pruebas, en nuestro caso sólo se ha podido realizar un ensayo con una tarjeta ROB que se ha mantenido alimentada y en operación durante aproximadamente 4 meses (3.100 horas) en la cámara climática a  $105^\circ\text{C}$ .

Para ello se desarrolló un programa que realizaba un análisis completo de la funcionalidad de la tarjeta, tanto de su configuración como de los distintos modos de funcionamiento, registrando en los ficheros correspondientes en el caso de encontrarse algún error durante el proceso. Las pruebas consistían en una secuencia de operaciones que se repetía cada dos minutos.

Después de 4 meses de operación, los únicos fallos obtenidos fueron debidos a que los cables de datos y de alimentación se estropearon debido a las altas temperaturas. No se encontró ningún fallo ocasionado por ningún componente de la placa a pesar de que el límite máximo de temperatura en las especificaciones de los dispositivos era de  $70^\circ\text{C}$ . La tarjeta ROB sigue funcionando en perfectas condiciones y sólo se ha apreciado una coloración amarilla en el barniz que recubre el circuito impreso.

Aunque sería necesario realizar este ensayo con un mayor número de tarjetas, en principio, se tomarán como válidos estos resultados para hacer una estimación de la tasa de fallos máxima esperada en la ROB. Dado que en 3.100 horas a 105°C no se ha detectado ningún fallo, consideraremos que la tasa de fallos a 105°C es como máximo:

$$\text{Tasa fallos a } 105^{\circ}\text{C} = \frac{1}{3100 \text{ horas}} = 3,2 \cdot 10^{-4} \quad (7.4)$$

Para una energía de activación típica de 0,4 eV, el factor de aceleración de la prueba realizada es de 35,24, por lo que la tasa de fallos en 3100 horas equivalente a 20°C es de  $9 \cdot 10^{-6}$ , y la tasa de fallos anual esperada es como máximo del  $2,6 \cdot 10^{-3}$  suponiendo una operación de 24 horas al día durante todo el año.

### 7.3.4 Pruebas de “burn-in” de la tarjeta ROB

Con el fin de descartar aquellas ROB susceptibles de sufrir una mortandad infantil, se realizaron unas pruebas de *burn-in* en las tarjetas antes de su montaje en los Minicrates.

Esta prueba está basada en un envejecimiento no destructivo con el fin de precipitar fallos latentes en la electrónica que no aparecen hasta que no ha transcurrido un cierto tiempo desde que la electrónica comienza a funcionar regularmente. En la figura 7.28 se puede observar la curva característica de tasas de fallos que se obtiene de la experiencia en la operación de módulos electrónicos.

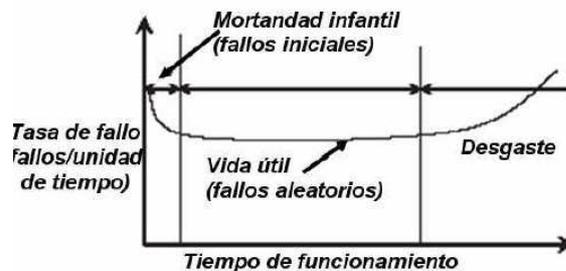
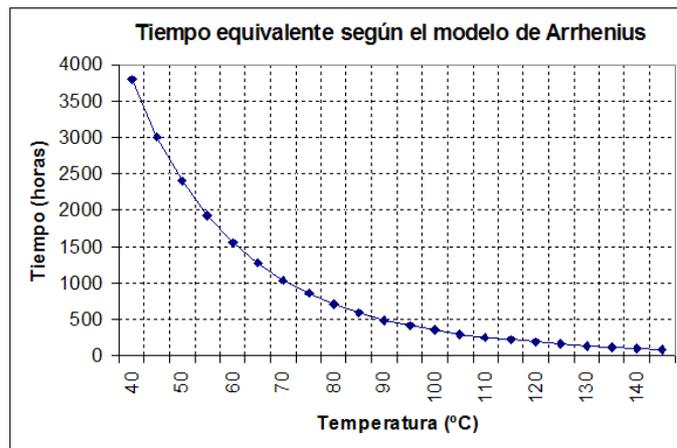


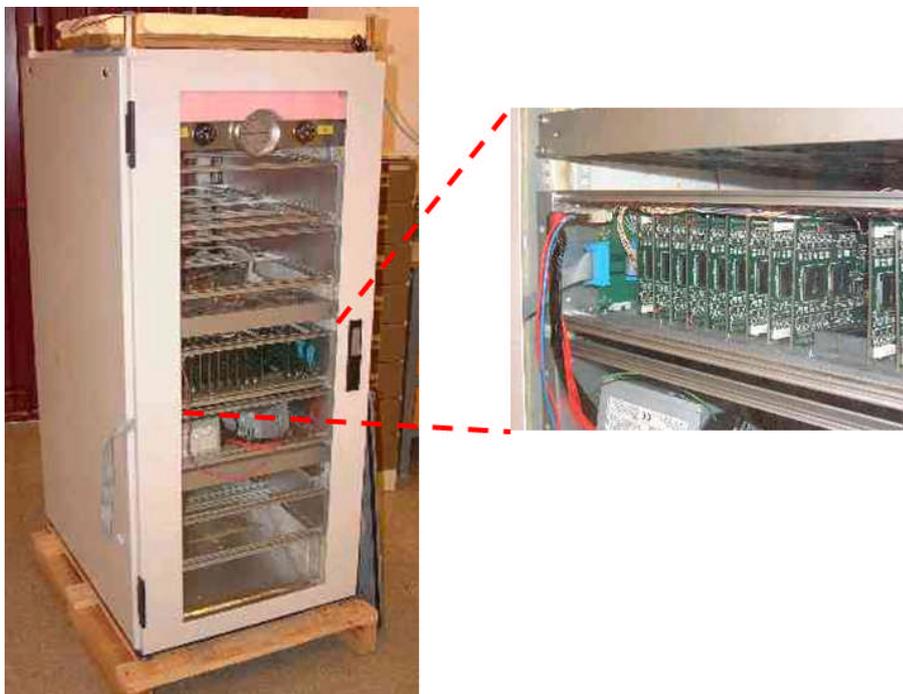
Figura 7.28: Modelo empírico de la tasa de fallos de dispositivos electrónicos en función del tiempo.

El estándar habitual para este tipo de pruebas es el MIL-STD-883E, método 1015.9 [207], que establece un funcionamiento de los componentes a 125 °C durante 160 horas. Este método se aplica normalmente a dispositivos militares, cuyo rango máximo de temperaturas es de 125 °C. En nuestro caso, muchos componentes son comerciales, con una temperatura máxima permitida de operación de 70 °C, y dado que el objetivo es no dañar los componentes, decidimos disminuir la temperatura máxima de la prueba a 60 °C máximos. Para 60 °C, de acuerdo con las especificaciones del estándar MIL-STD-883E y el modelo de Arrhenius de la ecuación 7.3, el tiempo de la prueba de *burn-in* debía ser de 65 días (1.560 horas) tal y como se puede observar en la figura 7.29.



**Figura 7.29:** Extrapolación del tiempo de *burn-in* según el modelo de Arrhenius a distintas temperaturas.

La urgencia debida a la producción de los Minicrates no permitió realizar un ensayo de tanta duración en un número tan elevado de tarjetas, y finalmente se mantuvieron las primeras 822 tarjetas durante 168 horas a 50°C y tras mejorar el sistema de calentamiento y disminuir la presión de la producción de Minicrates, el resto de las tarjetas estuvo 336 horas a 60°C. Estas pruebas suponen el equivalente a que hubieran estado funcionando durante 731 horas (1 mes) y 2.252 horas (3 meses) respectivamente, por lo que una parte de los fallos debidos a mortandad infantil sí se estaban escaneando.



**Figura 7.30:** Imagen del horno empleado para realizar el *burn-in* de las tarjetas ROB.

El horno empleado para la prueba de *burn-in* se puede observar en la figura 7.30 y se construyó *ad-hoc* en el CIEMAT, calentando el aire en toda la altura del armario a través de unas resistencias y refrigerando mediante un sistema de ventiladores, todo ello controlado con los sensores térmicos y termostatos correspondientes. Las tarjetas ROB se situaban en unos chasis internos conectadas a las fuentes de alimentación correspondientes y a un sistema de distribución de la señal de reloj. Con el tiempo se fue ampliando este sistema, permitiendo inicialmente realizar la prueba de *burn-in* a 12 tarjetas hasta alcanzar finalmente las 48 tarjetas que podían probarse simultáneamente.

Tras realizar la prueba de *burn-in*, se dejaban enfriar las tarjetas antes de desconectar la alimentación y a continuación se realizaba un test completo del funcionamiento de las mismas. En estas pruebas se comprobó que ninguna tarjeta ROB-32 tuvo ningún fallo tras la prueba de *burn-in*, mientras que se encontraron 14 tarjetas ROB-128 (0,8%) que presentaron fallos que anteriormente no se habían producido. Los modos de fallo que presentaron se describen en la tabla 7.4, 9 de ellos debidos a soldaduras defectuosas y 5 a dispositivos con malfuncionamiento.

Se observa que el número de tarjetas que fallaron cuando se mejoraron las condiciones de la prueba es algo superior, no obstante, en ambos casos se pudo detectar diversos problemas de montaje debidos a soldaduras frías que normalmente tienen energías de activación entre 0,5 eV y 0,7 eV. Esto supone que los factores de aceleración conseguidos con esta prueba son de entre 9 y 17 (según si nos referimos al test a 50°C o al de 60°C), y por tanto, la tasa de fallos esperada se reduce en los mismos factores.

Condiciones del burn-in	ROB Id.	Modo de fallo
168 horas a 50°C	17	Interruptor defectuoso
168 horas a 50°C	102	Interruptor defectuoso
168 horas a 50°C	170	Soldadura del HPTDC
168 horas a 50°C	173	Interruptor defectuoso
168 horas a 50°C	239	Soldadura del conector ODU
168 horas a 50°C	310	DS40LV048 defectuoso
336 horas a 60°C	950	Soldadura del conector ODU
336 horas a 60°C	1320	Soldadura del DS90LV048
336 horas a 60°C	1386	Soldadura del DS90LV048
336 horas a 60°C	1497	Soldadura del DS90LV048
336 horas a 60°C	1498	Soldadura del conector ODU
336 horas a 60°C	1502	Soldadura de una resistencia
336 horas a 60°C	1565	Soldadura de una resistencia
336 horas a 60°C	1658	CPLD Altera defectuosa

**Tabla 7.4:** Fallos encontrados en las tarjetas ROB tras la prueba de *burn-in*.

## 7.4 PRUEBAS DE REFRIGERACIÓN DEL SECTOR COLLECTOR

En febrero de 2007 se instaló un armario refrigerado mediante un circuito de agua similar al que se emplea en la caverna de CMS para alojar la electrónica del Sector Collector y se realizaron diversas pruebas monitorizando la temperatura de las tarjetas para verificar que el sistema de refrigeración era adecuado para el consumo de potencia esperado.

Los armarios que se van a utilizar disponen en su parte superior de una turbina tangencial apta para funcionar bajo los campos magnéticos esperados en el entorno de las ruedas de CMS [208]. La turbina absorbe el aire del interior del armario y lo envía a través de dos canales en los laterales del armario hasta la parte inferior, donde se sitúa una unidad deflectora. El aire rebota en esta estructura deflectora y asciende de nuevo hasta la turbina, atravesando todos los chasis que contienen la electrónica. Es por tanto de vital importancia no bloquear este flujo de aire en ninguna de las estructuras que alojan los módulos electrónicos y por tanto todos los chasis instalados tienen las cubiertas superiores e inferiores o bien retiradas o bien fabricadas a base de una plancha agujereada que permita el flujo de aire.

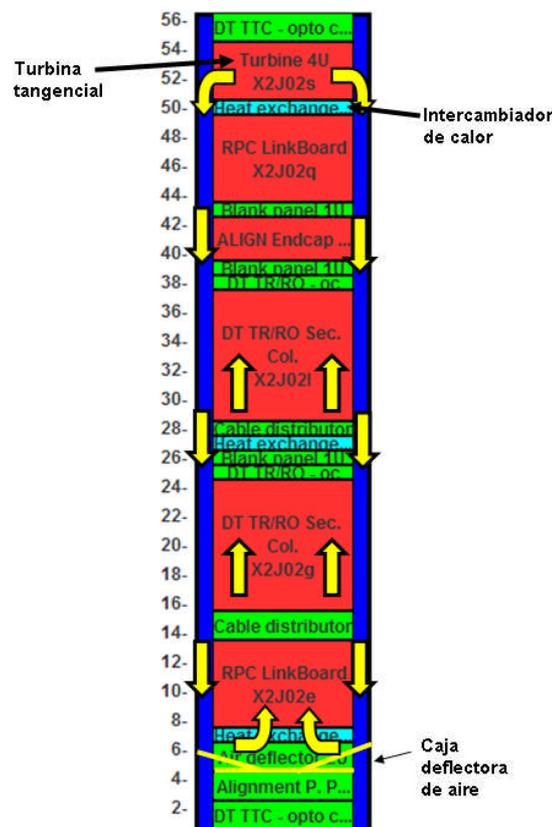


Figura 7.31: Esquema del armario del Sector Collector donde se indica el flujo de aire de refrigeración.

Cada armario dispone de unas unidades intercambiadoras de calor *Heat Exchangers*, consistentes en una estructura laminada por la que circula agua desmineralizada a 16 – 18 °C y que permite refrigerar el flujo de aire del armario. Las pruebas realizadas tenían como uno de los objetivos determinar el número de unidades intercambiadoras de calor más adecuado para nuestro sistema.

En la figura 7.31 se observa un diagrama de las líneas del flujo de aire y de los distintos módulos alojados en el armario del Sector Collector, cuyas dimensiones son 60 cm de ancho, 90 cm de profundidad y 56 U de altura (249 cm).

El consumo de potencia esperado en un armario de Sector Collector es del orden de 1 kW, repartido entre los distintos módulos tal y como se puede observar en la tabla 7.5.

	Consumo de Potencia (W)
LBB (Módulos de disparo de las RPC)	27
ROS	18
TSC	50
TIM	8
Módulos de Alineamiento	20
<b>Total por armario</b>	<b>906 <math>\cong</math> 1kW</b>

**Tabla 7.5:** Consumos de potencia esperado en los distintos módulos del armario del Sector Collector.

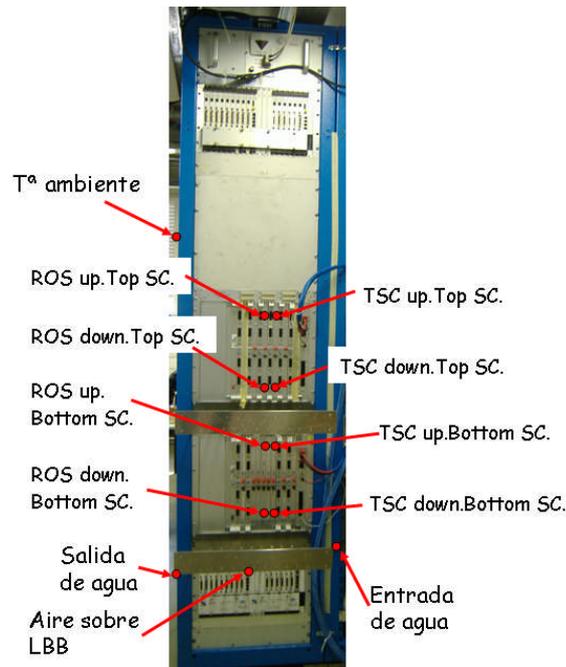
La prueba de refrigeración se realizó en los laboratorios del edificio 904 del CERN, donde se disponía de un circuito de refrigeración por agua y un armario idéntico al que se utilizará en la caverna. En este armario se montaron los módulos de disparo de las RPC, alimentados, y dos chasis Sector Collector. El consumo de potencia de los módulos de alineamiento es muy pequeño por lo que no se consideró necesario emplearlos y bastó con verificar que su estructura mecánica no dificultaba el flujo de aire. Los chasis Sector Collector se equiparon con el total de 12 tarjetas ROS alimentadas y, dado que no disponíamos aún de 12 tarjetas TSC, se emplearon 12 tarjetas que simulaban su consumo de potencia mediante unas resistencias de baja impedancia localizadas para simular la misma distribución térmica espacial de las tarjetas TSC.

El armario se aisló mediante tapas y cinta adhesiva metálica en todos los huecos libres tanto en la parte anterior como posterior, de forma que el flujo del aire no escapara al exterior. Es importante tener en cuenta que uno de los requisitos de CMS es que no se produzca disipación de calor en la caverna, por lo que el sistema de refrigeración debe ser eficiente y el armario debe estar lo más aislado térmicamente posible.

Inicialmente se situaron dos intercambiadores de calor, uno en la parte inferior, encima del deflector de aire, que refrigeraba el aire a la entrada del volumen del armario y otro en la parte superior, justo debajo de la turbina. Este último intercambiador de calor es obligatorio en CMS pues se encarga de

refrigerar el aire que circula por los canales exteriores del armario, que es donde el intercambio térmico con el entorno es mayor y por tanto donde mayor es el riesgo de disipar calor en la caverna.

Se situaron sondas de temperatura PT-100 distribuidas en todo el volumen del armario y en las tuberías de entrada y salida de agua. El armario resultante y la posición de las sondas principales se puede observar en la figura 7.32.



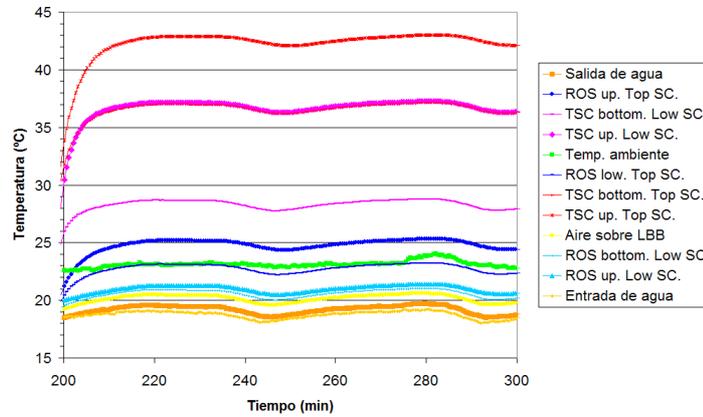
**Figura 7.32:** Imagen del armario empleado para las pruebas de refrigeración del Sector Collector y la localización de las distintas sondas de temperatura.

En primer lugar se comprobó que el flujo de agua del circuito de refrigeración debía ser al menos 10 l/min, pues con valores inferiores no se alcanzaba el equilibrio térmico con todo el armario alimentado y la temperatura de las tarjetas continuaba incrementándose indefinidamente.

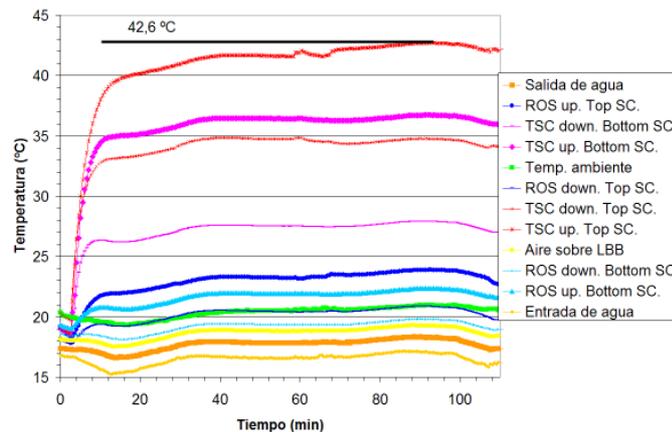
A continuación se estudió la diferencia entre tener sólo dos intercambiadores de calor o añadir un tercero entre los dos chasis Sector Collector. En las siguientes figuras se observan las temperaturas medidas en cada uno de los dos casos. Se observa que en general, las temperaturas máximas observadas no cambian mucho, y parecen deberse más a la diferencia de la temperatura del agua de entrada, que no era estable a lo largo de las distintas pruebas. Esto es razonable si se tiene en cuenta que el intercambiador de calor disminuye la temperatura del aire, pero también introduce una impedancia a su flujo, lo que para bajas temperaturas hace que ambos efectos se compensen.

No obstante, es muy notable el descenso de la temperatura de la parte inferior de la tarjeta TSC del chasis superior. Este descenso de  $\sim 2$  °C indica que la acción del tercer intercambiador de calor es beneficiosa para disminuir la temperatura del aire en el chasis superior. En definitiva, decidimos incluir el tercer intercambiador en nuestro armario final. El hecho de que la temperatura máxima

de la TSC del chasis superior no cambie apreciablemente, apunta a un bajo flujo de aire, cuyos efectos discutiremos a continuación.



**Figura 7.33:** Temperaturas en los chasis Sector Collector para un armario con 2 intercambiadores de calor.



**Figura 7.34:** Temperaturas en los chasis Sector Collector para un armario con 3 intercambiadores de calor.

De las gráficas anteriores, en la situación de 3 intercambiadores de calor, se comprueba que el incremento de temperatura entre la parte inferior de una tarjeta ROS y la parte superior es de  $2,6\text{ }^{\circ}\text{C}$  en el chasis inferior y  $3\text{ }^{\circ}\text{C}$  en el chasis superior. En el caso de las tarjetas TSC este incremento es de  $8\text{ }^{\circ}\text{C}$  en el chasis inferior y  $9\text{ }^{\circ}\text{C}$  en el chasis superior. El aire se enfría  $\sim 2\text{ }^{\circ}\text{C}$  al atravesar el intercambiador de calor situado entre los dos chasis, tanto en las tarjetas ROS como TSC.

La temperatura de las tarjetas ROS se mantiene aproximadamente constante e inferior a  $25\text{ }^{\circ}\text{C}$ , mientras que las tarjetas TSC, cuyo consumo de potencia es 2,5 veces mayor alcanzan temperaturas de hasta  $44\text{ }^{\circ}\text{C}$ .

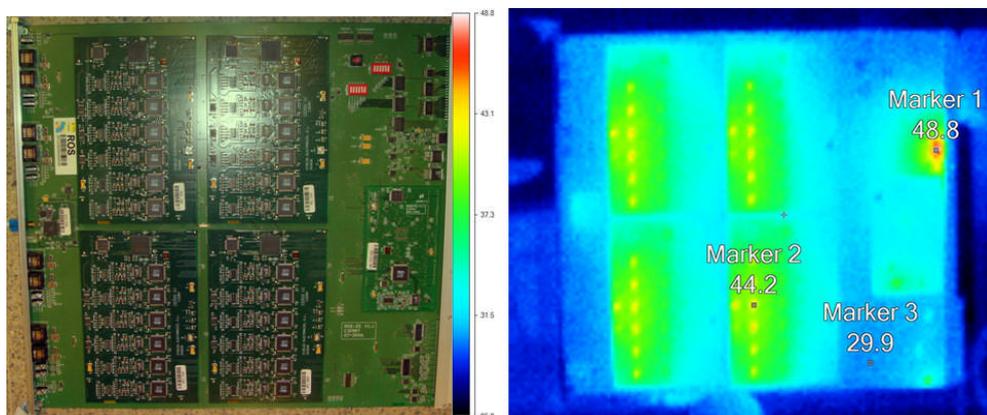
Se comprobó la temperatura de la tarjeta ROS en distintos puntos de la misma, y se observó que la temperatura máxima alcanzada era de  $30\text{ }^{\circ}\text{C}$  en los equalizadores de una ROS del chasis superior, mientras que los dispositivos

situados debajo de los módulos CEROS tenían una temperatura de 24,5 °C, siendo la temperatura en cualquier punto del circuito impreso de la tarjeta en el peor caso de aproximadamente 24 °C.

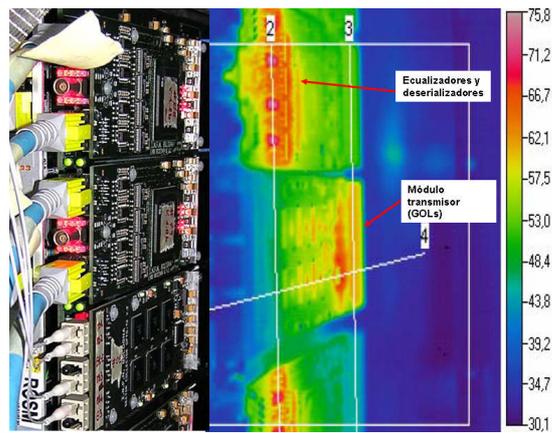
Se observa que el incremento en la temperatura del agua es de aproximadamente 1,21 °C, lo que equivale a una potencia disipada mediante la refrigeración por agua de 843 W. Dado que la potencia generada en el armario es del orden de 900 W, esto supone un rendimiento del sistema de refrigeración del 95%, lo cual es más que aceptable.

En las figuras 7.35 y 7.36 se puede observar la distribución de temperatura en una tarjeta ROS y una TSC. Se puede observar que la zona de mayor temperatura en una ROS se encuentra en su parte posterior, cercana a los reguladores de tensión. También se observan zonas calientes en los ecualizadores de cada uno de los canales. En la TSC en cambio, se observa que la parte posterior es relativamente fría, mientras que la parte anterior presenta un consumo muy elevado, principalmente en los ecualizadores y deserializadores de los datos del Minicrate y los serializadores GOL para su transmisión al DITF. Además, la parte anterior de la TSC está formado por distintos módulos que se interconectan a la placa base mediante conectores horizontales, que dificultan el flujo de aire vertical, a diferencia de la ROS. Se sospechaba por tanto, que la impedancia de la TSC al flujo de aire sería muy elevada en la parte anterior y muy pequeña en la posterior, por lo que todo el flujo de aire escaparía por la parte posterior.

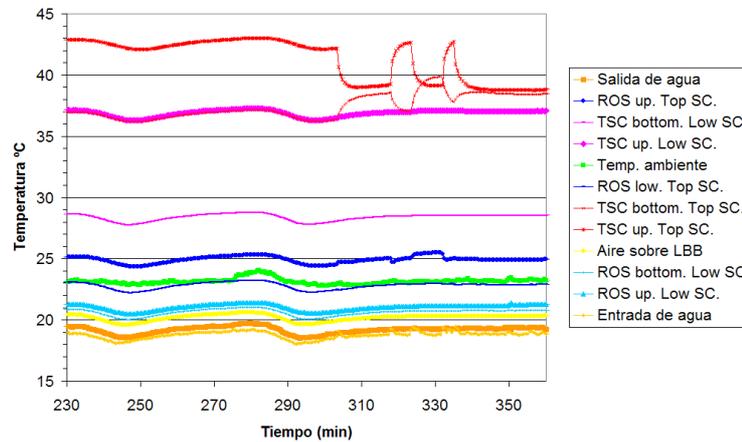
En la gráfica 7.37 se observa cómo disminuye la temperatura máxima de la TSC en 4 °C al colocar un obstáculo al aire en la parte posterior de la tarjeta, lo que confirma que el aire se escapaba por esa zona, sin refrigerar apenas la parte anterior. La temperatura de la parte inferior de esa tarjeta sólo se incrementa en 1,5 °C, por lo que el efecto es positivo en general. Se decidió por tanto construir una chapa dentada para situarla encima del chasis superior del Sector Collector de forma que obstruyera ligeramente el flujo de aire en la parte trasera de las TSC, forzando su circulación por la parte anterior, mientras que no se modificaba el flujo de aire en las tarjetas ROS.



**Figura 7.35:** Imagen de la tarjeta ROS y de su mapa de temperaturas. En esta imagen termográfica no existía refrigeración, por lo que las temperaturas son más elevadas.



**Figura 7.36:** Imagen de la tarjeta TSC y de su mapa de temperaturas. En esta imagen termográfica no existía refrigeración, por lo que las temperaturas son más elevadas.



**Figura 7.37:** Mapa de temperaturas en el armario del Sector Collector y efecto de bloquear el flujo de aire en la parte posterior de la tarjeta TSC.

Finalmente, se han estudiado los efectos de un malfuncionamiento en el sistema de refrigeración del armario con el fin de analizar el tiempo de reacción antes de que la temperatura en las tarjetas alcanzara niveles peligrosos. Estas pruebas se realizaron en uno de los armarios finales en la caverna de CMS con todos los chasis con las tarjetas finales y en funcionamiento. La temperatura se medía remotamente a partir de los sensores en las tarjetas. En la tarjeta ROS este sensor está situado cerca de los reguladores y mide entre 22 °C y 24 °C en condiciones normales. En la tarjeta TSC los sensores medidos están situados en el módulo de transmisión óptica y su valor en condiciones normales oscila entre 33 °C y 45 °C.

En primer lugar, se estudió el efecto de apagar la bomba que acciona el flujo de agua, mientras la turbina seguía funcionando. El resultado se puede observar en las figuras 7.38 y 7.39. Se comprueba que las tarjetas TSC tardan aproximadamente 25 minutos en alcanzar valores de 50 °C, mientras que las ROS alcanzan valores máximos de 32 °C.

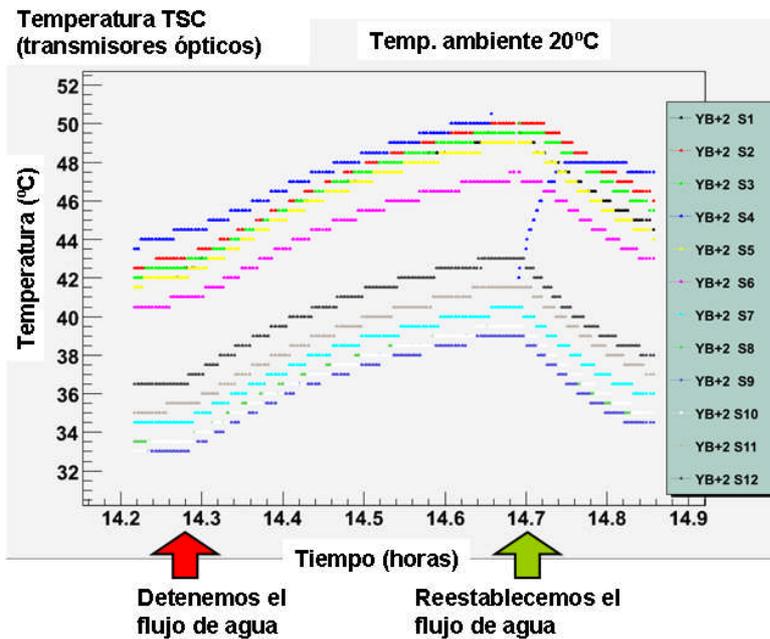


Figura 7.38: Variación de las temperaturas de la TSC cuando se detiene el flujo de agua de refrigeración.

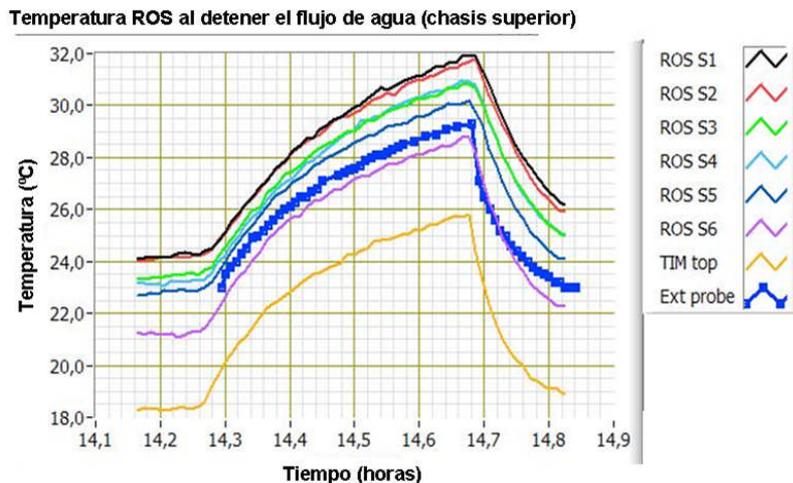


Figura 7.39: Variación de las temperaturas de la ROS cuando se detiene el flujo de agua de refrigeración.

En segundo lugar se apagó la turbina mientras el flujo de agua seguía funcionando. Se observa en la figura 7.40 que este caso es muy problemático, pues la temperatura de las tarjetas TSC se incrementa muy rápidamente, alcanzando 56 °C en 6,25 minutos. En las tarjetas ROS el incremento de temperatura es menor, como se puede esperar, y se alcanza una temperatura máxima de 34 °C tras 9 minutos.

Dado que un problema en el flujo de aire tiene un impacto importante y rápido en el incremento de las temperaturas, se decidió situar unos sensores de temperatura en el volumen de aire del armario, justo por encima del chasis

superior del Sector Collector. En total hay 5 sensores, dos de ellos se conectan al sistema de control software DCS, para apagar la alimentación de forma controlada si se observa un incremento elevado de la temperatura del aire. Los otros tres sensores se conectan al sistema de control hardware DSS (*Detector Safety System*) [209] que mediante unos relés cortan automáticamente la alimentación en el caso de que el sistema software no funcione, asegurando la seguridad del sistema.

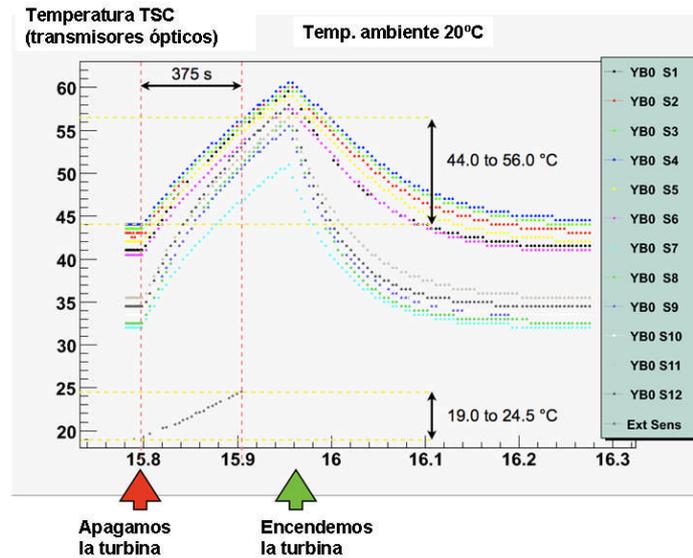


Figura 7.40: Variación de las temperaturas de la TSC cuando se apaga la turbina.

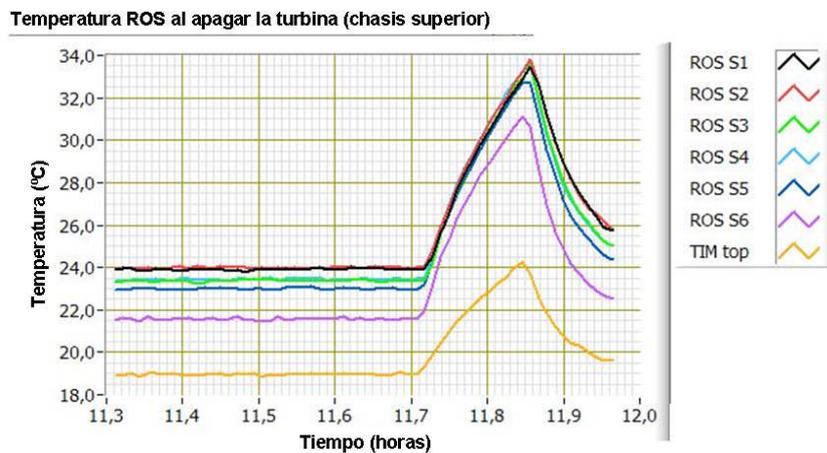
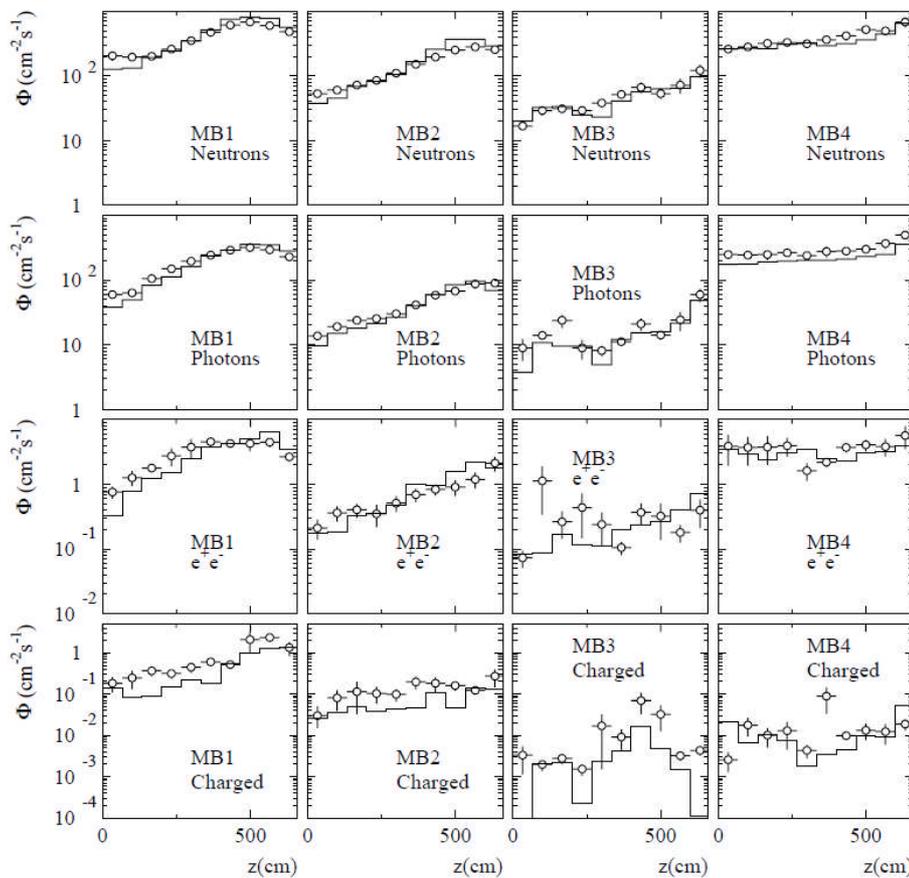


Figura 7.41: Variación de las temperaturas de la ROS cuando se apaga la turbina.

En la figura 7.40 se puede observar la rampa de subida del sensor de temperatura situado en el volumen de aire (*Ext Sens*) que incrementa su lectura en 5,5 °C. Se comprueba que este incremento es suficientemente elevado como para ser detectado sin error y apagar la alimentación. El empleo de estos sensores garantiza la seguridad del sistema de una forma más fiable que a través de la lectura de la corriente de las turbinas (que también está implementada), pues permite detectar también situaciones como bloqueo del flujo de aire debido a obstáculos que en caso contrario no se detectarían.

## 7.5 ESTUDIO DEL COMPORTAMIENTO DE LA ELECTRÓNICA BAJO RADIACIÓN

La zona en la que se instalará la electrónica de las cámaras de muones se encuentra apantallada por la estructura de hierro lo que impedirá la llegada de partículas cargadas de baja energía. En la figura 7.42 se presentan los flujos de las distintas partículas esperados en las distintas zonas del detector de muones.



**Figura 7.42:** Flujos de partículas esperados en el detector de muones de CMS a la luminosidad máxima del LHC. En línea sólida se muestran los resultados simulados con un modelo antiguo del sistema de apantallamiento [29] y en círculos los simulados en un diseño posterior [210].

Como puede observarse, la contribución principal que afectará a la fiabilidad de la electrónica es debida al flujo de neutrones. Aunque este flujo no es suficientemente elevado para producir daños en la estructura cristalina del silicio (*bulk damage*) (inferior a  $2,5 \cdot 10^{10} \text{ n/cm}^2$ ) [211], sí se esperan daños o malfuncionamientos debidos a SEE (*Single Event Effects*).

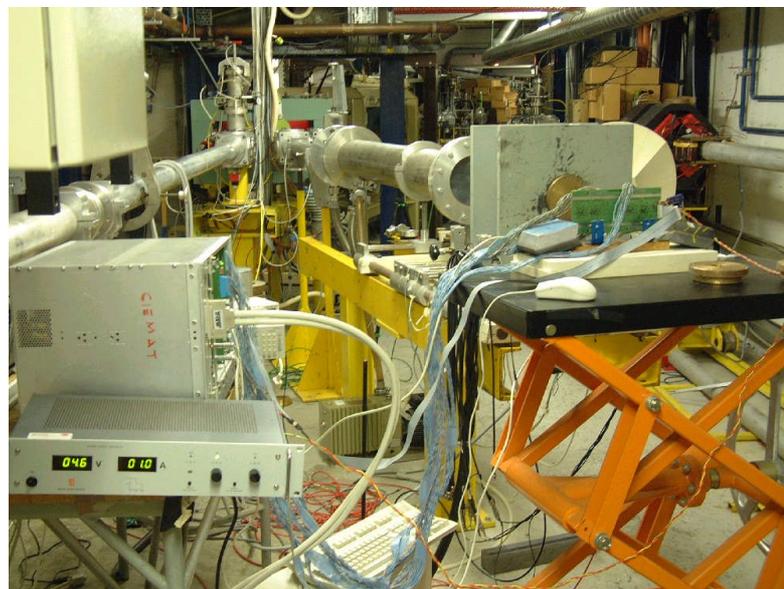
De acuerdo con [212], la mejor forma de calcular los daños debidos a SEE es realizar irradiaciones con protones a 60 MeV y escalar los efectos al flujo total de hadrones y neutrones por encima de 20 MeV esperados en CMS. Este flujo depende de la posición exacta en el detector, siendo su valor máximo para las

estaciones MB1 de las ruedas externas, cuyo valor esperado es de  $2 \cdot 10^9 \text{ cm}^{-2}$  para  $5 \cdot 10^7$  segundos de operación (equivalentes a 10 años de operación continuada de acuerdo con el ciclo de trabajo del colisionador), es decir, un flujo máximo de  $40 \text{ cm}^{-2} \text{ s}^{-1}$ .

La irradiación con protones presenta una gran ventaja práctica pues los haces de neutrones para estas energías son muy costosos y escasos y en ningún caso monoenergéticos. La principal diferencia reside en que al utilizar protones, además de los efectos de SEE y de desplazamiento, se almacenará una cierta dosis en los componentes electrónicos. En nuestro caso, tras exposiciones de  $5 \cdot 10^{10} \text{ cm}^{-2}$  protones, la dosis total recibida asciende a 70 Gy, lo cual es muy superior a la dosis máxima que se espera recibir en la zona del detector de muones que es de 0,21 Gy en los 10 años de operación.

### 7.5.1 Pruebas de irradiación de la tarjeta ROB

Con el fin de caracterizar los componentes seleccionados frente a radiación se han realizado pruebas bajo un haz de protones de 60 MeV [213]. Esta energía esta disponible, por ejemplo, en el ciclotrón de la Universidad Católica de Lovaina, en Bélgica [214]. En la figura 7.43 se puede ver una fotografía del punto de salida del haz del ciclotrón de Lovaina que es donde colocamos nuestras tarjetas ROB, con un diafragma de diámetro regulable para irradiar únicamente la zona de interés.



**Figura 7.43:** Imagen de la irradiación de la ROB en el ciclotrón de UCL.

Estas pruebas se han realizado mientras los componentes estaban en funcionamiento, por lo que fue necesario diseñar un sistema de pruebas que permitiera controlar y monitorizar la toma de datos para detectar cualquier error tipo SEU que son los que esperamos que sucedan con mayor probabilidad.

Se realizaron tres campañas de irradiación con protones a 60 MeV y una fluencia de  $5 \cdot 10^{10} \text{ cm}^{-2}$ : el 22 de marzo de 2001, cuando se irradiaron los receptores DS90LV048A, el 28 de junio de 2001, para irradiar los reguladores de tensión y finalmente el 14 de diciembre de 2001 cuando se irradiaron los HPTDCs y el resto de los componentes principales de la ROB. En las dos primeras campañas, en las que aún no se disponía de un primer prototipo de la tarjeta ROB, los componentes irradiados estaban montados en unas tarjetas diseñadas específicamente para este estudio de radiación. En diciembre de 2001 ya se disponía de un primer prototipo de la tarjeta ROB y todas las pruebas de irradiación se realizaron sobre éste prototipo. De esta forma, aunque el haz de protones incidía en el componente particular a probar, toda la tarjeta ROB se mantenía en operación y cualquier mal funcionamiento que afectase al comportamiento de otro dispositivo era monitorizado. De hecho, construí un sistema de pruebas y un software específico que se empleaba durante las pruebas y que analizaba en detalle todos los aspectos del funcionamiento de la tarjeta ROB antes, durante y después de las pruebas de irradiación.

A continuación se describen las distintas pruebas que se han realizado y los resultados obtenidos.

#### **7.5.1.1 Receptores DS90LV048A**

Se irradiaron 8 receptores DS90LV048A (tecnología CMOS  $0,35 \mu\text{m}$ ) montados en una placa de  $5 \times 5 \text{ cm}^2$  con las entradas polarizadas a 0 Voltios mientras se monitorizaba su salida con el fin de comprobar si se producía algún pulso para una tensión umbral de 1,5 V, procedente de un SEU. También se controlaba la corriente consumida, que en todo el período de irradiación fue constante e igual a 57,9 mA. Tampoco se detectó ningún SEU durante todo el proceso de irradiación, por lo que se concluyó que estos dispositivos eran adecuados para su empleo en CMS.

#### **7.5.1.2 Reguladores MIC29151-3.3BU y MIC 39301-2.5BU**

El objetivo de la prueba era medir la variación de la caída de tensión y el posible malfuncionamiento de los reguladores MIC29151-3.3BU y MIC39301-2.5BU fabricados en tecnología BiCMOS. Se monitorizaba la salida de tensión que proporcionaban sobre una resistencia para una corriente de carga constante de 1,5 A y también se medía la corriente de tierra a lo largo del período de irradiación.

El único efecto observado fue una variación de la tensión regulada de +20 mV (0,6%) para el MIC29151-3.3BU y de +10 mV (0,4%) para el MIC39151-2.5BU y un incremento en la corriente de tierra de 6 mA (40%) para el MIC29151-3.3BU y de 4 mA (30%) para el MIC39151-2.5BU. Ambos efectos parecen ser inducidos por la dosis de irradiación total recibida (70 Gy) que es muy superior a la esperada en el LHC (0,21 Gy). Los resultados obtenidos en función de la fluencia de protones se muestran en las siguientes gráficas.

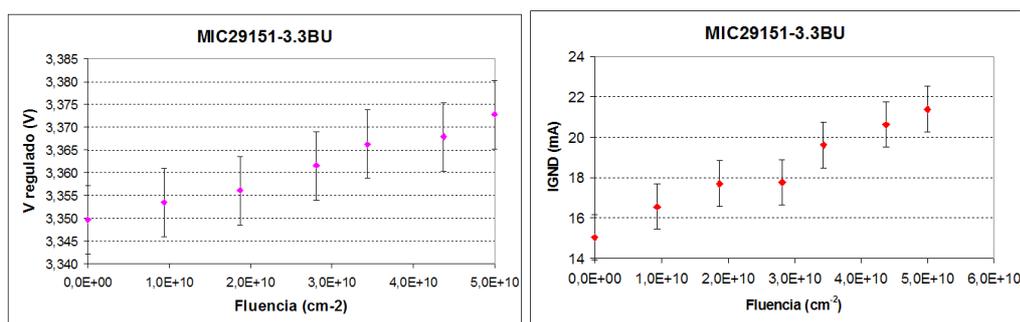


Figura 7.44: Variación de la tensión regulada y la corriente de tierra en función de la fluencia de protones para el MIC29151-3.3BU.

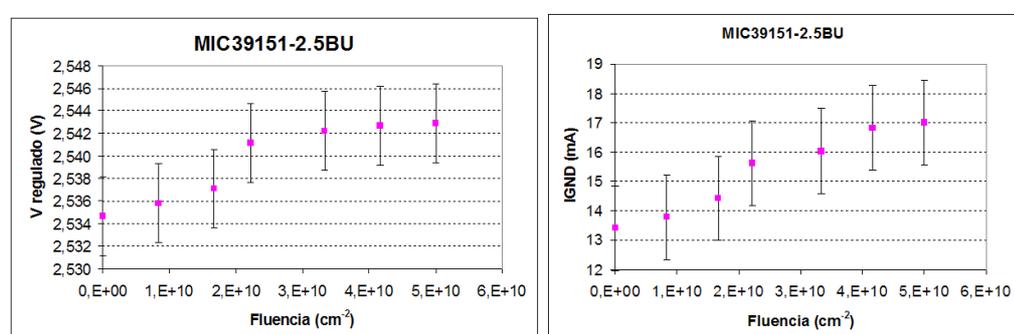


Figura 7.45: Variación de la tensión regulada y la corriente de tierra en función de la fluencia de protones para el MIC39151-2.5BU.

### 7.5.1.3 HPTDC y zona central de ROB

Una vez que disponíamos del primer prototipo de la ROB se procedió a irradiar los HPTDCs, fabricados en tecnología CMOS de 0,25  $\mu\text{m}$ , y el resto de los componentes de la tarjeta que se sitúan principalmente en su zona central. Se irradiaron 8 HPTDCs por separado, y dos zonas centrales de la ROB. En este caso fabricé un sistema de pruebas que mantuviera a la ROB en modo de adquisición de datos continuo, de forma que cualquier alteración de los bits de las memorias de cualquier componente pudiera ser detectado. También se monitorizaba la corriente consumida, que permaneció constante a lo largo de las pruebas.

Se utilizó un equipo similar al descrito en la figura 7.22, inyectando datos a través de la tarjeta VME Patgen y generando los disparos a través de la tarjeta Control-X, así como la configuración y la monitorización de la tarjeta ROB a través de la interfaz JTAG.

La zona central de la ROB tiene como dispositivos principales el serializador DS92LV1021 (tecnología 0,25  $\mu\text{m}$  CMOS-8), el sensor MAX4375 (CMOS 1,2  $\mu\text{m}$ ), el limitador de corriente MAX869L (CMOS 1,2  $\mu\text{m}$ ), el distribuidor de reloj DS92CK16 (CMOS 0,35  $\mu\text{m}$ ), el oscilador MIC1555 (BiCMOS), los transistores PMBT2222A (Bipolar) [215], el multiplexor 74AC151 (CMOS 1  $\mu\text{m}$ ) y el comparador 74HC85 (CMOS 3  $\mu\text{m}$ ).

Ningún efecto se observó al irradiar los componentes de las zonas centrales, y sólo en un caso se observó un error de paridad en el registro SETUP de un HPTDC. Una vez reprogramado, el HPTDC volvió a funcionar correctamente.

Se puede estimar la tasa de fallos de los dispositivos de acuerdo a la siguiente fórmula:

$$\lambda = \frac{N_F N_T \phi_{CMS}}{N_r \Phi_{LOV}} \quad (7.5)$$

$$MTBF = \frac{1}{\lambda}$$

Donde  $\lambda$  es la tasa de fallos esperada,  $N_F$  es el número de fallos durante la irradiación,  $N_r$  es el número de dispositivos irradiados,  $N_T$  es el número de dispositivos totales en CMS,  $\phi_{CMS}$  es el flujo de partículas esperado en CMS y  $\Phi_{LOV}$  es la fluencia de partículas con la que se irradió cada dispositivo en Lovaina. El tiempo medio entre fallos (MTBF) no es más que la inversa de la tasa de fallos.

En el caso de que el número de fallos durante la prueba sea 0, lo único que puede darse es una estimación del tiempo medio entre fallos mínimo que puede tener lugar, calculado de acuerdo a la fórmula 7.6. La interpretación de este resultado es que si el tiempo medio entre fallos fuera inferior a este valor, deberíamos haber observado al menos un fallo con una probabilidad de  $1 - \alpha$ . Por tanto, para  $\alpha = 0,1$ , se tiene una confianza del 90% de que el tiempo medio entre fallos es superior a este valor [216].

$$MTBF_{100-(1-\alpha)\%} = \frac{N_r \Phi_{LOV}}{N_F N_T \phi_{CMS} (-\ln(\alpha))} \quad (7.6)$$

En la tabla 7.6 se presentan los resultados obtenidos, que como puede verse garantizan un funcionamiento de los dispositivos perfectamente aceptable en CMS, puesto que se prevé reconfigurar el sistema con una frecuencia del orden de horas.

#### 7.5.1.4 CPLD ALTERA MAX7000 EPM7128AE

A continuación se procedió a irradiar la CPLD MAX7000 de Altera, que está fabricada en tecnología CMOS de 0,5  $\mu\text{m}$ .

El equipo de pruebas utilizado en este caso fue muy similar al anterior, sólo que el programa que se utilizaba ejecutaba unas pruebas en modo *Test Pulse*, pues en este caso la utilización de la lógica de la CPLD es mucho mayor. Además se conectó un contador de sucesos a la salida del contador de SEU de la CPLD para llevar así la cuenta de las veces que había actuado la lógica triplemente redundante. También se monitorizaba la corriente consumida, que permaneció constante a lo largo de las pruebas.

En total se irradiaron 4 dispositivos y no se observó ningún funcionamiento incorrecto ni ningún SEU durante las pruebas. Por ello se estima que el comportamiento de esta CPLD va a ser satisfactorio bajo la dosis de

radiación esperada en CMS. En la tabla 7.6 se presenta el valor mínimo estimado con un nivel de confianza del 90% del tiempo medio entre fallos para estas CPLDs.

	HPTDC	Zona central ROB	CPLD Altera
NT	5820	1500	1500
NF	1	0	0
Nr	8	2	4
$\Phi_{\text{CMS}} (\text{cm}^{-2}\text{s}^{-1})$	40	40	40
$\Phi_{\text{LOV}} (\text{cm}^{-2}\text{s}^{-1})$	$5 \cdot 10^{10}$	$5 \cdot 10^{10}$	$5 \cdot 10^{10}$
$\lambda$	$5,8 \cdot 10^{-7}$	$6 \cdot 10^{-7}$	$3 \cdot 10^{-7}$
MTBF (horas)	477,3	201,1	402,1
MTBF (días)	19,9	8,4	16,8

**Tabla 7.6:** Tiempo medio entre fallos estimado debido a efectos de la radiación en los dispositivos de la tarjeta ROB durante su operación en CMS.

## 7.5.2 Pruebas de irradiación de la tarjeta ROS

En el caso de la electrónica situada en las torres laterales de CMS, la dosis máxima esperada es de 0,4 Gy durante los 10 años de operación del LHC y la fluencia de hadrones y neutrones con energías superiores a 20 MeV se reduce a  $10^9 \text{ cm}^{-2}$ , lo que supone un flujo de  $20 \text{ cm}^{-2} \text{ s}^{-1}$  [212].

Se realizaron dos pruebas de irradiación en las mismas condiciones anteriores con un haz de protones a 60 MeV y una fluencia de  $5 \cdot 10^{10} \text{ cm}^{-2} \text{ s}^{-1}$  en el ciclotrón de la Universidad Católica de Lovaina. El primero de ellos tuvo lugar en 4 de junio de 2003, cuando se irradiaron los componentes principales de la parte de entrada de la tarjeta ROS empleando el prototipo ROS-8, y el segundo, el 6 de marzo de 2007, cuando se irradiaron el resto de los dispositivos montados en la tarjeta ROS y TIM finales.

### 7.5.2.1 Ecuilibradores CLC014, deserializadores DS92LV1212A y FIFOs IDT72LV263

Los dispositivos irradiados estaban montados en la tarjeta ROS-8 tal y como se muestra en la figura 7.46 distribuidos en los ocho canales de entrada de la tarjeta ROS. Se irradiaron 16 dispositivos de cada tipo durante 16 tomas de datos de 20 minutos cada una. En cada toma de datos se irradiaban mediante un colimador apropiado una pareja de dispositivos del mismo tipo.

La tarjeta ROS-8 estaba conectada a un sistema de pruebas que simulaba el funcionamiento normal de la tarjeta pero con una tasa de datos mucho mayor de la esperada en condiciones normales, con el fin de incrementar la ocupación de las FIFO. Los problemas de enganche del enlace ROB-ROS, los errores de paridad y la integridad de los datos se monitorizaban continuamente, y no se observó ninguna degradación de las características de los dispositivos que funcionaban correctamente tras finalizar las pruebas.

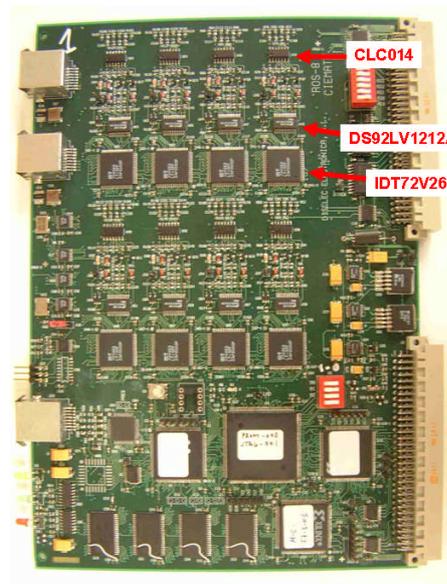


Figura 7.46: Imagen de la tarjeta prototipo ROS-8.

Los resultados obtenidos se presentan en la tabla 7.7, donde se observa que detectamos 18 errores de enganche del enlace debidos a malfuncionamiento del ecualizador CLC014AJE (BiCMOS), 11 errores de paridad y 18 de errores de enganche cuando se irradiaban los serializadores DS92LV1212A (tecnología 0,25  $\mu\text{m}$  CMOS-8) y 135 errores de paridad al irradiar las FIFOs IDT72LV263 (0,6  $\mu\text{m}$  CMOS-8). Se comprueba que la tasa de fallos esperada es bastante baja y se adecua a los requisitos de operación en CMS.

	CLC014	DS92LV1212A	IDT72LV263
$N_T$	1500	1500	1500
$N_F$	18	29	135
$N_r$	16	16	16
$\Phi_{CMS} (\text{cm}^{-2}\text{s}^{-1})$	20	20	20
$\Phi_{LOV} (\text{cm}^{-2}\text{s}^{-1})$	$5 \cdot 10^{10}$	$5 \cdot 10^{10}$	$5 \cdot 10^{10}$
$\lambda$	$6,75 \cdot 10^{-7}$	$1 \cdot 10^{-6}$	$5 \cdot 10^{-6}$
MTBF (horas)	411,5	255,4	54,9
MTBF (días)	17,1	10,6	2,3

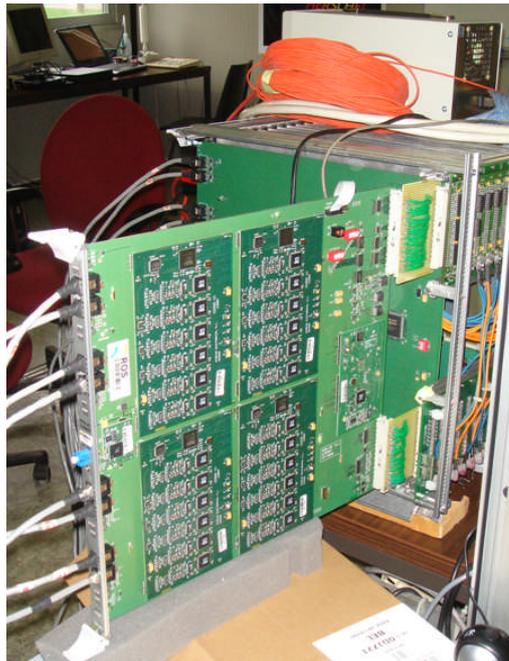
Tabla 7.7: Tiempo medio entre fallos estimado debido a efectos de la radiación en los dispositivos de la tarjeta ROS durante su operación en CMS en la primera prueba de radiación.

En las pruebas realizadas el 6 de marzo de 2007 ya se disponía de una tarjeta ROS y TIM final y se empleó un sistema de pruebas como el indicado en la figura 7.47, basado en un chasis Sector Collector donde se situaban las tarjetas ROS, TIM, ROSTEST, TTCvi, Patgen y Control-X y una tarjeta ROB montada en un sistema aparte y conectada a una tarjeta CCB. Con el fin de irradiar sólo los componentes de la tarjeta seleccionada y que el haz no afectase a ninguna otra del mismo chasis se diseñó un expansor lateral que permitiera conectar la tarjeta ROS

en un ángulo de 90° con respecto al resto de las tarjetas. No era posible emplear una tarjeta expansora común pues las señales se degradaban en una distancia de 40 cm y el sistema dejaba de ser fiable.

El sistema que diseñé permitía por tanto realizar cualquier tipo de acceso remoto a los distintos dispositivos a través de una interfaz VME, monitorizar los consumos de corrientes, acceder a la interfaz JTAG para la verificación del código de los distintos dispositivos y realizar tomas de datos mediante el envío de datos simulados en la tarjeta ROB y señales de disparo similares a las esperadas durante la operación de las tarjetas en el detector CMS.

De esta forma se podía verificar durante todo el proceso de irradiación el funcionamiento del sistema completo. Desarrollé numerosos programas en LabVIEW® específicos para cada una de las pruebas de irradiación, dependiendo del componente que se irradiaba. Estos programas analizaban en profundidad el correcto funcionamiento no sólo del dispositivo irradiado, sino de todos aquellos componentes de las tarjetas que pudieran verse afectado por un mal funcionamiento de este dispositivo. En resumen, se realizaba un análisis exhaustivo del comportamiento de las tarjetas ROS y TIM bajo radiación.



**Figura 7.47:** Imagen del sistema de pruebas empleado durante la segunda prueba de irradiación de la tarjeta ROS y TIM.

#### 7.5.2.2 PROM Xilinx XC18V01

Las memorias PROM de Xilinx XC18V01 son unas memorias FLASH con capacidad de reprogramarse una vez montadas a través de un interfaz JTAG y permiten almacenar el programa de carga de las FPGAs y configurarlas al encender la alimentación o a petición del usuario. Esta memoria tiene una capacidad de 1 Mbit de almacenamiento del programa de configuración y está fabricada en tecnología CMOS de 0,35  $\mu\text{m}$ .

Se irradiaron dos memorias PROM con un colimador de un diámetro de 1,5 cm. El programa almacenado en la memoria se verificaba continuamente a través de un software remoto que se conectaba a la PROM a través de las líneas JTAG. Durante el período de irradiación no se detectó ningún bit alterado en los contenidos almacenados en la memoria en ninguno de los dos dispositivos, tampoco se observó ningún malfuncionamiento de la tarjeta ROS ni un consumo elevado.

### 7.5.2.3 FPGA Xilinx Spartan IIE XC2S50E

El dispositivo XC2S50E es una FPGA de Xilinx con 1728 celdas lógicas, 384 CLBs y 8 bloques RAM con un total de 32 kbits. Están fabricadas en tecnología CMOS 0,18/0,15  $\mu\text{m}$  y se alimentan a 1,8V y 3,3 V.

Se irradiaron dos dispositivos XC2S50E con un colimador de un diámetro de 1,5 cm. Las FPGAs tenían cargado el programa que se empleará durante la toma de datos, por lo que se diseñó un sistema de adquisición de datos que simulara la operación en condiciones normales, con señales de disparo y datos reales procedentes de una tarjeta ROB.

Durante la irradiación el número de fallos detectados fue bastante elevado y fue necesario hacer una recarga del programa desde la memoria en dos ocasiones y en otra ocasión fue necesario apagar y encender la alimentación de nuevo. Aún así, el tiempo medio entre fallos estimado para el total de los dispositivos en CMS es del orden de 4 horas, lo cual es compatible con el modo de operación previsto en el que se reiniciará el sistema cada pocas horas.

### 7.5.2.4 CPLD Xilinx XC2C384 y XC2C512

Los dispositivos XC2C384 y XC2C512 son CPLDs de Xilinx de la familia CoolRunner-II fabricadas en tecnología CMOS de 0,18  $\mu\text{m}$ . La primera dispone de 384 macroceldas, mientras que la segunda tiene 512 macroceldas, permitiendo implementar un código algo más complejo. Se alimentan también a 1,8V y 3,3 V.

Se irradiaron dos dispositivos XC2C384 y uno XC2C512. Ambas tenían cargado el código empleado en la tarjeta ROS, por lo que el software realizado para verificar su correcto funcionamiento era ligeramente distinto.

En el primer caso, la CPLD (ROSVME) se emplea para realizar accesos VME principalmente, por lo que se realizaban lecturas y escrituras continuas de distintos registros y también se ejercitaban el sistema de interrupciones en la tarjeta, manejadas por este dispositivo.

En el segundo caso, la CPLD (ROSMEM) maneja la escritura y lectura de memoria en modo de pruebas, por lo que se configuraba la tarjeta para operar recibiendo señales de disparo y se comprobaban los contenidos de la memoria. También se ejercitaba la lectura y escritura de la memoria a través de datos aleatorios escritos mediante la interfaz VME.

En ambos casos se hacía una lectura continua de la memoria de configuración de la CPLD y se comprobaba que el código era correcto y no se había producido la alteración de ningún bit.

En dos casos, al irradiar la CPLD XC2C384 fue necesario realizar un apagado y encendido de la alimentación del chasis, posiblemente por un acceso VME sin respuesta. Los resultados obtenidos se detallan en la tabla 7.8.

### 7.5.2.5 Memoria RAM estática CY7C1041CV33

El dispositivo CY7C1041CV33 es una memoria RAM estática de 4 Mbits de tecnología CMOS 0,15  $\mu\text{m}$  empleada para almacenar en modo de pruebas los datos leídos por la tarjeta ROS para su posterior lectura a través del interfaz VME.

El sistema de pruebas empleado en este caso consistía en realizar escrituras y lecturas continuas de datos aleatorios en toda la memoria a través de la interfaz VME y comprobar que los datos escritos y los leídos eran idénticos. El colimador empleado en este caso tenía un diámetro de 5,5 cm, incidiendo el haz exclusivamente en esta memoria.

Sólo se pudo irradiar un dispositivo y se comprobó que el número de palabras con algún bit modificado era de 20, lo cual proporciona un tiempo medio entre fallos de 24 días.

	CPLD XC2C384	CPLD XC2C512	FPGA XC2S50E	PROM XC18V01	Memoria CY7C1041CV33
$N_T$	60	60	240	240	60
$N_F$	6	46	1614	0	20
$N_r$	2	1	2	2	1
$\Phi_{CMS} (\text{cm}^{-2}\text{s}^{-1})$	20	20	20	20	20
$\Phi_{LOV} (\text{cm}^{-2}\text{s}^{-1})$	$5 \cdot 10^{10}$	$5 \cdot 10^{10}$	$5 \cdot 10^{10}$	$5 \cdot 10^{10}$	$5 \cdot 10^{10}$
$\lambda$	$7,2 \cdot 10^{-8}$	$1,1 \cdot 10^{-6}$	$2,95 \cdot 10^{-5}$	$4,8 \cdot 10^{-8}$	$4,8 \cdot 10^{-7}$
MTBF (horas)	3858,02	251,61	3,59	2513,28	578,70
MTBF (días)	160,75	10,48	0,15	104,72	24,11

Tabla 7.8: Tiempo medio entre fallos estimado debido a efectos de la radiación en los distintos dispositivos de la tarjeta ROS durante su operación en CMS.

### 7.5.2.6 Zona acceso VME

Se irradiaron conjuntamente todos los dispositivos encargados del acceso VME en la tarjeta ROS, exceptuando la CPLD ROSVME. Para ello se empleó un colimador de 8 cm que cubría los distintos *buffers*: 74LVC16245 (CMOS 0,8  $\mu\text{m}$ ) [217], 74LVCH16244 (CMOS 0,8  $\mu\text{m}$ ) [218], 74LVCH244 (CMOS 0,8  $\mu\text{m}$ ) [219], 74ALS642 (Bipolar) [220] y 74ALS688 (Bipolar) [221].

En este caso el programa de pruebas era muy similar a los empleados para irradiar las CPLDs, escribiendo y leyendo continuamente a través de la interfaz VME y comprobando que los datos eran correctos. El número de fallos detectados en este caso fue de 12, debidos principalmente a datos con algún bit alterado, por lo que el dispositivo más sensible podría ser el 74LVC16245. En ningún caso fue necesario reiniciar el sistema por lo que el ciclo VME siempre finalizaba satisfactoriamente.

### 7.5.2.7 Zona de alimentación

También se irradiaron conjuntamente los dispositivos de la zona de alimentación de la tarjeta ROS empleando un colimador de 8 cm de diámetro que cubría los siguientes dispositivos: MAX4375TEUB (CMOS 1,2  $\mu\text{m}$ ), DS2438Z (CMOS 0,6  $\mu\text{m}$ ), MIC39301-2.5BU (BiCMOS), MIC29301-3.3BU (BiCMOS) y BTS612N1 (Smart SIPMOS).

El programa de pruebas se encargaba de registrar los valores de la temperatura y los valores de las distintas tensiones y corrientes. El acceso a los sensores *1-wire* siempre fue correcto y se leían los valores esperados. El único efecto observado fueron ligeras variaciones de los valores de la tensión y corriente de 5 V y de 3,3 V inferiores al 1%, compatibles con las variaciones observadas en la irradiación de los reguladores de la tarjeta ROB.

### 7.5.2.8 Zona distribución de reloj

Asimismo, se irradiaron conjuntamente los dispositivos de la zona de distribución del reloj en la tarjeta ROS situados en su zona central. Para ello se empleó un colimador de 5,5 cm de diámetro que cubría los siguientes dispositivos: DS90LV048A (CMOS 0,35  $\mu\text{m}$ ), DS1100L (CMOS 0,6  $\mu\text{m}$ ) [222], DS90LV018A (CMOS 0,35  $\mu\text{m}$ ) [223], el cristal de cuarzo IXO71-40MHz [224] y CY2309ZC-1H (CMOS 0,65  $\mu\text{m}$ ) [225].

Debido al tiempo limitado del que disponíamos, sólo fue posible irradiar esta zona en una de las tarjetas ROS. Durante todo el periodo se monitoriza el estado del dispositivo QPLL, verificando si se había desenganchado en algún momento por modificarse la señal de reloj. También se inyectaban señales de disparo con el fin de comprobar los valores correctos de las señales TTC que se registran en la tarjeta ROS con esa señal de reloj. De esta forma, se podían detectar efectos menores en la señal de reloj que no provocaran que se desenganchara el QPLL pero sí un registro incorrecto de los datos. El número de fallos detectados en este caso fue de 40, los resultados se presentan en la tabla 7.9.

### 7.5.2.9 Zona distribución señales TTC

Finalmente, se irradiaron conjuntamente los dispositivos de la zona de entrada del reloj y de las señales TTC provenientes de la tarjeta TIM situados en la zona inferior derecha. Para ello se empleó un colimador de 8 cm de diámetro que cubría los siguientes dispositivos: SN65LVDM1676 (CMOS) [226], DS90LV017A (0,35  $\mu\text{m}$  CMOS7) [227], DS90CP22MT (0,35  $\mu\text{m}$  CMOS7) [228] y DS90LV048A (CMOS 0,35  $\mu\text{m}$ ). El sistema de pruebas empleado era idéntico al de la prueba anterior, y los errores encontrados se debieron fundamentalmente a problemas en la distribución de reloj debidos al dispositivo DS90CP22MT. Los resultados obtenidos se presentan en la tabla 7.9.

	Zona de alimentación	Zona de reloj	Zona VME	Zona señales TTC
$N_T$	60	60	60	60
$N_F$	0	40	12	16
$N_r$	2	1	2	2
$\Phi_{CMS} (\text{cm}^{-2}\text{s}^{-1})$	20	20	20	20
$\Phi_{LOV} (\text{cm}^{-2}\text{s}^{-1})$	$5 \cdot 10^{10}$	$5 \cdot 10^{10}$	$5 \cdot 10^{10}$	$5 \cdot 10^{10}$
$\lambda$	$1,2 \cdot 10^{-8}$	$9,6 \cdot 10^{-7}$	$1,44 \cdot 10^{-7}$	$1,92 \cdot 10^{-7}$
MTBF (horas)	10053,11	289,35	1929,01	1446,76
MTBF (días)	418,88	12,06	80,38	60,28

Tabla 7.9: Tiempo medio entre fallos estimado debido a efectos de la radiación en las distintas zonas de la tarjeta ROS durante su operación en CMS.

### 7.5.3 Pruebas de irradiación de la tarjeta TIM

#### 7.5.3.1 Zona distribución señales TTC

Sólo hubo tiempo para realizar una prueba de irradiación en la tarjeta TIM con un colimador de 8 cm para irradiar los dispositivos que transmiten la señal de reloj y las señales TTC situados en la zona inferior derecha. Los dispositivos irradiados fueron: el SN65LVDM1676 (CMOS), el SN65MLVD047 (CMOS) [229] y el DS90LV110T (0,35  $\mu\text{m}$  CMOS7) [230]. El sistema de pruebas empleado era el mismo que en los dos apartados anteriores pero se comprobó que en este caso el número de fallos era bastante superior y parecía estar relacionado con problemas en la distribución de reloj, por lo que se sospecha que el dispositivo más sensible era el dispositivo de *fan-out* del reloj DS90LV110T.

	Zona TTC TIM
$N_T$	60
$N_F$	397
$N_r$	1
$\Phi_{CMS} (\text{cm}^{-2}\text{s}^{-1})$	20
$\Phi_{LOV} (\text{cm}^{-2}\text{s}^{-1})$	$5 \cdot 10^{10}$
$\lambda$	$9,53 \cdot 10^{-6}$
MTBF (horas)	29,15
MTBF (días)	1,21

Tabla 7.10: Tiempo medio entre fallos estimado debido a efectos de la radiación en los dispositivos de la tarjeta TIM durante su operación en CMS.

## 7.6 ESTUDIO DE LA OCUPACIÓN Y EL TIEMPO DE PROCESADO DEL SISTEMA

Con el fin de estudiar la ocupación esperada en las distintas memorias y su efecto en la velocidad de procesado del sistema de lectura formado por la ROB y la ROS se ha realizado una simulación Monte Carlo de los flujos de partículas en el detector para una luminosidad del LHC de  $10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  [231].

En primer lugar se generan en el punto de interacción de CMS sucesos *minimum bias*, es decir, colisiones entre protones de todos los tipos posibles, y no sólo aquellas cuyo resultado final proporcione alguna información física de interés. Estos sucesos *minimum bias* se han generado dentro del software de CMS (CMSSW) [232] que incluye el programa Pythia y Geant4 [233] de simulación del detector. Los sucesos se han generado dentro del rango de pseudorapidez  $-3 \leq \eta \leq 3$ , donde se sitúa el detector de cámaras de deriva, y se ha simulado su paso a través del detector de CMS considerando los efectos del campo magnético de 4 T. Se ha empleado la opción QGSP\_BERT\_HP de Geant4 que permite estudios de la física de neutrones de alta precisión con el fin de tener en cuenta todas las posibles contribuciones de dispersión de neutrones dentro del detector. Incluso con esta opción habilitada, el error estimado en la producción de neutrones es de un factor 2.

En total se han generado cerca de un millón de sucesos de *minimum bias* (994.883 sucesos). Se ha estudiado la propagación de cada partícula resultante de la colisión en el interior del detector y se han estudiado las lluvias de partículas creadas por procesos de *punchthrough*. Definimos como sucesos *punchthrough* aquellos que no tienen ningún muón en su trayectoria, ni como partículas “padre” ni “hijo”. Aunque estos sucesos no deberían generar una señal de disparo y por tanto, no deberían ser procesados por el sistema de lectura, sí que contribuyen a la ocupación de las memorias del sistema de lectura. Recordemos que la ventana de asignación del HPTDC es del orden de 1  $\mu\text{s}$ , mientras que la colisión de protones tiene lugar cada 25 ns, por lo que muchas de las señales generadas por estos sucesos *punchthrough* contribuirán a la ocupación del sistema de lectura aunque no tengan un interés físico.

El resultado de la simulación que nos interesa es, por tanto, el número de señales que se generan en las cámaras de deriva (*bits*) en cada zona del detector como consecuencia de todas las partículas simuladas que lleguen a las celdas de deriva y puedan crear una ionización suficiente como para generar un pulso electrónico en los hilos de las celdas.

En la figura 7.48 se muestra el número de *bits* producidos en cada una de las cinco ruedas del detector. Se observa que se producen 99.123 *bits*, lo que representa un 10% del total de sucesos generados en el punto de interacción. De esos 99.123 *bits*, aproximadamente el 88% (87.455) son producidos por partículas creadas en procesos de *punchthrough*, indicados con una línea roja discontinua en la gráfica. Se comprueba que la ocupación en las ruedas externas es mayor que en las internas, como es de esperar dado que se sitúan en una zona de mayor pseudorapidez.

La mayoría de estos *hits* tienen un tiempo de llegada a la electrónica de lectura diferente del que tienen los muones generados en el punto de interacción. En la figura 7.49 se muestra la distribución de los tiempos de llegada a las cámaras de deriva de cada una de las partículas que produce un *hit* durante una ventana de 1  $\mu$ s. El pico en torno a 20 ns se atribuye a las partículas originadas en el punto de interacción, como por ejemplo, muones. En línea roja discontinua se muestran los *hits* producidos por sucesos de *punchthrough*, que como puede verse tienen un tiempo de llegada mucho mayor ya que se deben principalmente a interacciones secundarias con los materiales del propio detector. El número de *hits* con tiempos de llegada superior a 1  $\mu$ s es del 28%.

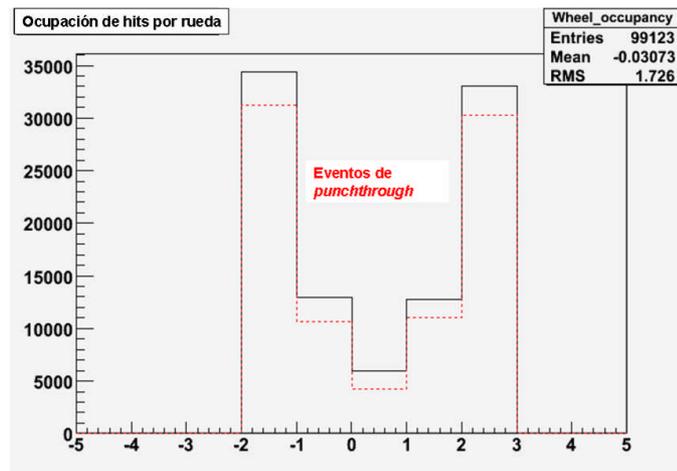


Figura 7.48: Ocupación de *hits* en las cinco ruedas del detector de muones de CMS.

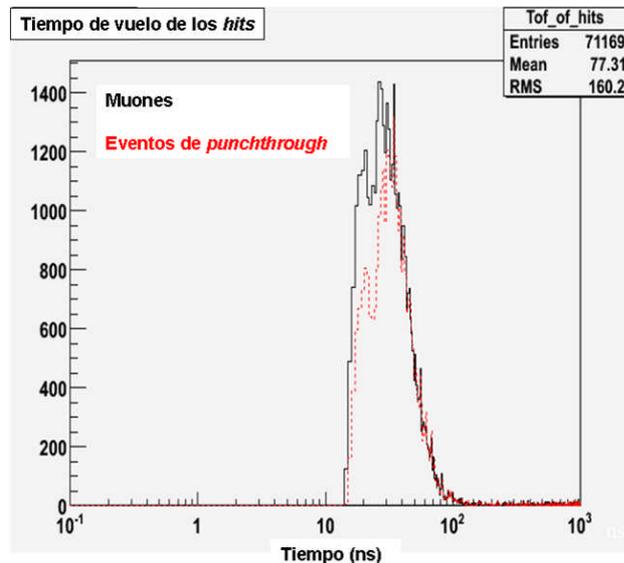


Figura 7.49: Distribución del tiempo de llegada a las cámaras de cada una de las partículas que generan un *hit*. Se observa que se obtienen 71.169 entradas (28%) con tiempos de llegada inferiores a 1  $\mu$ s.

En la figura 7.50 se muestra la distribución en función del sector de la ocupación de los *hits* para el caso de la rueda YB+2 que es la que presenta una

ocupación mayor en nuestra simulación. El hecho de que esta distribución no sea uniforme es debido a sucesos con múltiples interacciones, en los que se comprobó que se podían producir hasta 70 *hits* por suceso. Hay que tener en cuenta que un suceso con un muón genera al menos 44 *hits* en un sector, y el porcentaje de sucesos simulados en los que existe un muón es sólo del 12%. Aumentando la estadística de la muestra, la uniformidad de la distribución también mejorará.

Si representamos la ocupación esperada en cada uno de los tipos de cámaras de deriva, obtenemos la distribución que se muestra en la figura 7.51. Se comprueba que la ocupación es mucho mayor en las cámaras MB1, como es de esperar al estar más cerca del punto de interacción, pues allí se detendrán las partículas de menor energía.

En la figura 7.52 se muestra la ocupación en función de la Supercapa de esta cámara de deriva MB1, comprobándose que aún siendo mayor en la Supercapa  $\Phi_1$ , más cercana al punto de interacción, la diferencia no es mucho mayor con respecto a las otras, por lo que la diferencia entre la ocupación de la MB1 y MB2 se debe principalmente a la estructura de hierro que las separa, donde se detendrán un gran porcentaje de las partículas.

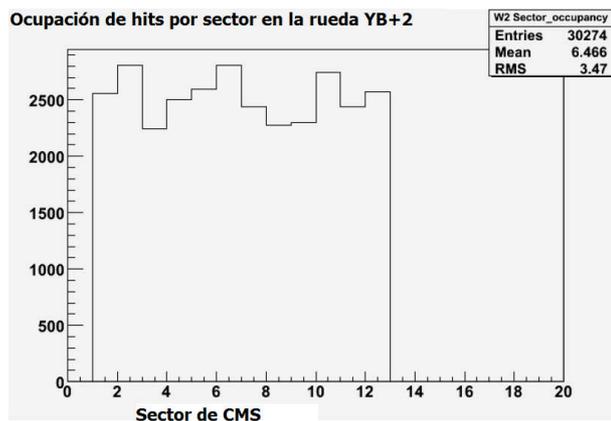


Figura 7.50: Distribución la ocupación de *hits* por sector en la rueda YB+2 de CMS.

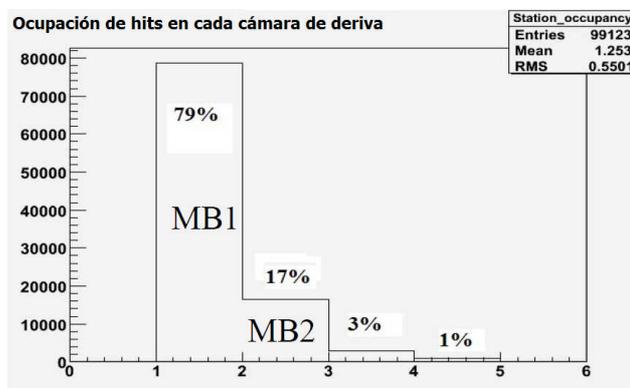


Figura 7.51: Distribución la ocupación de *hits* por cámara de deriva.

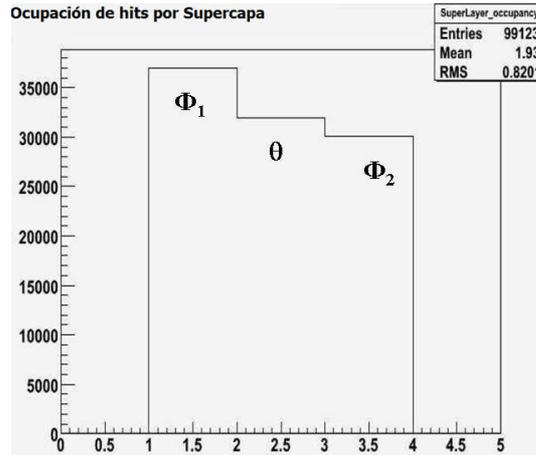


Figura 7.52: Distribución la ocupación de *bits* por Supercapa de la cámara de deriva.

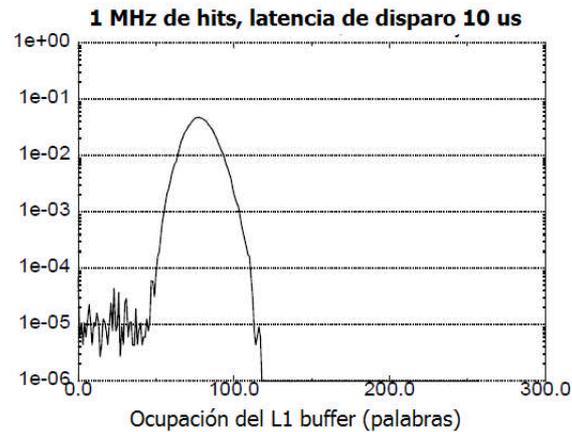
### 7.6.1 Ocupación de las memorias de la tarjeta ROB

Si consideramos una luminosidad del LHC de  $10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  y una sección eficaz de  $\sigma = 80 \text{ mb}$ , tenemos que en el punto de interacción el número de sucesos por segundo es de  $80 \cdot 10^7$ . Si consideramos el peor caso de la rueda YB+2 y estación MB1, donde se producen 2.212 *bits* de los 994.883 sucesos simulados, tenemos que la tasa máxima de *bits* esperada para una MB1 es de 1,78 MHz.

Como se indicaba en la figura 4.3, la conexión de las Supercapas con las tarjetas ROB es de tal forma que una misma ROB lee las mismas celdas de la Supercapa  $\Phi_1$  y  $\Phi_2$ , que contienen el 37% y 30% de los *bits* respectivamente. Se tienen 12 HPTDCs leyendo ambas Supercapas de la MB1, por lo que cada HPTDC recibirá una tasa de *bits* de 99,4 kHz, lo que se traduce en una tasa por canal de 3,1 kHz.

Cómo se ha comentado, estamos escogiendo el peor caso, y por tanto los valores obtenidos son algo superiores a los que muestran otros estudios [234] en los que el flujo máximo esperado por canal de HPTDC varía entre 1-2 kHz.

Estos *bits* ocuparán las memorias de primer nivel *L1 buffer* del HPTDC durante  $3,2 \mu\text{s}$  hasta que se reciba la señal de disparo. En las especificaciones del HPTDC se indica que la tasa máxima de *bits* recomendada es de 2 MHz cuando se emplean los 32 canales. En la figura 7.53 se representa la probabilidad de ocupación del *L1 buffer* cuando se inyectan *bits* no correlacionados con una frecuencia de 1 MHz y una latencia del disparo de  $10 \mu\text{s}$ . Se observa que la ocupación más probable es inferior a 100 palabras, siendo el tamaño del *L1 buffer* de 256, por lo que la memoria está lejos de saturarse. En nuestro caso, la tasa de *bits* esperados es mucho menor y también lo es la latencia, por lo que estamos lejos de saturar la memoria *L1 buffer* del HPTDC.



**Figura 7.53:** Porcentaje de ocupación de la memoria *L1 buffer* del HPTDC [40].

Una vez se ha realizado la asignación de *bits* a cada señal de disparo, los *bits* son enviados a la memoria de salida del HPTDC. El mecanismo de asignación realizará un filtrado del número de *bits*, pues sólo se seleccionan aquellos que se encuentren en el interior de la ventana de  $1 \mu\text{s}$ . Considerando una tasa de disparos L1A esperada en CMS de 100 kHz, los HPTDC están registrando el 10% del tiempo, por lo que las tasas de *bits* esperadas se reducen en el mismo factor si suponemos que los *bits* esperados se reparten uniformemente en el tiempo, como sucedería con el ruido de fondo (máximo de 0,31 kHz). Se puede repetir el cálculo suponiendo que el 72% de los *bits* caen dentro de la ventana de asignación, como se obtiene de la figura 7.49, en vez de considerar un factor de reducción del 10%, y en ese caso, la tasa por canal de HPTDC máxima esperada sería de 2,4 kHz.

En la figura 7.54 se muestra un ejemplo extraído de las especificaciones del HPTDC para un caso en el que cuatro HPTDCs comparten un protocolo de lectura serie a 40 MHz y la tasa de disparos es de 50 kHz y la de *bits* de 100 kHz en los 32 canales de cada HPTDC. Se observa que la ocupación de la memoria de salida es de 50 palabras máximo, siendo su límite de 256. En nuestro caso la tasa de disparos se dobla, pero el protocolo de lectura *byte-wise* a 20 MHz es cuatro veces más rápido que el serie a 40 MHz. Se concluye por tanto que las tasas de *bits* esperadas son lo suficientemente bajas como para que se puedan manejar en la tarjeta ROB sin problemas.

En la actualidad ya se está planeando una mejora del LHC que incrementará en un factor 10 la luminosidad, el SLHC (*Super Large Hadron Collider*) [235]. En este caso, las tasas indicadas se incrementarían en el mismo factor 10, pasando a tener una tasa de *bits* máxima de 31 kHz antes del filtrado por el disparo. Se comprueba que aún en este caso no existe ningún problema en la ocupación de las memorias del HPTDC. Es importante tener en cuenta además, que el HPTDC se puede configurar para rechazar *bits* cuando la memoria de salida se llena, disminuyendo la eficiencia de detección pero no bloqueando el sistema de lectura.

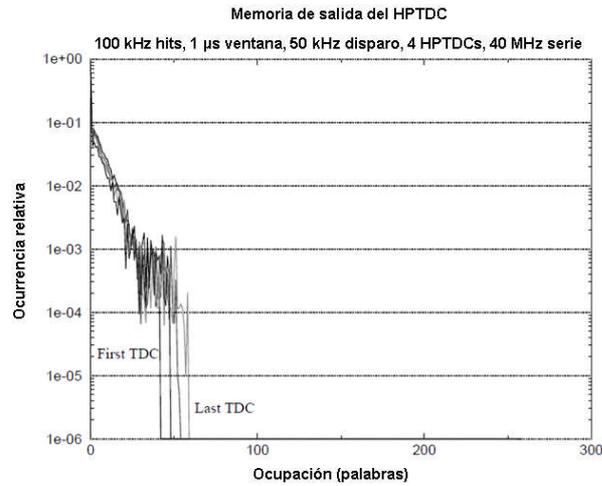


Figura 7.54: Porcentaje de ocupación de la memoria de salida del HPTDC [40].

A esta tasa de *bits* es necesario añadirle el ruido electrónico presente en el sistema y que puede ser originado por corrientes en las celdas debidas a problemas de alta tensión, fallos de las tarjetas de la electrónica frontal, malas conexiones a tierra, etc. Este ruido contribuirá a la ocupación de las memorias y debe intentar minimizarse. Para estudiar este ruido se realizan adquisiciones de datos con una señal de disparo aleatoria, de forma que los *bits* recogidos no están correlacionados con el paso de ninguna partícula cargada. Durante la construcción de las cámaras de deriva, se comprobó que el ruido por celda, es decir, por canal de HPTDC, era inferior a 50 Hz.

Una vez finalizada la instalación del detector se han comprobado los niveles de ruido del sistema como se puede observar en la figura 7.55 en la que se comparan distintas adquisiciones de datos con diversos subdetectores encendidos y en distintas condiciones de campo magnético.

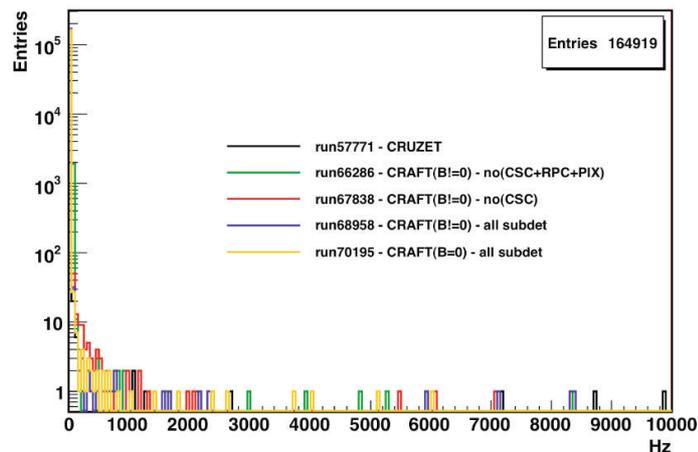


Figura 7.55: Histograma del número de celdas ruidosas en función de la frecuencia en el detector completo.

El nivel de ruido electrónico presente en el sistema cuando se opera el detector en condiciones normales (alta tensión encendida, ninguna celda enmascarada, etc) es de  $10^5$  celdas con ruido por debajo de 20 Hz,  $10^4$  por debajo de 100 Hz y del orden de 30 celdas con tasas de ruido por encima de 500 Hz en los 60 sectores de todo el detector. Por tanto, los niveles de ruido esperado debidos al propio detector son muy bajos. Se comprueba además que esta situación es estable a lo largo del tiempo durante meses. Asimismo, se comprueba que en general las zonas más ruidosas se encuentran situadas en los extremos de las cámaras de deriva.

## 7.6.2 Velocidad de procesamiento de la tarjeta ROS

Como ya se ha comentado, una tarjeta ROS se encarga de procesar la información correspondiente a un sector, es decir, 25 canales de entrada, cada uno correspondiente a 1 ROB (4 HPTDCs). En el presente apartado analizaremos el tiempo de procesamiento de eventos en la tarjeta ROS en función del número de *bits*, con el fin de estudiar su comportamiento para las tasas de ocupación esperadas. Para realizar este estudio he desarrollado un software en el lenguaje C++ que simula la lógica digital de las distintas FPGAs de la tarjeta ROS y calcula el tiempo de procesamiento dependiendo de los *bits* esperados en cada canal de entrada.

El tiempo que tarda la tarjeta ROS en procesar un evento depende del canal de entrada que recibe los *bits*. En la figura 7.56 se muestra este tiempo de procesamiento en unidades de cruce de haces ( $bx = 25$  ns) en función de la tarjeta ROB que proporciona 1 *bit*. Se observa que el tiempo de procesamiento es menor para la estación MB1, aumentando para las primeras ROB de las otras estaciones. La frecuencia máxima equivalente que se indica en rosa se ha calculado haciendo la inversa del tiempo de procesamiento y sirve como indicativo de la tasa máxima de disparo que puede soportar si no existiera ninguna memoria en la ROS. La frecuencia máxima real permitida es por tanto bastante superior.

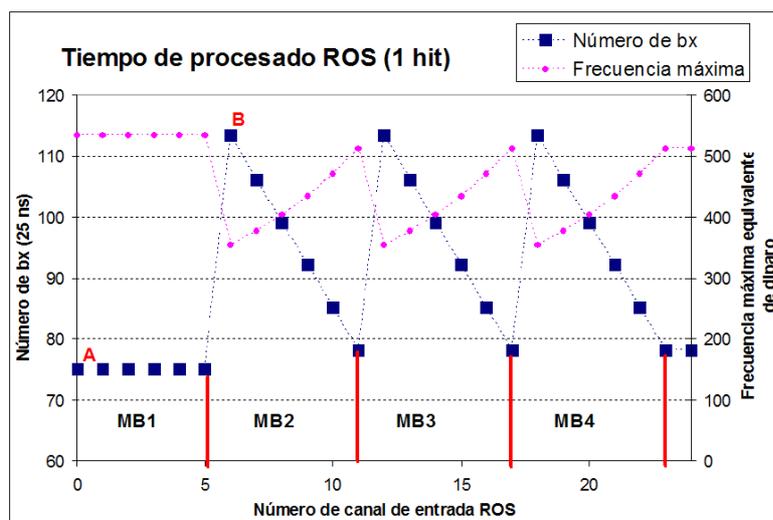
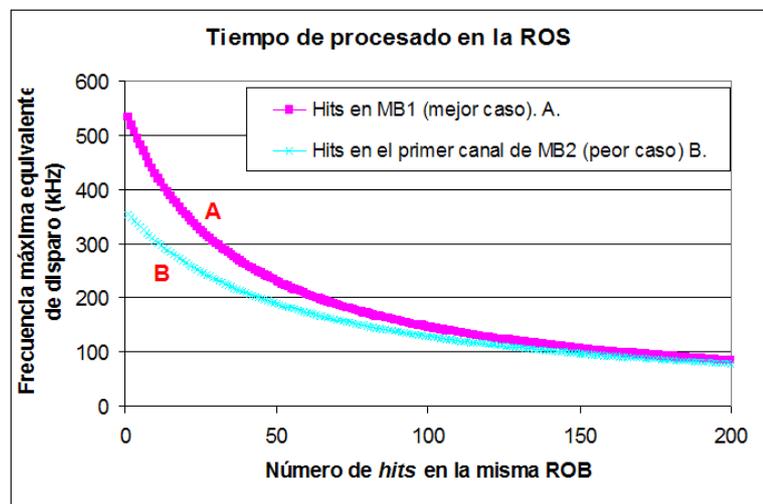


Figura 7.56: Tiempo de procesamiento de 1 *bit* en la ROS en función del canal de entrada que lo transmite.

Cuando el número de *bits* por suceso en el mismo canal se incrementa en  $H$ , el tiempo de procesado aumenta de acuerdo con la siguiente fórmula, donde *offset* es el número extra de  $bx$  que un canal necesita para procesar un evento de acuerdo con los valores indicados en la figura 7.56.

$$\text{Tiempo procesado ROS (bx)} = 73 + \text{offset} + 2 * H \quad (7.7)$$

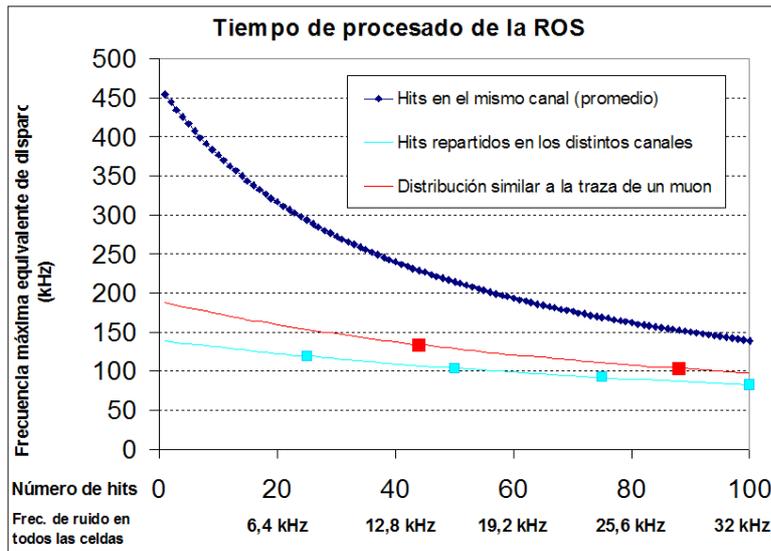
En la figura 7.57 se representa la frecuencia máxima equivalente en función del número de *bits* en el mismo canal de la ROS para el mejor caso (*bits* en MB1, punto A de la figura 7.56) y para el peor caso (*bits* en el primer canal de MB2, punto B de la figura 7.56). Se observa que la ROS puede manejar fácilmente regiones muy ruidosas concentradas en el mismo canal de entrada (equivalente a 128 canales de una cámara de deriva). Hay que tener en cuenta que 1 *bit* por evento en una ROB es equivalente a tener una celda con un ruido de 1 MHz o las 128 celdas de una ROB con un ruido de 8 kHz.



**Figura 7.57:** Frecuencia máxima equivalente de disparo en función del número de *bits* recibidos en el mejor y peor caso para la tarjeta ROS.

Se observa por tanto que la tarjeta ROS maneja fácilmente zonas ruidosas pero el tiempo de procesado aumenta del orden de un factor 2 al procesar eventos en los que el número de *bits* esté repartido en distintas ROB. Este efecto se puede observar en la figura 7.58. La curva superior se corresponde con el tiempo de procesado si todos los *bits* están en la misma ROB, realizándose un promedio de los valores que corresponderían dependiendo de qué ROB se trate. La curva inferior en azul claro es la extrapolación del tiempo de procesado que obtendríamos si todos los *bits* se distribuyeran uniformemente en todas las ROB. Los puntos cuadrados se corresponden con múltiplos del número de canales (25) y representan una situación real.

En la práctica, la traza de un muón proporcionaría aproximadamente 44 *bits* en cada sector distribuidos en distintas ROB. La curva de color rojo se corresponde con la extrapolación del tiempo de procesado que supondría procesar una distribución de *bits* similar a la que produciría la traza real de un muón.



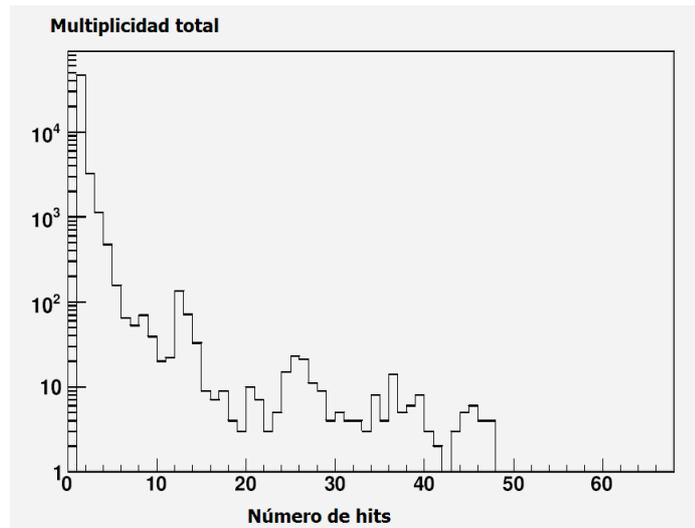
**Figura 7.58:** Frecuencia máxima equivalente de disparo a la que podría funcionar la ROS suponiendo que no existen memorias de entrada en función del número de *hits* recibidos.

Se concluye por tanto que la tarjeta ROS podría procesar un número de *hits* equivalente a un muón por sector con una tasa de disparo equivalente de 134 kHz, y dos muones en el mismo sector a 103 kHz. Esto supondría que en todos los eventos se tuviese un muón en el mismo sector, lo cual se encuentra lejos de lo esperado.

En la parte baja de la figura se incluyen las tasas de ruido que deberían existir en todas las celdas de todas las cámaras de deriva de un sector para proporcionar el mismo número de *hits*. Hay que tener en cuenta que existen 2.900 celdas en cada sector. Como se ha comentado anteriormente, el nivel de ruido electrónico en el sistema es muy bajo, del orden de 50 Hz por celda, por lo que no se espera un efecto significativo debido a él.

A continuación, veamos el impacto del número de *hits* simulados en sucesos LHC en el tiempo de procesamiento de la ROS. Supondremos que los *hits* simulados proceden todos de señales de fondo de las colisiones y a ello añadiremos el impacto de muones. De los 994.883 sucesos simulados, el número de *hits* máximo por sector es de 2.800, como se puede observar en la figura 7.50. La frecuencia de sucesos esperada para la luminosidad nominal del LHC es de  $80 \cdot 10^7$  sucesos por segundo, por lo que la tasa de *hits* por sector se traduce a 2,25 MHz. Teniendo en cuenta que la tasa de disparo es de 100 kHz y que en cada disparo la ventana de tiempo es de 1  $\mu$ s, el número máximo de *hits* por evento y por sector es de 2,25.

En la figura 7.59 se muestra la multiplicidad de *hits* que produce cada uno de los sucesos simulados. Se observan los picos de 12, 24 y 44 *hits* que se corresponden con sucesos en los que una partícula cargada deja señal en 1, 2 y 4 cámaras de deriva respectivamente. No obstante, puede observarse que la mayoría de los sucesos simulados produce 1 o 2 *hits*, por lo que parece razonable estimar en media 3 *hits* como las señales de fondo que la ROS tendrá que procesar en cada disparo L1A.



**Figura 7.59:** Histograma del número de *bits* obtenidos en cada uno de los sucesos simulados.

La tarjeta ROS podría trabajar a una frecuencia equivalente de 459 kHz si los tres *bits* están repartidos entre las distintas ROB de la MB1 (situación más probable) y 199 kHz en el peor caso, cuando los tres *bits* estén repartidos en la primera ROB de las cámaras MB2, MB3 y MB4. Como la frecuencia de disparo es bastante inferior a estos valores, la mayoría del tiempo la ROS procesará los eventos más rápido que el tiempo entre disparos y por tanto, sus memorias estarán prácticamente vacías.

En este estudio no se estaba teniendo en cuenta la presencia de las memorias de entrada de la tarjeta ROS, que permiten manejar tasas de disparo superiores a las descritas durante cortos períodos de tiempo.

El tamaño de un evento con un muón más la contribución del fondo será del orden de 52 bytes por ROB. Puesto que las FIFO de entrada de la ROS tienen una capacidad de hasta 4 kbytes, se pueden almacenar hasta 77 eventos consecutivos con un muón en la misma ROB antes de que se llenen las FIFO, suponiendo que el procesado no tenga lugar. Si se tiene un muón por evento distribuidos a todo lo ancho de la cámara, se pueden almacenar hasta 142 eventos consecutivos. Por lo tanto, hay un margen bastante amplio para almacenar ráfagas de eventos antes de que se llenen las FIFOs de la ROS, aumentando el margen permitido para la tasa de disparo instantánea.

Se concluye por tanto que el diseño de la ROS es adecuado para la operación durante el LHC y no se esperan problemas de saturación de las memorias. En el caso de que la luminosidad del LHC se incrementara en un factor 10 como se planea en el SLHC, podríamos esperar del orden de 22 *bits* por sector de fondo. La frecuencia equivalente de procesado de este tipo de evento es de 121 kHz en el caso de que los *bits* estén distribuidos por todo el sector, lo que es demasiado cercano al valor de la frecuencia de disparo máxima y no permite tener un margen de seguridad adecuado en el tiempo de procesado de la ROS. Por tanto, para el SLHC se están considerando diversas opciones para mejorar el rendimiento de la ROS o también el diseño de una nueva tarjeta.

### 7.6.3 Estudio del ancho de banda del enlace ROB-ROS

Como se ha comentado, el enlace entre las tarjetas ROB y ROS está basado en un cable de cobre de longitud media 30 metros (longitud mínima 10 metros y máxima 40 metros) transmitiendo 12 bits con un reloj de 20 MHz, es decir, el ancho de banda es de 240 Mbps. De los 12 bits que se transmiten, sólo 1 byte tiene información procedente del HPTDC, por lo que el ancho de banda efectivo es de 160 Mbps.

De los datos obtenidos en la simulación de la ocupación del detector, obtenemos que como máximo se esperan 3 *bits* de ruido de fondo en cada evento, que podemos considerar pertenecientes a una misma ROB en el peor caso. La contribución de los muones será pequeña, pudiendo considerar como peor caso 5 muones por evento repartidos uniformemente entre las 12 cámaras de una rueda (36 ROBs aproximadamente), lo que correspondería a que el 13,8 % de los eventos contiene un muón en una tarjeta ROB.

Cada *bit* contribuye a la tasa de datos con una palabra de 32 bits, a lo que hay que sumar la contribución de las cabeceras y colas de cada tarjeta ROB, siendo de otros 32 bits cada una. De esta forma, un evento con ruido de fondo únicamente tendría un tamaño de 20 bytes por ROB, mientras que un evento con un muón (8 *bits* por ROB, cuatro en cada Supercapa) tendría un tamaño de 52 bytes.

El tamaño medio de cada evento por ROB, considerando el 13,8% de los eventos con un muón, sería de 24 bytes, que a 100 kHz de L1A supone una utilización del ancho de banda media de 19,5 Mbps. Se concluye por tanto que el ancho de banda empleado en el enlace ROB-ROS es del 12,5 %.

### 7.6.4 Estudio del ancho de banda del enlace ROS-DDU

El enlace entre la tarjeta ROS y la tarjeta DDU se realiza mediante una fibra óptica de aproximadamente 75 metros de longitud funcionando con un ancho de banda de 800 Mbps, 640 Mbps efectivos.

Como se ha comentado, la ocupación esperada en cada sector es de 3 *bits* procedentes de ruido de fondo, que podemos considerar en el peor caso para la tarjeta ROS distribuidos en 3 ROBs distintas. A esto hay que añadirle los eventos que contengan un muón y que proporcionan 44 hits en un sector distribuidos en 7 ROBs diferentes. La tarjeta ROS en modo de operación normal contribuirá con una cabecera, una cola y con una palabra opcional proporcionando la información del cruce de haces. El tamaño medio del suceso esperado es de 80 bytes (48 bytes en un suceso sin muón y 280 bytes en un suceso con muón), lo que se traduce, a una tasa de disparo de 100 kHz, en 64 Mbps de ancho de banda medio empleado en cada enlace ROS-DDU, es decir, se emplea el 10% del ancho de banda disponible.

La tarjeta ROS disminuye la tasa de datos total transmitida al eliminar las cabeceras y colas de cada tarjeta ROB que no contengan información de interés. En el caso de que no se eliminasen, el tamaño medio del evento sería de 192 bytes y el ancho de banda empleado de 154 Mbps, es decir, casi el doble.

Como cada tarjeta DDU se encarga de la lectura de 12 tarjetas ROS, y se espera que 5 de ellas contenga información con un muón en cada evento y 7 de ellas sólo contengan ruido de fondo, el tamaño medio por evento esperado en la tarjeta DDU es de 1,74 kbytes.

## 7.7 ENSAYOS CON HACES DE MUONES

Las condiciones más similares de funcionamiento a las que se encontrarán durante la operación en el LHC se tienen en pruebas bajo haces reales de muones en aceleradores de partículas como los existentes en el CERN. Por ello se realizaron una serie de pruebas con el fin de validar el funcionamiento de la electrónica bajo estas condiciones.

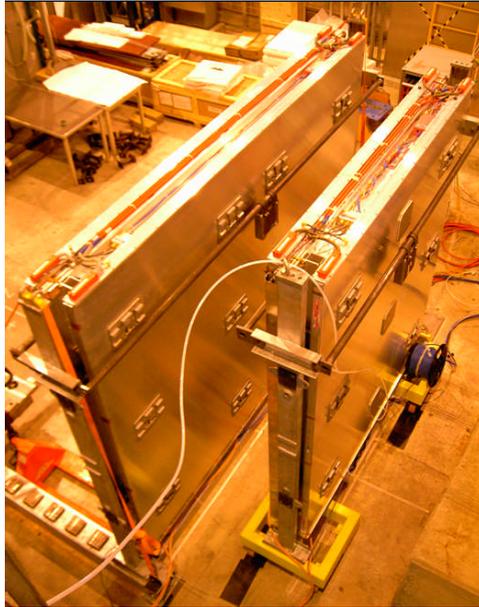
En total se han realizado cuatro ensayos, los dos primeros en Octubre y Noviembre de 2001 [236] y [237], utilizando una cámara de deriva de tipo MB2 construida en el CIEMAT y situada en una de las líneas de salida de haces del acelerador SPS (*Super Proton Synchrotron*) del CERN llamada GIF (*Gamma Irradiation Facility*) [238]. Durante este ensayo se empleó un sistema de lectura basado en TDCs comerciales y simultáneamente, se realizaba la lectura de los datos mediante una tarjeta ROB. Durante estos ensayos era posible generar distintos niveles de ruido de fondo mediante rayos gamma modificando la ocupación de las memorias del sistema de lectura, por lo que este ensayo fue de especial importancia para la validación de las tarjetas ROB [239].

En Mayo de 2003 se realizó otro ensayo en la zona H6 del acelerador SPS, dedicado fundamentalmente a la validación del sistema de disparo [240], [241], [242] y a comprobar la integración de todo el sistema electrónico de la cámara. En este caso se empleó una cámara de tipo MB3 con un Minicrate completamente operativo y el prototipo de la tarjeta ROS (ROS-8) empleado para la lectura de los datos procedentes del Minicrate.

Finalmente, en mayo de 2004 se realizó otro ensayo en la zona H2 del acelerador SPS del CERN donde se instalaron dos cámaras de deriva MB1 y MB3 junto a sus correspondientes Minicrates y dos tarjetas ROS-8 para su lectura. También se instaló por primera vez la cadena completa de disparo, siendo el principal objetivo de esta prueba la validación del sistema DTF. Algunas características de esta prueba de haces eran: la posibilidad de girar una cámara con respecto a la otra para simular la presencia de trazas curvadas, y la presencia de bloques de hierro de 5 cm de espesor entre las cámaras con el fin de estudiar el efecto del material del hierro de retorno del imán de CMS. Los resultados de esta prueba de haces confirman el correcto funcionamiento de la cadena de disparo y han sido publicados en [243]. En la figura 7.60 se puede observar una imagen de las cámaras durante este ensayo.

Hay que remarcar que la zona iluminada por el haz en los ensayos bajo haces de muones es muy pequeña, por lo que no es útil para el estudio de la ocupación de una tarjeta ROS, no obstante, sí permite validar su diseño durante largos períodos de toma de datos. El resultado de estas dos últimas pruebas de haces desde el punto de vista de la electrónica de lectura fue completamente satisfactorio, confirmando el correcto funcionamiento de las tarjetas ROB, de su

integración en el Minicrate y de la tarjeta ROS-8. Como se ha comentado, los dos primeros ensayos fueron los que permitieron validar el funcionamiento de la tarjeta ROB, por lo que nos centraremos en su descripción.



**Figura 7.60:** Imagen de las dos cámaras de deriva durante el ensayo de haz de pruebas de 2004.

### 7.7.1 Descripción del sistema durante el haz de pruebas del GIF (2001)

Durante dos períodos de 7 días en Octubre y Noviembre de 2001 se realizaron dos ensayos bajo haces de muones con una cámara de deriva. El GIF está situado en el área oeste del CERN, al final del haz X5, que es uno de los haces secundarios del sincrotrón SPS. El modo de operación puede ser variado, dependiendo de la estructura del haz que se utilice y de la naturaleza de las partículas elegidas en el haz secundario, pero es una instalación con capacidad de reproducir el haz estructurado de 25 ns que se tendrá en el LHC. Además, en el GIF existe una fuente de rayos gamma de  $Cs^{137}$  situada a 4 m de la posición de la cámara de deriva, capaz de generar un ruido de fondo en el área de incidencia del haz. Un sistema de filtros de plomo permite regular el flujo de este haz de rayos gamma, con 17 factores variables de atenuación, generando el más pequeño un ruido de fondo un factor 2 más grande que el máximo esperado en cualquiera de las cámaras de deriva del LHC.

El haz de muones cubría un área de aproximadamente  $10 \times 10 \text{ cm}^2$ , con una dispersión angular de  $\sim 2 \text{ mrad}$ . La cámara se situaba con los dos planos de hilos  $\Phi$  y  $\theta$  perpendiculares a la dirección del haz, y se desplazó en tres ocasiones con el fin de medir distintas regiones de la misma cámara. En la figura 7.61 se puede observar una representación esquemática del GIF y de la disposición de la cámara de deriva y de los filtros con respecto al haz incidente.

La salida de la electrónica frontal de la cámara de deriva se conectó por una parte a unas tarjetas digitalizadoras de tiempo CAEN [44] y simultáneamente a una tarjeta ROB. A la ROB se conectaron un total de 96 canales de la cámara,

$\Phi$  y  $\theta$ , suficiente para cubrir la región en la que incide el haz, que no es más que  $\pm 0,8$  celdas en  $\Phi$  y  $\pm 1,3$  celdas en  $\theta$ , lo que resulta en un total de 40 canales de una ROB. La pequeña sección transversal del haz es el principal inconveniente de los haces de muones.

El disparo se realizaba a través de un sistema de plásticos situados delante de la cámara de deriva y que se conectaban a una lógica de procesamiento y retardo para proporcionar una señal síncrona equivalente al disparo del LHC. Esta lógica de procesamiento no realizaba las tareas de la lógica del disparo de muones de CMS, sino que proporcionaba un disparo válido mediante un sistema de coincidencia entre dos plásticos paralelos de distinto tamaño. El disparo proporcionado era una señal eléctrica NIM [244] de 25 ns de anchura.

En total se realizaron tomas de datos durante dos períodos de irradiación, el primero de ellos, P2B, con un haz de muones no estructurado cuya intensidad era de aproximadamente 6.000 disparos/ciclo (1200 disparos/s), siendo la duración del ciclo de máquina (período de tiempo en el que hay partículas en el haz secundario) de 5,1 segundos y el período de repetición de 16,8 segundos. La segunda etapa de irradiación, P2C, consistía en un haz cuya estructura era de 25 ns, es decir, los muones venían agrupados en paquetes separados temporalmente entre sí múltiplos de 25 ns, siendo la intensidad del haz de 26.000 disparos/ciclo (5.000 disparos/s) para las mismas ventanas temporales del ciclo.

En ambos casos recibíamos señales NIM de comienzo y final del ciclo de máquina que podíamos utilizar como interrupciones de nuestro sistema de adquisición de datos para diferenciar entre la presencia o no del haz y estudiar, por ejemplo, los ruidos de fondo.

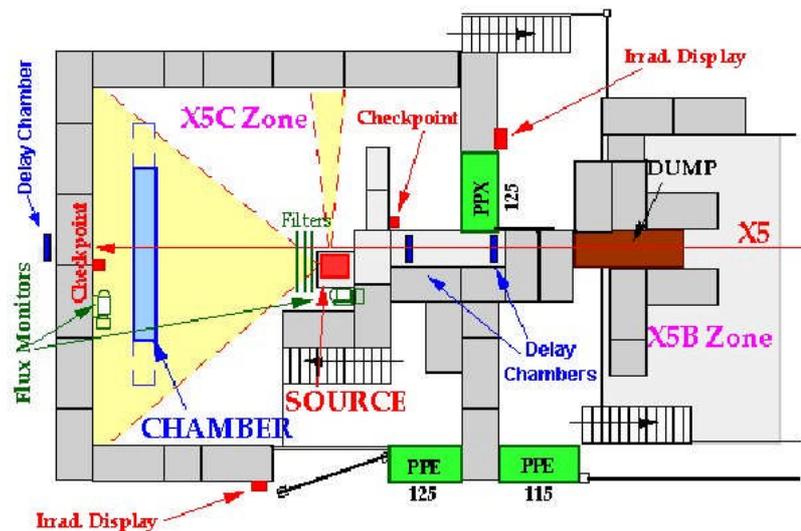


Figura 7.61: Representación esquemática del área del GIF donde se instaló la cámara de muones.

En la figura 7.62 se puede observar un esquema del sistema de pruebas que se diseñó para la toma de datos con la tarjeta ROB, que incluía una tarjeta VME Control-X para la configuración y monitorización de la ROB y una tarjeta VME de lectura de datos, similar a la ROS-8. Los 96 canales suponían utilizar tres

de los cuatro conectores de datos de la ROB, por lo que en el cuarto restante se introdujo como referencia temporal la señal de disparo, no sincronizada con el reloj de la ROB, proveniente del sistema de coincidencia como si fuera un *bit* más, introduciendo los retardos posteriores necesarios en el disparo, ya sincronizado, para ajustar correctamente la ventana de asignación.

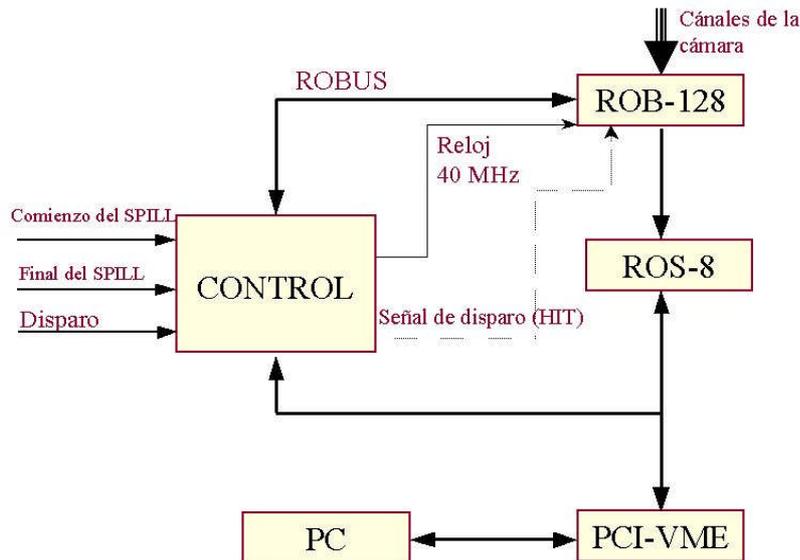


Figura 7.62: Esquema del equipo utilizado durante las pruebas de haces.

### 7.7.2 Primer período de prueba de haces, P2B

Durante el primer período del haz de pruebas se realizaron 7 tomas de datos de  $5 \cdot 10^5$  sucesos/ensayo. Los parámetros utilizados habían sido:  $1,1 \mu\text{s}$  de latencia,  $1,3 \mu\text{s}$  de ventana de rechazo, varios valores de la ventana de búsqueda según el ensayo: 900 ns,  $1 \mu\text{s}$ ,  $1,1 \mu\text{s}$  y distintos valores de ventana de asignación: 700 ns, 800 ns y 900 ns. Dado que el tiempo máximo de deriva es aproximadamente 400 ns, estos valores acomodaban perfectamente la ventana, como puede verse en la figura 7.63 en la que se observa la distribución temporal de los *bits* recibidos en todo el ancho de la ventana.

Como puede comprobarse en la figura 7.63, la ventana estaba bastante centrada en el rango dinámico de la celda y se aprecia perfectamente la zona de ruido y la zona correspondiente a los *bits* de los muones. Aunque es necesario que la ventana del HPTDC sea suficientemente grande para registrar todos los *bits* procedentes de una celda, independientemente de la posición por la que la atravesó la partícula, no debe utilizarse una ventana demasiado grande porque entonces se estarían recogiendo muchas señales producidas por ruido ambiente y podrían saturarse las memorias del HPTDC y perder señales que sí provengan del paso de un muón.

De los datos tomados se confirmó que no se habían producido errores en el HPTDC, ni había habido desbordamiento de ninguna de las memorias, por lo que la ROB se había comportado perfectamente.

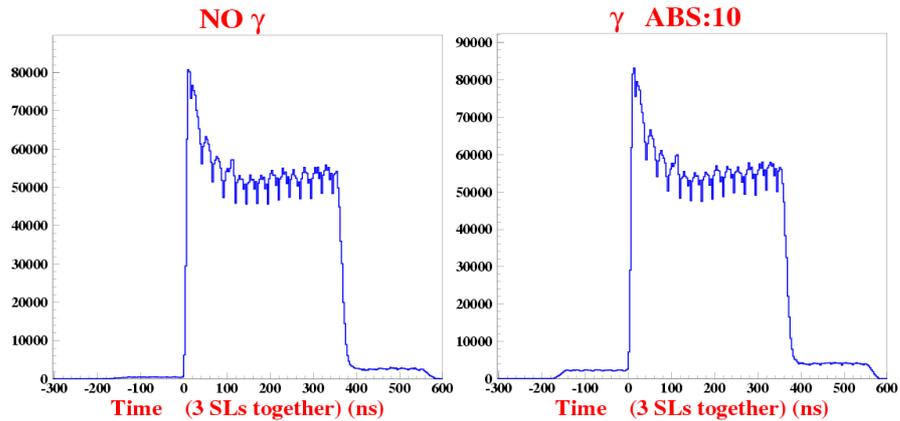


Figura 7.63 Distribución del tiempo de deriva de una celda sin ruido de fondo (izquierda) y con rayos gamma y un filtro del 10% (derecha).

Dado que introducíamos la señal de disparo como un *hit* más, resultaba muy sencillo el estudio del solapamiento de disparos, pues cuando esto tenía lugar, en ese suceso se encontraban dos (o más) *bits* de disparo en vez de uno, y en el siguiente suceso se reproduciría la misma estructura de *bits* posteriores al segundo disparo.

No se obtuvieron muchos sucesos con disparos solapados, lo cual es normal si se tiene en cuenta que la ventana de asignación duraba  $\sim 800$  ns y que la tasa de disparos con la que trabajamos era de aproximadamente 1 disparo/ms, por lo que la probabilidad de tener disparos solapados era sólo  $8 \cdot 10^{-4}$ , lo que implicaría unos 400 sucesos por ensayo con disparos solapados y el número medio que se tuvo fue del mismo orden, en torno a 700.

También se realizaron pruebas irradiando la cámara con rayos gamma procedentes de la fuente de  $\text{Cs}^{137}$  para simular el ruido de fondo bajo condiciones normales de operación del LHC. Como puede verse en la figura 7.63 el ruido efectivo total se vio incrementado, pero esto no tuvo efecto en el comportamiento del HPTDC a la hora de saturar las memorias ni provocar la pérdida de señales.

La estructura no horizontal del espectro del TDC que se puede ver en la figura 7.63, es debida a la no linealidad de la velocidad de deriva en la celda, y como puede verse se tiene una mayor densidad de valores pequeños de tiempo de la que debería haber, correspondiéndose con la región próxima al ánodo, lo que indica que el factor de aceleración en esa zona es mayor y los tiempos son menores de lo que deberían ser.

### 7.7.3 Segundo período de prueba de haces, P2C

Durante el segundo período de pruebas se realizaron 9 ensayos con un total de  $5 \cdot 10^6$  sucesos. La configuración de la ROB y el equipo utilizado fueron básicamente los mismos que durante el primer período de pruebas. La principal diferencia residía en la estructura de 25 ns que tenía en este caso el haz y su mayor intensidad.

En este ensayo se detectaron ocasionalmente mensajes de error del HPTDC, debidos al desbordamiento de las memorias. El motivo de ello fue que había dos canales ruidosos, el 16 y el 19 del HPTDC 1 de la ROB, los cuales pertenecían al mismo grupo de primer nivel de las memorias de ese HPTDC. La frecuencia con la que se obtenían *bits* en estos canales era del orden de megaherzios, lo que fácilmente saturaba la memoria si además se tiene en cuenta que se trataba de dos canales en el mismo grupo.

Se programó el HPTDC para que enviara información del estado de llenado de sus memorias junto con los datos, la cual permitía trazar el llenado de las mismas en cada suceso. Un ejemplo de los datos recibidos se puede ver en la tabla 7.11, donde se comprueba claramente que la memoria de primer nivel del grupo 2 del HPTDC 1 está a punto de llenarse completamente.

Memoria L1 (max)	TDC 0	TDC 1	TDC 2	TDC 3
grupo 0 (0-7)	6	16	14	11
grupo 1 (8-15)	17	17	21	12
grupo 2 (16-23)	16	254	5	5
grupo 3 (24-31)	13	15	0	0

•Ocupación mínima de la memoria L1 = 0; excepto TDC 1 grupo 2 = 8

FIFO de disparos	TDC 0	TDC 1	TDC 2	TDC 3
Ocupación max.	3	3	3	2

•Ocupación mínima de la FIFO de disparos = 0

FIFO de lectura	TDC 0	TDC 1	TDC 2	TDC 3
Ocupación max.	56	120	79	59

•Ocupación mínima FIFO de lectura = 3

**Tabla 7.11:** Ocupación de las distintas memorias del HPTDC durante un ensayo de la prueba de haces.

Esta frecuencia tan elevada en un canal indica que el ruido se debe a una oscilación en la etapa preamplificadora, posiblemente por tener algún problema en la conexión con el hilo de la celda. En posteriores ensayos, estos canales fueron deshabilitados pues no proporcionaban ninguna información de utilidad una vez que se había comprobado el comportamiento del HPTDC en esta situación, y se había garantizado que una situación ruidosa de este tipo afectaría únicamente a los 8 canales del mismo grupo, que serían los únicos en los que podría producirse la pérdida de datos por llenado de las memorias. El resto de los canales funcionaron perfectamente.

En la tabla 7.11 se observa también la ocupación de la FIFO de disparos, cuya ocupación máxima en este ensayo fue de 3 disparos. Esta memoria está lejos de saturarse, pues tiene hasta 16 posiciones. Lo mismo sucede con la FIFO de lectura para la transmisión de los datos, que aunque su ocupación es mayor en el caso del HPTDC 1 debido a los canales ruidosos, también está lejos de producir un desbordamiento, pues tiene 256 posiciones.

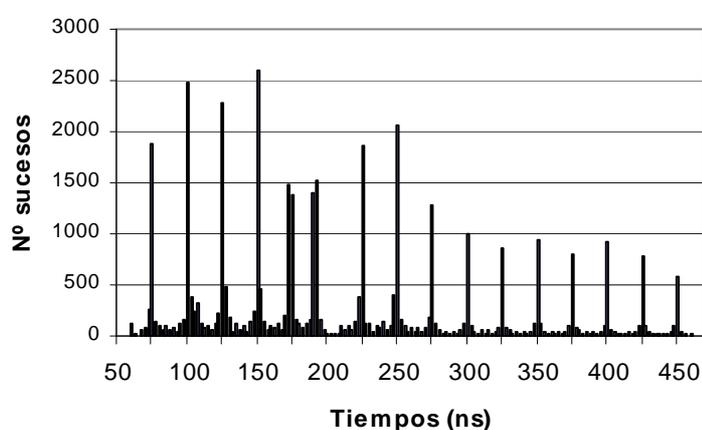
Con esta estructura de haces se obtuvieron hasta 5 disparos solapados que pudieron detectarse como *hits* en el mismo suceso. En la siguiente tabla 7.12 se observan las tasas de disparos solapados que se obtuvo.

	Número de sucesos observados	Porcentaje de sucesos solapados
2 disparos/suceso	38610	12,6 %
3 disparos/suceso	3256	1,1 %
4 disparos/suceso	154	0,05 %
5 disparos/suceso	6	0,002 %

**Tabla 7.12:** Tasa de disparos por suceso en el segundo período de prueba de haces.

Dada la elevada tasa de disparos de este período de pruebas, no es sorprendente el elevado número de sucesos solapados que se encuentra. La tasa de sucesos múltiples es 100 veces mayor que en el primer período mientras que la tasa de disparos es únicamente 5 veces mayor; esto se explica dada la estructura del haz, ya que al estar concentrados los muones en paquetes, es mucho más probable que se solapen sus ventanas temporales.

En la figura 7.64 se ha representado la separación temporal entre dos disparos solapados. En esta gráfica se puede observar claramente la estructura del haz, ya que la mayoría de los disparos están separados una distancia temporal múltiplo de 25 ns. El valor más probable es que estén distanciados entre 100 y 150 ns, disminuyendo la probabilidad cuanto mayor es la separación temporal.



**Figura 7.64:** Estructura de 25 ns del haz de muones, obtenida a partir de las diferencias temporales entre dos disparos en sucesos solapados.

Finalmente en la tabla 7.13 se muestra la comparación entre los resultados obtenidos en los valores de los *Meantimers*, velocidades de deriva y eficiencia de la cámara empleando el sistema de lectura de las tarjetas CAEN [44] y la tarjeta ROB. Los resultados no son exactamente iguales porque la estadística sobre la que se han calculado era diferente, pero se comprueba que los valores son totalmente compatibles.

	Lectura con tarjeta CAEN			Lectura con tarjeta ROB		
	SL $\theta$	SL $\Phi$ 1	SL $\Phi$ 2	SL $\theta$	SL $\Phi$ 1	SL $\Phi$ 2
<b>Meantimer promedio (ns)</b>	380,4	381,3	380,6	379,2	379,9	381,5
<b>Velocidad de deriva (<math>\pm 0,3</math>) (<math>\mu\text{m}/\text{ns}</math>)</b>	55,21	55,07	55,18	55,38	55,28	55,04
<b>Eficiencia</b>	99,92 $\pm 0,01$	99,97 $\pm 0,01$	99,97 $\pm 0,01$	99,97 $\pm 0,01$	99,97 $\pm 0,01$	99,97 $\pm 0,01$

**Tabla 7.13:** Resumen de los parámetros medidos en la cámara de deriva durante la prueba de haces con el sistema de lectura basado en las tarjetas CAEN [44] y con la tarjeta ROB.

En resumen, se ha demostrado que los HPTDCs y la ROB diseñada pueden soportar las condiciones de operación que se prevén en el LHC, respondiendo favorablemente a condiciones de ruido de fondo y también a situaciones de canales ruidosos que pueden deshabilitarse individualmente y que en todo caso, únicamente afectarían al funcionamiento de un grupo de 8 canales, sin provocar pérdida de señales en el resto de los grupos de canales del HPTDC. Hay que tener en cuenta que aunque la tasa de disparos que se manejaba en este caso es inferior a la que se espera en el LHC (5 kHz en vez de 100 kHz), la tasa de muones es mucho mayor, 500 Hz/cm<sup>2</sup> frente a 1 Hz/cm<sup>2</sup> que se espera en el LHC, y que en última instancia es lo que puede provocar el desbordamiento de las memorias.

## 7.8 PRUEBAS BAJO CAMPO MAGNÉTICO: MTCC

Durante el verano y el otoño de 2006 se realizó una prueba de integración del detector CMS denominada MTCC (*Magnet Test and Cosmic Challenge*) [245] y [246]. Los objetivos principales de esta prueba eran probar por primera vez el imán solenoidal y realizar un mapa del campo magnético, probar el sistema de alineamiento y operar conjuntamente los distintos subdetectores de CMS. Las pruebas tuvieron lugar en la nave SX5 situada en la superficie del punto 5 del LHC, donde tenía lugar la instalación de los subdetectores en las ruedas de CMS previamente a su descenso a la caverna.

Los objetivos concretos de la prueba eran los siguientes:

- Probar y comisionar el imán solenoidal, incluido su sistema de refrigeración, de alimentación y de control. También se pretendía comprobar los efectos de descargas rápidas y lentas del imán en los detectores y los suministros eléctricos.
- Realizar medidas de un mapa del campo magnético, midiendo el campo en la región del Tracker con una precisión de 40 G, el campo en el entrehierro, el campo de borde en las torres y en la periferia.
- Realizar la inserción de los módulos HCAL, ECAL y Tracker con la maquinaria y herramientas definitivas, y comprobar las tolerancias al

cerrar las ruedas de CMS entre sí, verificando la reproducibilidad del procedimiento. Tener el detector cerrado permitía también realizar medidas de alineamiento y comprobar las posiciones de unos elementos respecto de otros con y sin campo magnético, estudiando los desplazamientos producidos.

- Comisionar partes de los subdetectores con la electrónica final tanto del sistema de disparo como de lectura, realizando tomas de datos con rayos cósmicos y empleando el sistema de adquisición de datos global de CMS. La integración de los sistemas implicaba también la centralización del sistema de control DCS y la prueba de los distintos procedimientos de calibración y sincronización.
- Probar el software final de CMS (CMSSW) y poner a prueba el software de reconstrucción y visualización, las herramientas de validación de datos, la transferencia de los datos a los distintos centros remotos de almacenamiento, etc.

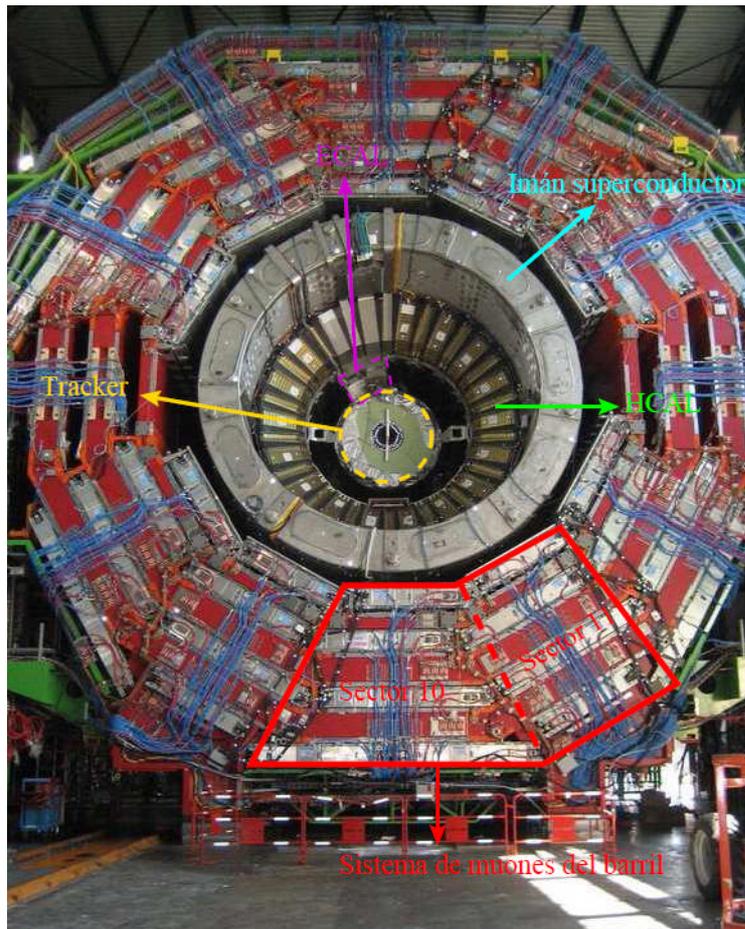
En definitiva, consistía en una prueba de conjunto que sirvió para estimar el estado de preparación de CMS de cara a los meses previos a la puesta en marcha del LHC y a las primeras tomas de datos.

El MTCC tuvo dos fases. En la primera de ellas se dispuso de al menos una porción de cada parte del detector final y las prioridades, además del test del imán, eran la toma de datos combinada de todos los subdetectores y su alineamiento. Se tomaron millones de datos con muones cósmicos sin campo magnético y con diversos valores del campo magnético entre 0 y 4 T.

En la segunda fase del MTCC se desmontaron el calorímetro electromagnético y el Tracker para poder realizar el mapa del campo magnético en el interior del solenoide. En esta segunda fase las prioridades fueron estudiar la sincronización del detector de muones y el efecto del campo magnético en las prestaciones de los detectores de muones.

En la figura 7.65 se pueden observar los distintos subdetectores que se emplearon durante el MTCC en las ruedas centrales, pretendiendo cubrir un ángulo de  $20^\circ$  de CMS. Se disponía de una pequeña porción del Tracker (1%), del ECAL (5%) y del HCAL (10%), y los sectores 10 y 11 de la rueda YB+2 y el sector 10 de la rueda YB+1 de las cámaras de deriva. En los *end-caps* se operaron los sectores equivalentes de las cámaras CSCs (36 cámaras en total) para cubrir un sector de  $60^\circ$  equivalente al mismo ángulo azimutal cubierto por las cámaras de deriva en el barril. Se emplearon 21 cámaras RPC tanto en el barril como en los *end-caps*, cubriendo las mismas zonas del resto de los detectores de muones.

Los tres sectores instrumentados suponen un total de 14 cámaras de deriva, es decir, un 5% del detector final. Las cámaras estaban equipadas con sus Minicrates finales y se instalaron dos chasis Sector Collector en las torres laterales con los prototipos disponibles de las tarjetas TIM, ROS y TSC. La información procedente del Sector Collector se enviaba mediante fibras ópticas a la sala de control 6593 (*Green Barrack*) situada en uno de los laterales de la nave SX5 y donde se habían instalado los correspondientes módulos DDU y DTF que se conectaban a una fracción del sistema de disparo y del DAQ global final.



**Figura 7.65:** Vista transversal de la rueda YB+2 durante la prueba del MTCC. Se indican los distintos subdetectores que se utilizaron durante las pruebas.

Como puede suponerse, durante este ejercicio fue necesario instalar todos los sistemas de alta y baja tensión de las cámaras, el sistema de distribución de gas y el sistema de refrigeración por agua. También estaban presentes los sistemas de seguridad del detector (DSS) y de control y monitorización de todo el sistema (DCS), realizándose por primera vez un esfuerzo de integración con los correspondientes sistemas de cada subdetector.

### 7.8.1 Resumen del comportamiento del sistema

En Julio de 2006 se completó la instalación y el cableado y, se cerraron las ruedas del detector, comenzando la prueba del imán mediante pasos sucesivos a distintas corrientes del solenoide hasta alcanzar el campo de 4 T el 22 de Agosto de 2006. Para cada valor del campo, se provocaban descargas rápidas de la corriente del imán con el fin de estudiar y mejorar el comportamiento del sistema para grandes energías liberadas en la masa fría del solenoide. En la figura 7.66 se pueden observar la corriente del imán en función del tiempo en las dos fases del MTCC, una corriente de 19,12 kA se corresponde con un campo de 4 T.

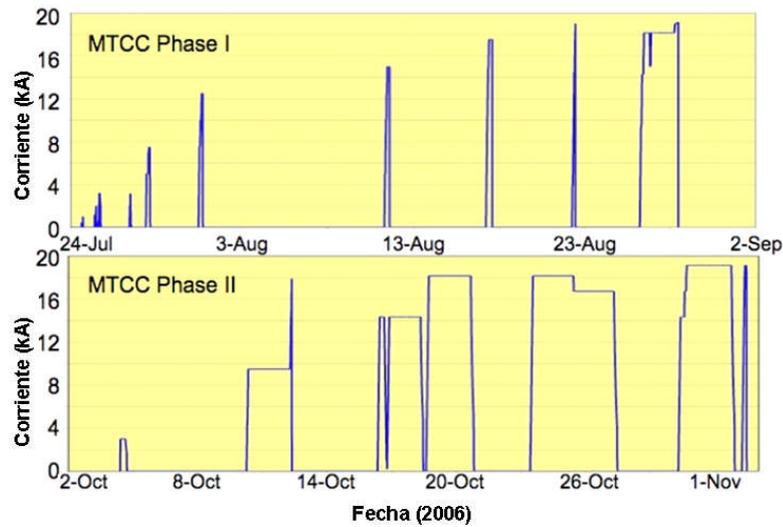


Figura 7.66: Diagrama temporal de las corrientes del solenoide de CMS durante las dos fases del MTCC.

Durante la primera fase del MTCC se tomaron datos durante 170 horas, recogiendo 50 millones de eventos cósmicos, 15 millones con un campo mayor o igual a 3,8 T. La tasa de disparo máxima era de 200 Hz y el tamaño del evento medio de 170 kB.

Durante la segunda fase se tomaron 180 millones de sucesos con el sistema global de adquisición de datos, 40 millones de ellos con un campo magnético de 4 T. La tasa de disparo ascendía a 400 Hz, participando todos los sistemas de muones en el disparo. En la figura 7.67 se representan los eventos acumulados a lo largo del tiempo y el valor correspondiente del campo magnético.

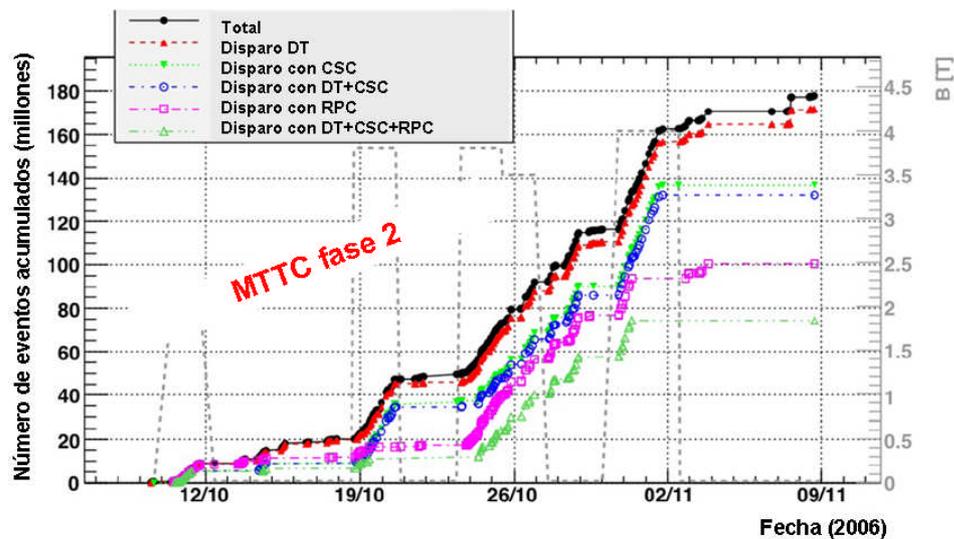
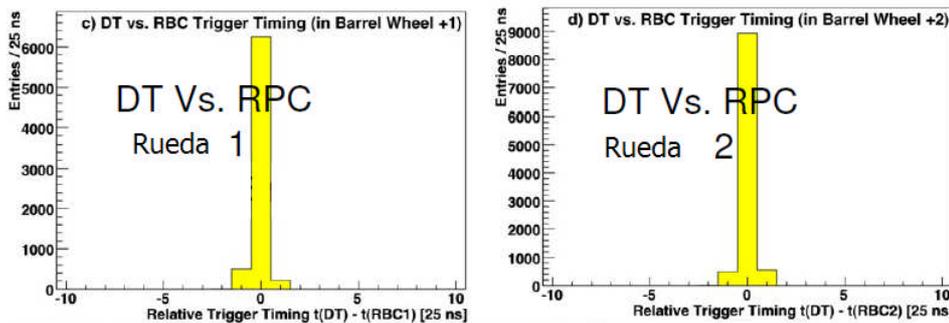


Figura 7.67: Evolución temporal del número de eventos adquiridos durante la segunda fase del MTCC.

Las tomas de datos con muones cósmicos difieren bastante de las esperadas en el LHC puesto que los cósmicos no están sincronizados con el haz ni provienen del punto de interacción. Con el fin de incrementar la aceptación por el hecho de que no provengan del punto de interacción se pueden modificar las configuraciones del sistema de disparo para admitir trazas con ángulos mayores. Se tomaron datos en distintas configuraciones, lo cual produce distintas tasas de disparo según los requisitos impuestos.

El hecho de que los cósmicos no lleguen a los detectores síncronos cada 25 ns, tal y como sucederá en el LHC o como sucedía en las pruebas con haces, dificulta la sincronización del sistema de disparo. Uno de los requisitos del mismo es asignar el cruce de haces al que pertenecen y como el tiempo de llegada es aleatorio, esto produce que en algunos casos se asignen a cruces de haces distintos en unos detectores y en otros. En primer lugar se realizó la sincronización de cada subsistema individualmente, con el fin de compensar los tiempos de vuelo y las distintas longitudes de los cables. Para ello fue de gran utilidad poder leer los datos de las tarjetas TSC a través de la tarjeta ROS, extrayendo la información de la cámara que produce el disparo, su calidad y el cruce de haces asignado. Introduciendo los desfases correspondientes se puede ajustar el sistema de forma que proporcionen el disparo en el mismo cruce de haces ficticio para la traza del mismo muón.

Una vez sincronizado cada subdetector localmente, se procedió a sincronizar los distintos detectores de muones. En concreto, es de especial importancia la sincronización entre las cámaras de deriva y las RPCs, dado que disparan exactamente sobre la misma traza. En la figura 7.68 se observa la distribución de la diferencia de cruces de haces asignados entre las DTs y las RPCs, consiguiéndose que dispararan en el mismo cruce de haces en más del 90% de los casos.



**Figura 7.68:** Histogramas de las diferencias de asignación de cruce de haces en el sistema de disparo de las cámaras de deriva y el subdetector RPC.

Se emplearon distintos modos de lectura durante el MTCC, dependiendo de las necesidades: lectura directa de la memoria de la ROS a través de la interfaz VME, lectura de la memoria de la DDU a través de VME o lectura a través del sistema DAQ global, que es el que se utilizó principalmente. Se verificó que la lectura de datos era correcta en todos los casos y que la integración de los distintos subsistemas era satisfactoria. Dado que la tasa de disparo era baja, no

había problemas de saturación de las memorias en ninguno de los modos de lectura.

La operación de la tarjeta ROS en el MTCC permitió identificar algunas mejoras como limitar el número máximo de palabras en cada canal para evitar que el malfuncionamiento de éste bloqueara el sistema de lectura o implementar la comunicación TTS entre la ROS y el DDU con el fin de notificar rápidamente al sistema TTC la necesidad de recibir comandos de resincronización o reducir la tasa de disparos.

Asimismo, la integración de la ROS y el TSC en el sistema Sector Collector permitió identificar un fallo en la tarjeta TSC que impedía leer correctamente el número de evento proporcionado por la tarjeta TIM.

El comportamiento del sistema de lectura ROB-ROS durante el MTCC fue muy satisfactorio. Se detectaron únicamente algunos problemas de enganche del enlace ROB-ROS al inicio de la campaña de toma de datos debido a problemas en la conexión de los cables en la tarjeta ROS. Se planificó por tanto un esquema de distribución de cables adecuado para la instalación final que impidiera que los conectores de entrada a la ROS se dañaran al realizar la conexión.

También se detectaron una serie de errores procedentes de los HPTDCs debidos a problemas durante la configuración, tanto por ficheros de configuración incorrectos como por errores durante el proceso de configuración del sistema DCS. Estos errores en general no producían la pérdida de datos por lo que no suponían un problema para el análisis posterior, pero permitieron identificar diversos aspectos del software de configuración que han sido corregidos posteriormente, como la selección de la fase correcta entre el reloj de la ROB y de la interfaz JTAG. Además, a partir del 28 de octubre se modificaron los ficheros de configuración con el fin de solucionar algunos de los problemas encontrados como el enmascaramiento incorrecto de canales, una configuración incorrecta en la asignación del número de cruce de haces, etc.

Durante el MTCC se realizaron algunas tomas de datos con señales de disparo aleatorias que permitían estudiar el ruido en las cámaras de deriva, detectándose únicamente aquellas señales aleatorias producidas por el ruido electrónico del sistema. Se consideraba ruidosa cualquier celda con una tasa de ruido por encima de 200 Hz, obteniéndose que el número de celdas ruidosas era inferior al 1%. En la siguiente figura se muestra el número de celdas ruidosas para distintas tomas de datos (Run). Sólo en algunas tomas de datos particulares se observó ruido coherente en distintas zonas del detector, pero la estadística era bastante pobre y no se pudo identificar la causa del ruido.

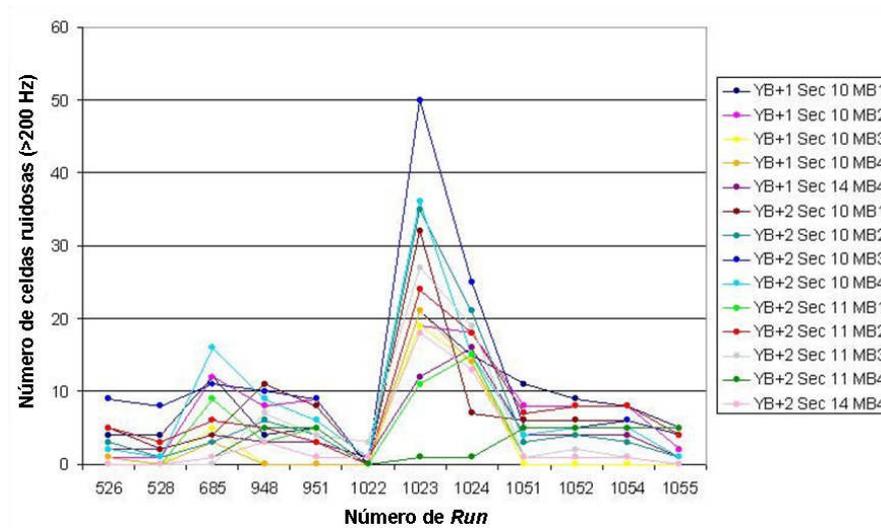


Figura 7.69: Número de celdas ruidosas en las cámaras de deriva durante el MTCC.

### 7.8.2 Pruebas del sistema de lectura con alta tasa de disparo

Dado que la tasa de disparos con cósmicos era muy inferior a la que se espera en el LHC, durante estas pruebas se realizaron diversas tomas de datos con la tarjeta ROS y una señal de disparo aleatoria de frecuencia promedio 100 kHz con el fin de simular la velocidad esperada en el LHC. Se configuraron algunas de las tarjetas ROB para enviar cabeceras y colas locales de forma que se simulara el número de palabras esperado si en cada suceso se tuviera que procesar la traza correspondiente a un muón real. Dentro de un sector, una ROB de cada Minirate correspondiente a las Supercapas  $\Phi$  proporcionaba 8 palabras extra y una ROB de la Supercapa  $\theta$  proporcionaba otras 4 palabras extra. A esta información se le añade el ruido electrónico presente en el sistema, obteniéndose un tamaño medio por suceso de 292 bytes (73 palabras de 32 bits).

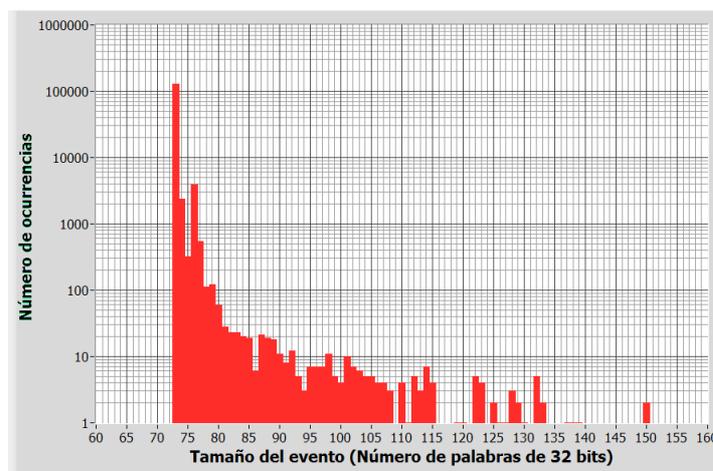


Figura 7.70: Histograma del tamaño del suceso en una ROS durante las pruebas de alta tasa de disparo realizadas en el MTCC. El tamaño del suceso se debe a la contribución del ruido electrónico más las palabras generadas a nivel ROB para simular una traza de un muón en cada suceso.

Se emplearon distintos niveles de tensión umbral en las cámaras, lo que proporciona distintas tasas de ruido, observándose que el nivel de ruido no suponía un problema para la operación de la ROS a alta velocidad.

Se comprobó que la tarjeta ROS funcionaba perfectamente a 100 kHz con el equivalente a un muón por suceso, lo que es muy superior a lo que se espera durante el LHC. No se observó ningún problema de integridad de los datos por funcionar a alta velocidad y sólo se superaron los límites programables PAF de FIFO casi llena en aquellos canales de mayor ruido electrónico. Se comprobó que si se transmitían el equivalente a dos muones por sector y por suceso, el límite de la tasa de disparo se situaba en aproximadamente 80 kHz, a partir del cual las memorias de la ROS comenzaban a llenarse.

### 7.8.3 Efecto de modulación con la señal de reloj

Durante las pruebas del MTCC se descubrió un efecto de modulación del reloj de 40 MHz en la estructura de la distribución de tiempos (*Timebox*) como se puede observar en la figura 7.71.

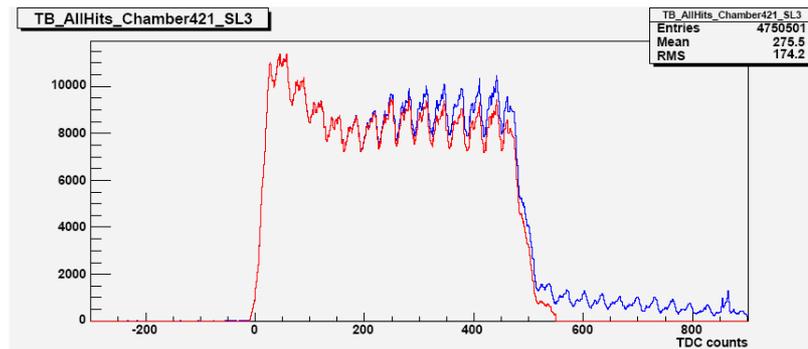


Figura 7.71: Distribución de tiempos afectada por la modulación de 40 MHz.

Tras analizar en detalle el funcionamiento de un Minicrate completo, incluido el sistema de disparo, se comprobó que esta modulación sólo tenía lugar cuando las tarjetas TRB estaban conectadas a las ROB y que sólo sucedía en los grupos de canales 0 al 4 y 27 al 31 de cada HPTDC, siendo especialmente crítico en los canales 4 y 27 de cada HPTDC. Estos canales afectados son aquellos en los que la señal procedente de la ROB se transmite a varios BTIs dentro de la TRB o a varios BTIs de distintas TRBs. Es por tanto un problema de integridad de la señal como se puede observar en la figura 7.72 ocasionado por la larga longitud de estas pistas en las TRBs que van a distintos BTIs y cuya impedancia no está ajustada correctamente.

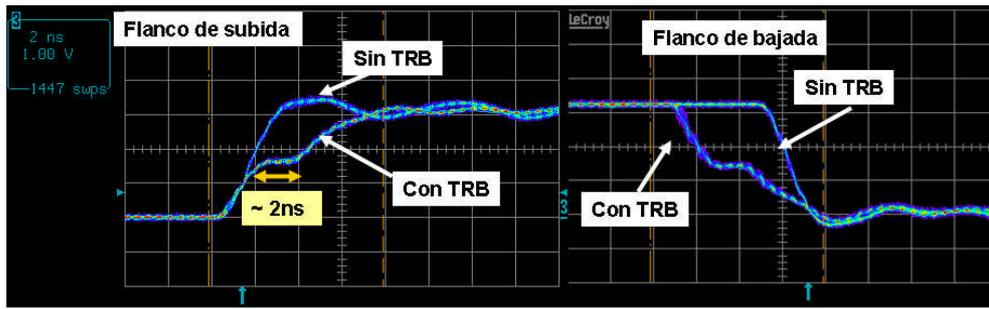


Figura 7.72: Distorsión de la señal temporal por efecto de la conexión de la TRB.

El principal problema que provocaba esta modulación era que el flanco de bajada estaba tan distorsionado que el HPTDC llegaba a detectarlo como flanco de subida cuando la señal de reloj coincidía con él. Esto es fácilmente solventable pues el ancho de las señales procedentes de la electrónica frontal es de 50 ns y el HPTDC puede ser programado con un tiempo muerto de 100 ns, por lo que el flanco de bajada no será detectado. La pérdida de eficiencia provocada por este tiempo muerto es despreciable.

Por otro lado, la distorsión del flanco de subida también introduce un efecto, aunque menor que en el caso anterior. La distorsión provocada por la conexión de la TRB crea una zona del flanco de subida muy lenta que es especialmente sensible a las perturbaciones por la señal de reloj. En la figura 7.73 se pueden observar las no linealidades diferenciales medidas para distintos canales de la ROB con y sin TRB conectada. Se observa que en algunos canales (caso A) el efecto es mínimo, en otros (caso B) el efecto es muy pronunciado debido a la detección del flanco de bajada y finalmente, en el caso C, no se detecta el flanco de bajada pero el efecto es bastante pronunciado en las zonas cercanas al flanco de subida del reloj (cuentas de HPTDC cercanas a 0 y 32). Se comprueba que en estos casos, de difícil solución, la DNL llega a ser de hasta 0,8, es decir, la distorsión es de hasta 0,6 ns. Dado que esto es significativamente inferior a la resolución temporal de la celda de deriva (~3,5 ns), consideramos que no influye negativamente en la resolución del detector.

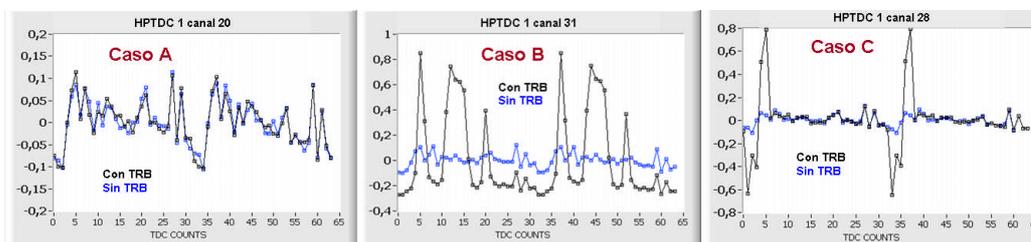
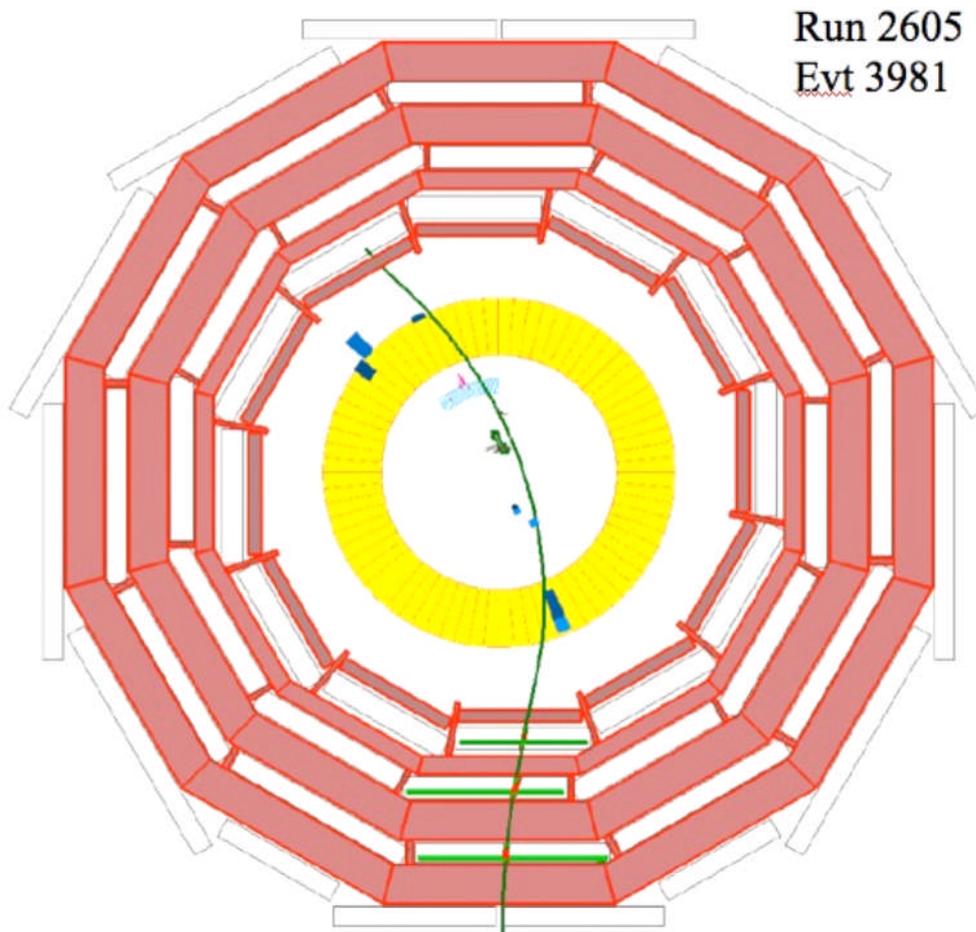


Figura 7.73: DNL medida para distintos canales con y sin TRB conectada.

En resumen, durante las pruebas del MTCC se comprobó que el funcionamiento de la electrónica de lectura bajo campo magnético era completamente satisfactorio, no observándose ningún efecto adverso producido por el campo magnético. Asimismo, la integración del sistema ROB-ROS-DDU y DAQ global de CMS fue totalmente satisfactoria, proporcionando un sistema de lectura fiable y estable que funcionó perfectamente durante más de un mes de

toma de datos continuada. Se recogieron millones de sucesos con muones cósmicos como el que se puede observar en la figura 7.74, que permitieron realizar estudios tanto de la eficiencia y rendimiento del detector [247] y [248], como del alineamiento de los distintos elementos que lo componen basado en las trazas medidas [249] y los primeros estudios de física basados en la proporción de muones de distinta carga en los rayos cósmicos [250].



**Figura 7.74:** Imagen de la traza reconstruida de un muón cósmico (en verde) disparado por las cámaras de deriva cuando el campo magnético era de 3,5 T. Las barras azules en el anillo amarillo se corresponden con las señales depositadas en el calorímetro hadrónico, en rosa las señales en el módulo ECAL y las distintas capas del Tracker en verde en el centro del detector.

## **7.9 INSTALACIÓN Y COMISIONADO DE LA ELECTRÓNICA. PRUEBAS CON MUONES CÓSMICOS CON Y SIN CAMPO MAGNÉTICO**

Como ya se ha comentado, las cámaras de deriva se terminaban de equipar con los Minicrates en la nave ISR del CERN y eran transportadas posteriormente para su instalación en las ruedas de CMS. Se instalaron en superficie un total de 210 cámaras de deriva, no siendo posible instalar las cámaras de los sectores 1 y 7 pues es donde se situaban las sujeciones de la grúa para el descenso de las ruedas a la caverna de CMS. Estas últimas cámaras se instalaban en la caverna, donde se completó la instalación de todas las cámaras de deriva de CMS el 26 de octubre de 2007. Una vez instaladas en las ruedas, las cámaras y sus Minicrates eran probados para verificar que no se había producido ningún daño durante la instalación. El proceso de las pruebas comenzó en abril de 2005 y se extendió durante más de dos años en paralelo con la instalación.

Mientras tanto, se equipaba cada sector con todo el cableado que lo conectaba a las torres en los laterales de las ruedas para la distribución de la alta y baja tensión, las señales TTC, el sistema de control, la salida de datos de disparo y lectura, etc. También se finalizaban las conexiones del sistema de distribución del gas de las cámaras y las tuberías para la refrigeración por agua.

En abril de 2007 comenzó la instalación del sistema Sector Collector, probándose cada sector de uno en uno y verificando que todo el sistema funcionaba correctamente. Las pruebas comenzaron en la superficie de CMS, probándose los sectores de las ruedas YB-1 y YB-2 con un sistema similar al empleado durante el MTCC. El resto de las ruedas se probaron en la caverna y a medida que avanzaba la instalación del cableado desde las torres a la sala de control se verificaba la correcta integración del sistema.

Las pruebas de cada sector incluían la toma de datos cósmicos, pruebas de *Test Pulses* y pruebas de ruido con una señal de disparo aleatoria [251]. Se tomaban al menos 100.000 sucesos cósmicos con cada sector. Dado que la tasa de disparo en la caverna era aproximadamente 50 veces inferior a la que se tenía en superficie, algunas tomas de datos duraban del orden de 8 horas. La tasa de disparo también dependía del sector en estudio, puesto que el flujo de cósmicos es muy superior en la dirección perpendicular a la superficie de la tierra. En la figura 7.75 se muestra la tasa de disparo medida con cada sector, observándose la gran diferencia entre los sectores horizontales (4 y 10) y los verticales (1 y 7). La diferencia entre los sectores 4 y 10 es debida al efecto del hierro de las ruedas de CMS. Asimismo se puede observar la diferencia entre las distintas ruedas, siendo la tasa de disparo bastante superior en la rueda YB0 puesto que es la que se encuentra más cerca de la apertura del pozo de la caverna, teniendo por tanto menor cantidad de roca por encima.

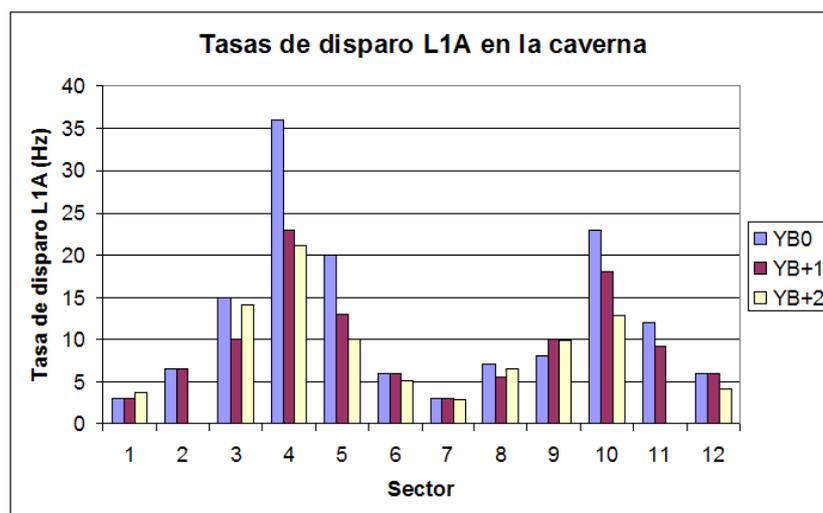


Figura 7.75: Tasas de disparo medidas en las distintas ruedas y sectores de las cámaras de deriva.

En noviembre de 2007 el sistema estaba listo para las primeras pruebas con una rueda completa, YB0. Puesto que en las tomas de datos con cósmicos los muones no proceden del punto de interacción, se realizó una sincronización especial para compensar el tiempo de vuelo en los sectores superiores e inferiores, de forma que todas las cámaras produjeran la señal de disparo en el mismo ciclo de reloj. También se desarrolló un sistema para generar un disparo técnico (*Technical trigger*) que podía estar formado bien por la lógica OR de todos los sectores o la AND de los tres sectores superiores y los tres inferiores, favoreciendo así trazas que atravesaran los detectores situados en el interior del solenoide de CMS.

Durante estas pruebas ya se disponía de todo el sistema dentro de la caverna (UXC), instalado en su posición final. La mayoría de los programas que se utilizaban para la toma de datos eran las versiones finales que fueron modificados y mejorados de acuerdo a las necesidades. En la figura 7.76 se puede observar un diagrama esquemático de los componentes esenciales para la realización de estas pruebas. En la parte superior se observa una cámara de deriva y su Minicrate, que se conectaba mediante fibra óptica y cobre al sistema de configuración y monitorización DCS (*Detector Control System*) situado en la sala USC y controlado por el ordenador cms-dt-dcs-yb0.cern.ch.

Los Minicrates se alimentan a través de los módulos LV (*Low Voltage*) situados en los armarios contiguos a las ruedas de CMS. Estos módulos, así como los módulos de alta tensión que alimentan las cámaras de deriva se controlan a través de un software específico denominado PVSS. En los armarios de las torres también se sitúan los chasis del Sector Collector con las tarjetas ROS y TSC, que reciben mediante enlaces de cobre la información correspondiente al sistema de lectura y de disparo procedente de los Minicrates.

El software que permite la configuración y monitorización de los módulos del Sector Collector es diferente para el sistema de lectura (XDAQ) y para el sistema de disparo (TSC program) y se ejecuta en cinco ordenadores distintos, uno para cada rueda de CMS (vmepcs1d12-06 a vmepcs1d12-10). Los datos de



probar simultáneamente las cinco ruedas de CMS en los *Global Runs* llamados CRUZET (*Cosmic Run at Zero Tesla*).



Figura 7.77: Participación de las cámaras de deriva en los distintos ejercicios de *Global Runs*.

Para la toma de datos en modo de pruebas pueden emplearse distintos modos de lectura. Si se toman datos con un único sector, se puede realizar la lectura de los datos a través de la interfaz VME leyendo directamente la ROS correspondiente. Para leer datos de más de un sector, hasta una rueda completa, se puede leer en modo local de la memoria interna del DDU, empleando también una interfaz VME. No obstante, para leer dos o más ruedas, es necesario emplear el sistema conocido como Minidaq, que es una pequeña partición del DAQ global con el que las cámaras de deriva pueden funcionar en modo autónomo empleando el sistema de salida de datos final (S-Link) y el sistema TTS.

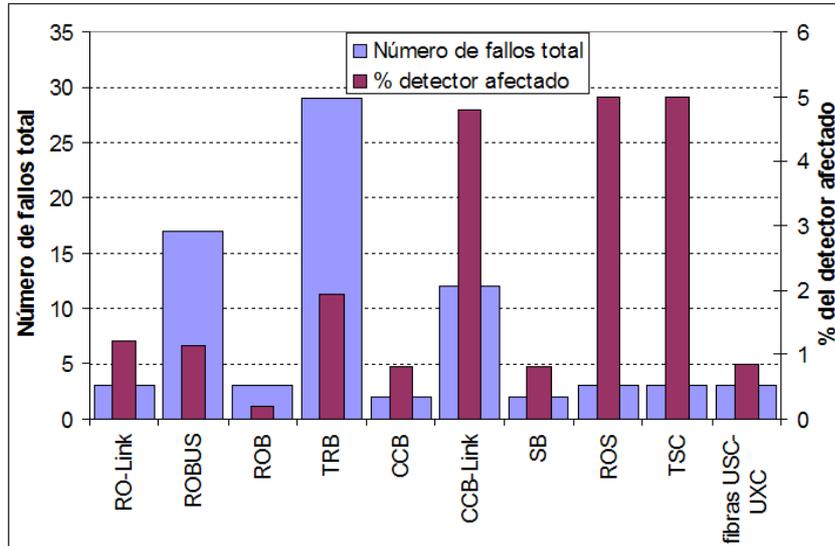
Durante todo este período de comisionado de la electrónica se verificó el correcto funcionamiento de todo el sistema de cámaras de deriva y se realizaron las intervenciones necesarias para solucionar los diversos problemas encontrados. En la figura 7.78 se muestran los números de fallos encontrados en las distintas partes del detector desde abril de 2007 hasta finales de 2008. Se observa que los elementos más problemáticos son el conector ROBUS, las tarjetas TRB y las tarjetas CCB-Link.

El problema encontrado en el conector ROBUS está relacionado con una mala conexión entre el conector y el cable y suele suceder en Minicrates que han sido manipulados en las diversas etapas de instalación en Legnaro, el CERN, etc. El ritmo de fallo ha disminuido a lo largo del año 2008 y su reparación se limita al recripado de ese conector individual.

Los problemas en las tarjetas TRB están asociados a problemas en las soldaduras de los módulos BTI. La escasez de módulos BTI hace que en la actualidad se estén estudiando diversas opciones para reemplazar estos módulos por otros dispositivos de lógica programable con el fin de garantizar un cupo de tarjetas de repuesto suficientes durante la vida del detector.

Con respecto a la tarjeta CCB-Link, se observó que el problema estaba relacionado con una sensibilidad a picos de corriente producidos por descargas electrostáticas que inutilizaban la transmisión mediante el enlace de cobre. En la

actualidad se están instalando una serie de protecciones con el fin de mejorar la fiabilidad del sistema.



**Figura 7.78:** Distribución del número de fallos de cada componente durante el comisionado de la electrónica de las cámaras de deriva desde abril de 2007 a finales de 2008.

### 7.9.1 Tomas de datos con el imán de CMS: CRAFT

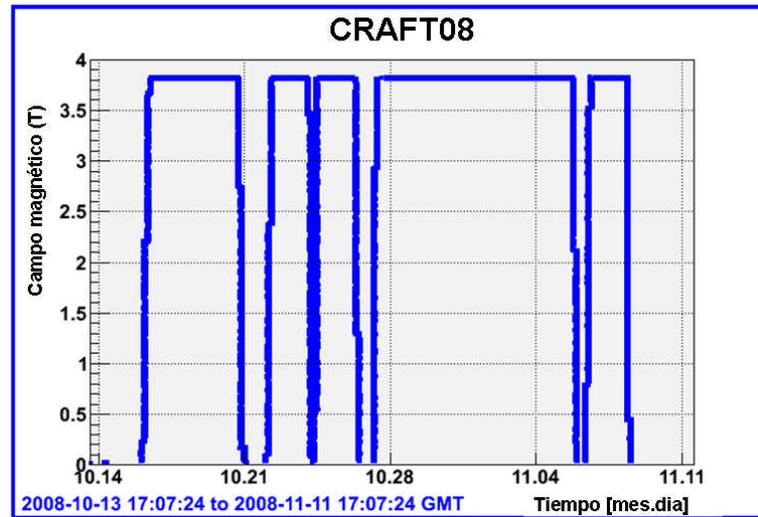
Desde mayo de 2008 se participó en diversas campañas de tomas de datos con el detector completo. Las más relevantes fueron las campañas denominadas CRUZET (*Cosmic Run at Zero Tesla*), donde se operaba conjuntamente todo CMS para la toma de datos de rayos cósmicos sin el campo magnético y CRAFT (*Cosmic Run at Four Tesla*), donde se tomaban datos con el imán de CMS funcionando a un campo nominal de 3,8 Tesla.

El sistema de lectura y de disparo de las cámaras de deriva ha participado en básicamente el 100% de estas tomas de datos, siendo un elemento clave para la selección y reconstrucción de muones cósmicos. En total se han tomado 320 millones de sucesos cósmicos sin campo magnético y unos 370 millones con campo magnético. La frecuencia de disparo era de 360 Hz, de los cuales aproximadamente 240 Hz provenían del sistema de disparo de las cámaras de deriva [252].

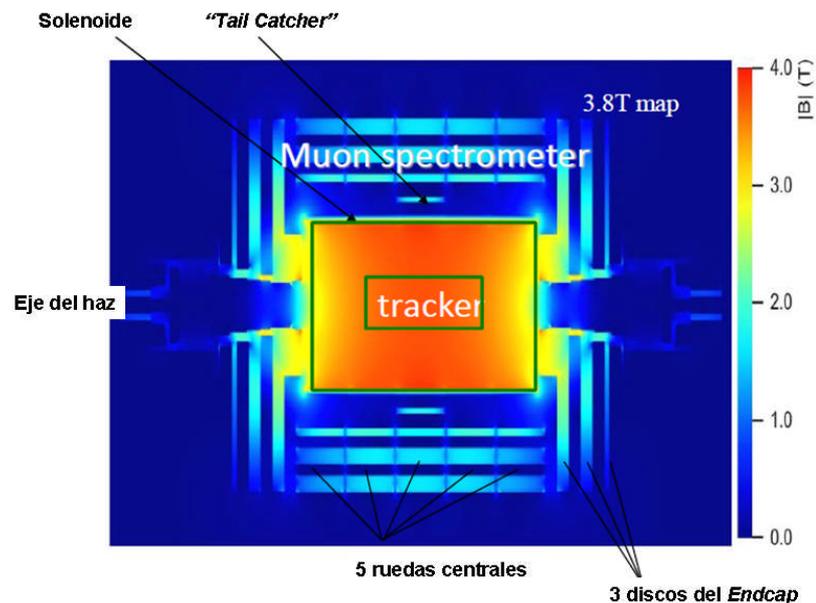
Debido a que los muones cósmicos no proceden del punto de interacción cómo sucederá en el LHC y a que su tiempo de llegada es aleatorio, fue necesario ajustar el sistema de disparo con el fin de maximizar su eficiencia en este tipo de toma de datos. En primer lugar fue necesario ajustar la sincronización temporal, dado que la mayoría de las trazas cruzan verticalmente el detector de arriba a abajo, se compensó el tiempo de vuelo de los muones a través del detector de forma que los sectores superiores e inferiores produjesen la señal de disparo en el mismo ciclo de reloj. Por otro lado, se relajaron las condiciones en la selección de direcciones y ángulos en el sistema DTF, generando un disparo si se encontraban al menos dos trazas de calidad HH o HL en dos cámaras de un

sector y además el rango permitido en la coordenada  $\theta$  se maximizó para evitar la selección de trazas provenientes del punto de interacción.

El período de toma de datos de CRAFT duró aproximadamente cuatro semanas continuas, tomando datos 24 horas al día. En la figura 7.79 se puede observar el valor del campo magnético a lo largo de este período. Asimismo, en la figura 7.80 se observa la distribución espacial del flujo magnético en el detector.



**Figura 7.79:** Valor del campo magnético del solenoide de CMS en función del tiempo durante las tomas de datos del CRAFT en otoño de 2008.



**Figura 7.80:** Vista transversal del mapa de la intensidad del campo magnético en el detector CMS.

El sistema de cámaras de deriva participó en todas las tomas de datos excepto en las rampas de subida y bajada del imán, donde se reducía el valor de la alta tensión en las cámaras de deriva por seguridad.

La operación continua del detector durante cuatro semanas demostró la estabilidad de los sistemas de distribución de alimentación, de las señales de sincronización y de los enlaces de lectura y disparo, que funcionaron de forma muy satisfactoria. Únicamente se observaron algunos problemas de descargas de alta tensión en algunas celdas y un Minicrate que se apagaba automáticamente tras aproximadamente seis horas de operación. Este último problema se identificó como un problema de la tarjeta de control CCB que fue sustituida.

También se observaron diversos problemas de fugas de agua en el sistema de refrigeración, lo que obligó a apagar la alta tensión en algunas cámaras y un Minicrate. En la actualidad se está instalando un sistema de detección de fugas de agua en el detector para minimizar el impacto de este tipo de problemas.

El único efecto observado en el funcionamiento de la electrónica bajo campo magnético fue un problema en la lectura de los sensores de temperatura de las tarjetas ROS. Aproximadamente un 5% de las tarjetas tenían fallos en la lectura de los sensores durante las rampas de subida del campo magnético. Una vez se alcanzaba un campo magnético estable el problema se resolvía apagando y encendiendo nuevamente las tarjetas, por lo que no supone ninguna restricción en la operación del detector.

Durante estos periodos de toma de datos también se realizaron pruebas con alta tasa de disparo L1A simulada de 100 kHz. Se comprobó que el sistema funcionaba perfectamente sin problemas de llenado de memorias ni de fiabilidad de los enlaces de transmisión de datos.

Con el fin de verificar la estabilidad del sistema de lectura a lo largo de las cuatro semanas de toma de datos se han analizado los problemas encontrados a partir de la información de los errores proporcionados por las tarjetas ROS durante todo el período de adquisición de datos.

En las siguientes figuras se representan el porcentaje de ficheros de toma de datos (“*runes*”) en los que se ha detectado algún error en algún evento en cualquier parte del sistema. El porcentaje siempre es superior a 0 pues en algunos casos se tenían problemas con la configuración del sistema o con la distribución del reloj. Se indican las causas de los errores más frecuentes, que han sido solucionadas durante el invierno 2008-2009. Asimismo, las zonas correspondientes a los sectores 7, 10 y 11 de todas las ruedas tienen un porcentaje de fallos mayor debido a problemas esporádicos de la distribución de baja tensión que provocaba el apagado completo de esos sectores. Este problema estaba relacionado con un fallo en la comunicación de los módulos de alimentación y ya ha sido resuelto. Se comprueba que en general la estabilidad del sistema es bastante satisfactoria.

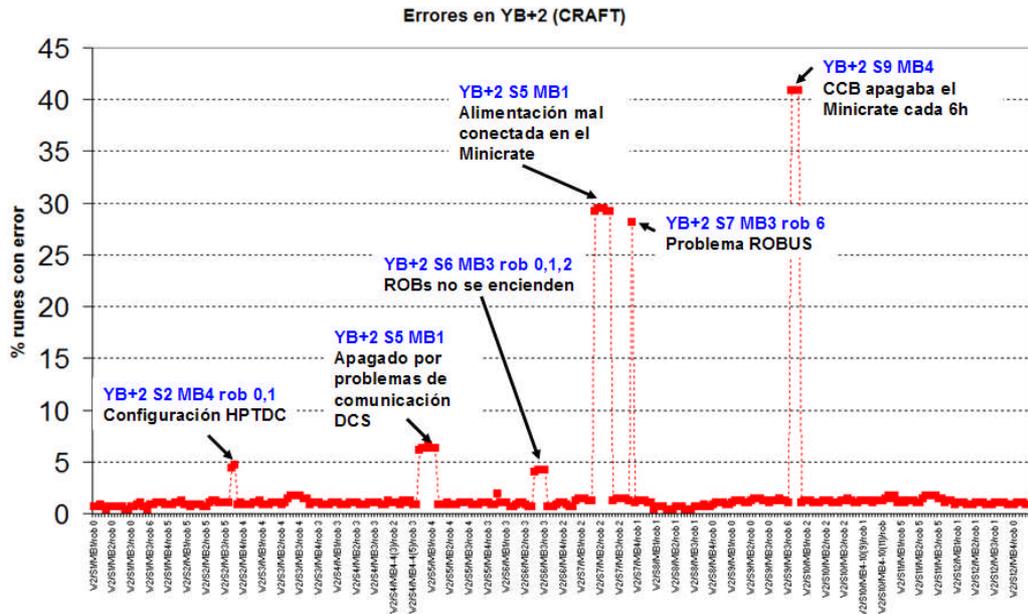


Figura 7.81: Resumen del porcentaje de tomas de datos con errores que afectaban al sistema de lectura de las cámaras de deriva en la rueda YB+2.

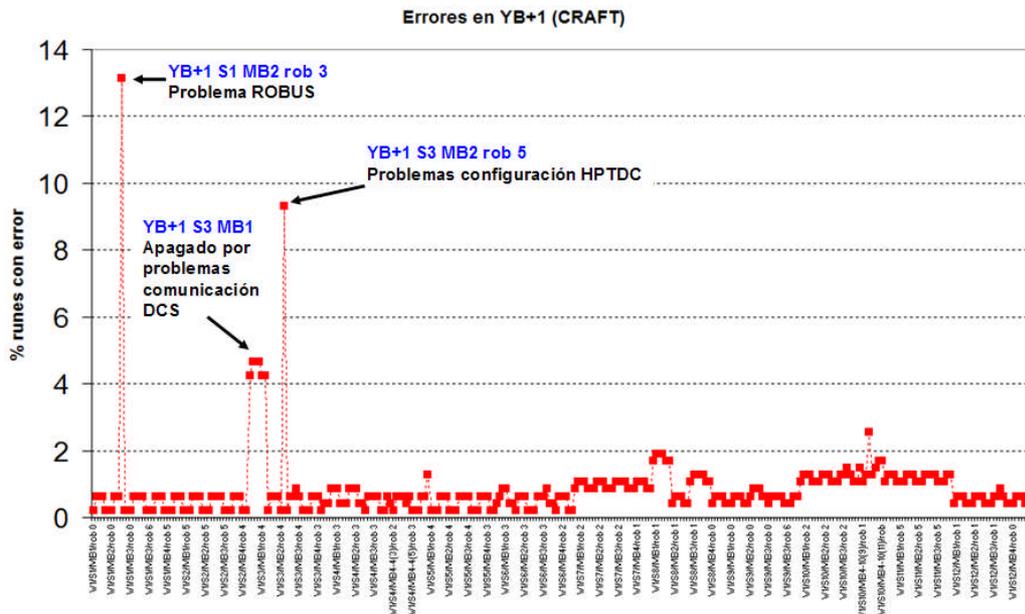


Figura 7.82: Resumen del porcentaje de tomas de datos con errores que afectaban al sistema de lectura de las cámaras de deriva en la rueda YB+1.

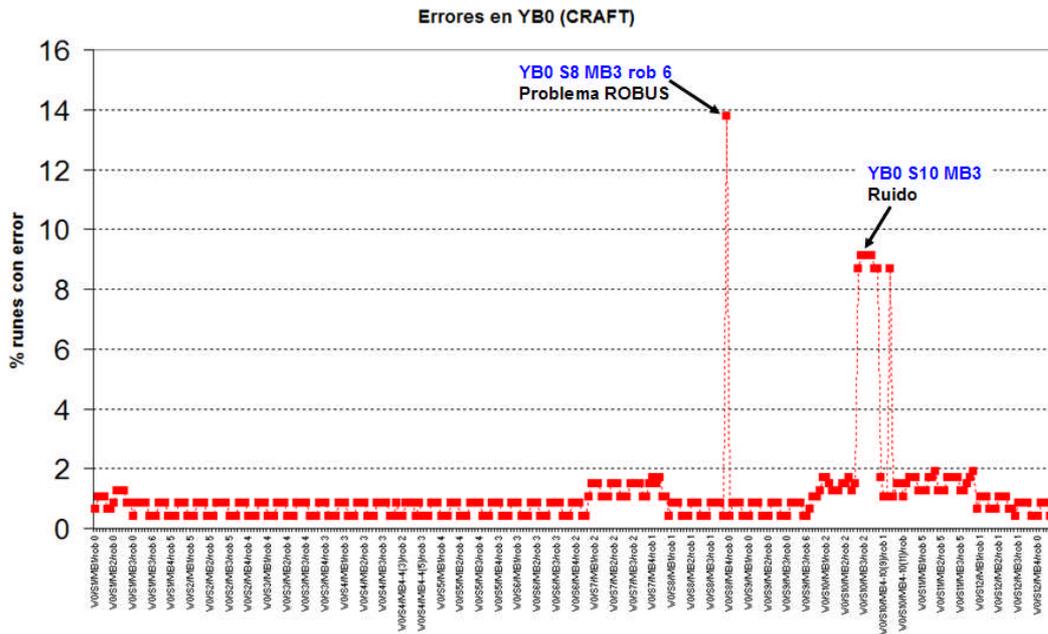


Figura 7.83: Resumen del porcentaje de tomas de datos con errores que afectaban al sistema de lectura de las cámaras de deriva en la rueda YB0.

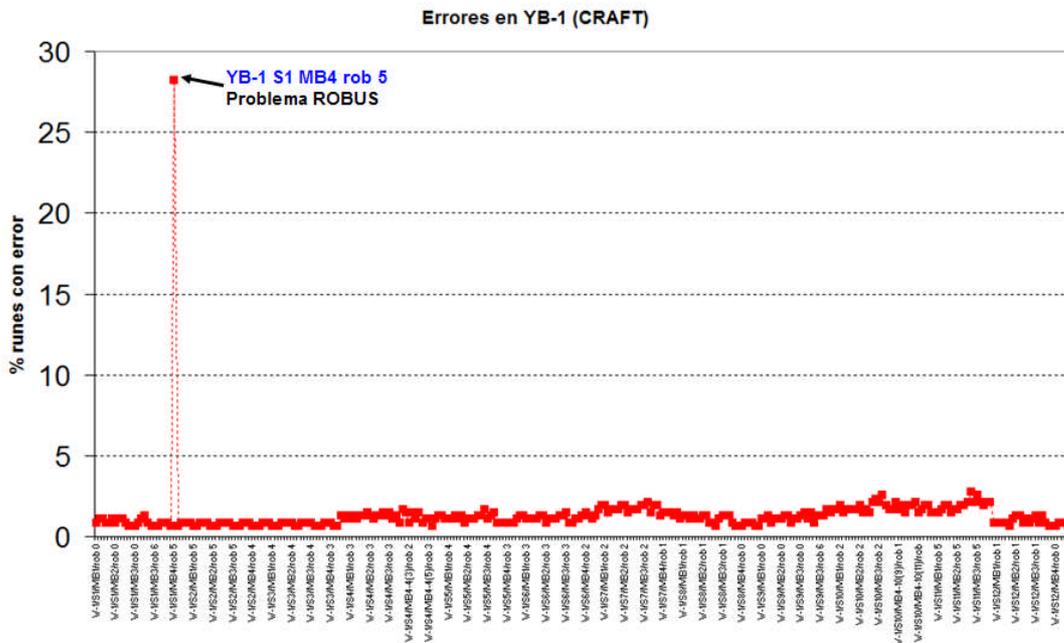


Figura 7.84: Resumen del porcentaje de tomas de datos con errores que afectaban al sistema de lectura de las cámaras de deriva en la rueda YB-1.

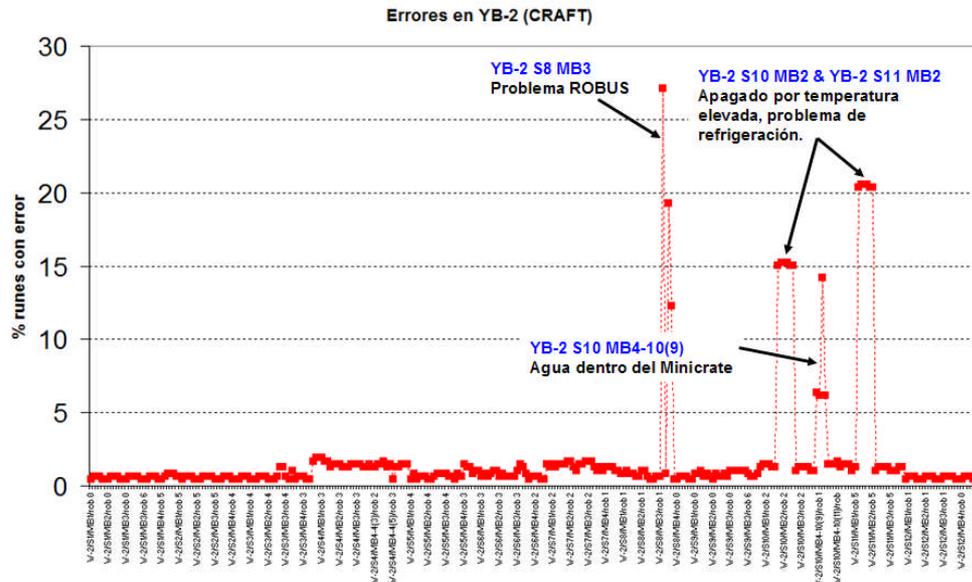


Figura 7.85: Resumen del porcentaje de tomas de datos con errores que afectaban al sistema de lectura de las cámaras de deriva en la rueda YB-2.

En la figura 7.86 se observa un histograma de distribución de tiempos típico donde se han superpuesto todas las señales de una Supercapa tras la sustracción de los  $t_0$ s relativos obtenidos tras el proceso de calibración con *Test Pulse* como se explicó en el capítulo 3.

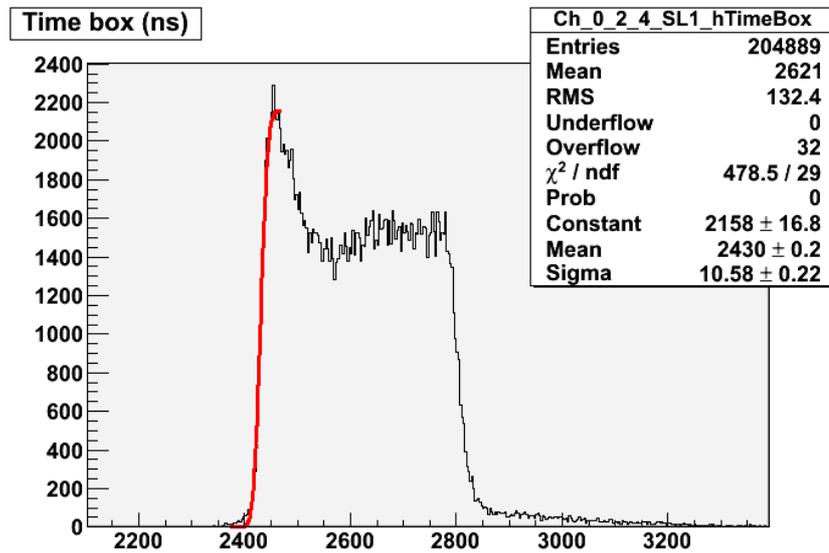
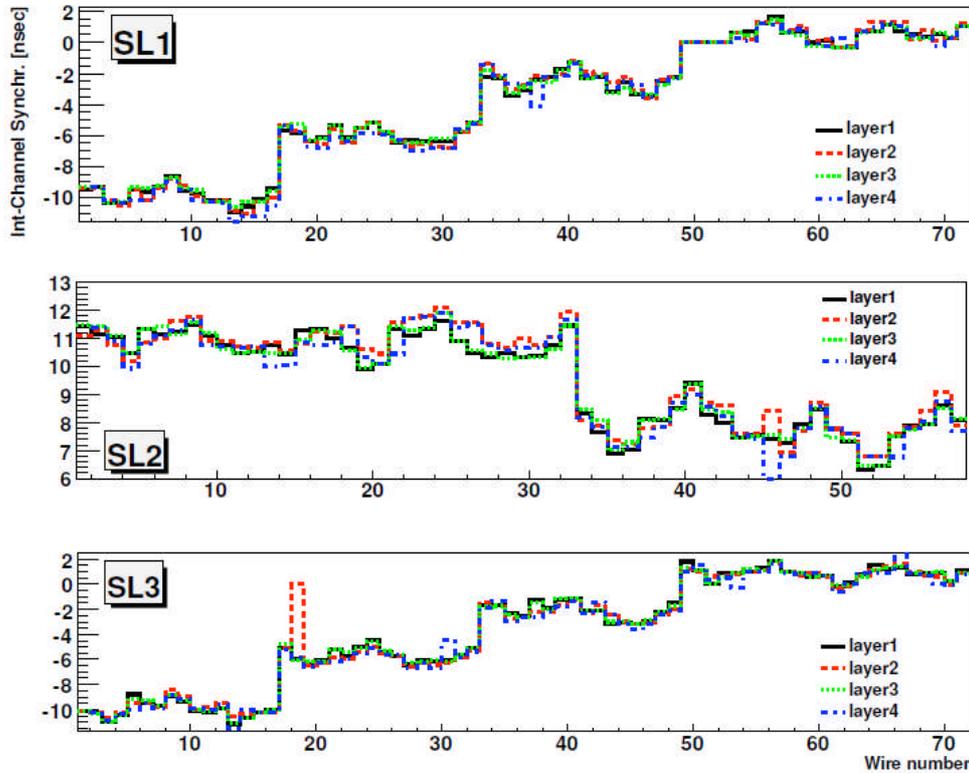


Figura 7.86: Histograma de distribución de tiempos de una Supercapa tras la corrección de los desfases temporales relativos de cada canal.

En la figura 7.87 se observa la distribución de  $t_0$ s relativos para los distintos canales de una cámara de un sector, siendo estas diferencias temporales debidas a las distintas longitudes de los cables. Se ha observado que estas

diferencias temporales son constantes a lo largo del tiempo, como es de esperar [253].



**Figura 7.87:** Distribución de los desfases temporales ( $t_0$ s) de cada canal para una cámara obtenidos a partir de tomas de datos de *Test Pulse*.

Previamente al proceso de reconstrucción de trazas es necesario realizar otras correcciones temporales, como por ejemplo el tiempo de vuelo de los muones y la latencia de la señal de disparo ( $T_{\text{trig}}$ ). Como se explicó en el capítulo 3, se suele emplear el método de la derivada para hallar este valor. En el caso de muones cósmicos, la pendiente de subida del histograma de tiempos no es tan pronunciada como la que se obtendría con datos del LHC debido a la incertidumbre del tiempo de llegada del muón.

En la figura 7.88 se observan los valores medios y las desviaciones obtenidas para cada cámara, donde se aprecian las diferencias entre los sectores superiores e inferiores debido al tiempo de vuelo del muón. También se observa que las desviaciones son menores en los sectores 3, 4, 5, 9, 10 y 11 pues la sincronización realizada favorecía estos casos. Además, la estadística de los sectores verticales 1 y 7 era muy pobre debido al ángulo de incidencia de los muones cósmicos. La desviación del  $T_{\text{trig}}$  es por tanto de al menos 10 ns, lo cual es debido a la incertidumbre en la llegada del muón. La distribución tanto de los valores medios y las desviaciones del  $T_{\text{trig}}$  también son estables a lo largo de los distintos runes.

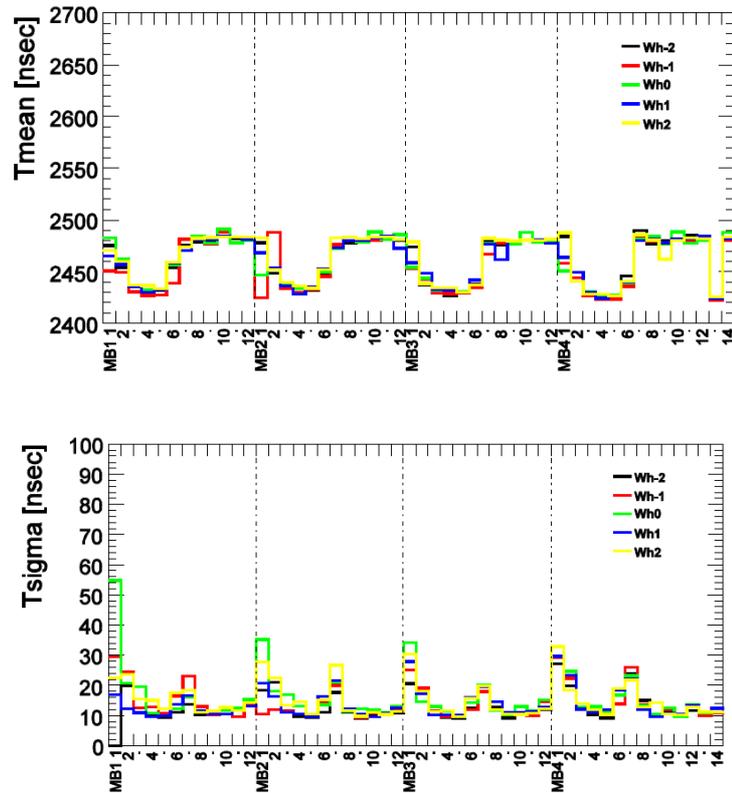
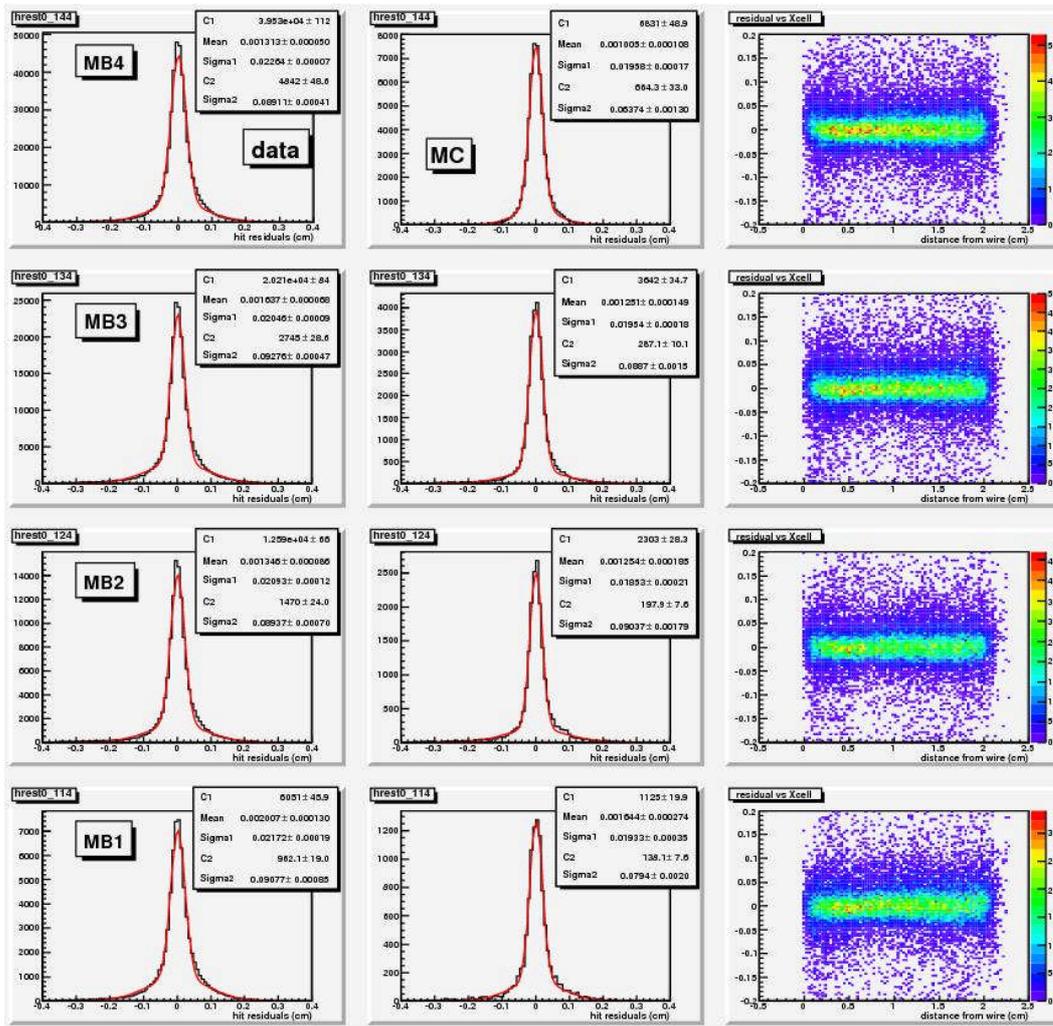


Figura 7.88: Valor medio y desviación de los valores del desfase temporal  $T_{\text{trig}}$  en todas las cámaras del detector de muones.

Una vez sustraídos estos valores se puede proceder a realizar la reconstrucción de las trazas. La conversión de medida temporal a posición en la celda de deriva se realiza asumiendo una velocidad de deriva constante en el volumen de la celda, independientemente de la posición y el ángulo de la traza. La ambigüedad izquierda-derecha en cada celda se resuelve mediante los distintos algoritmos de reconocimiento de trazas locales, obteniendo trazas para cada una de las Supercapas que se combinan para formar una traza completa de cada cámara en la que se puede corregir el efecto de la propagación de la señal a lo largo del hilo al tener la información de la posición en la dirección ortogonal.

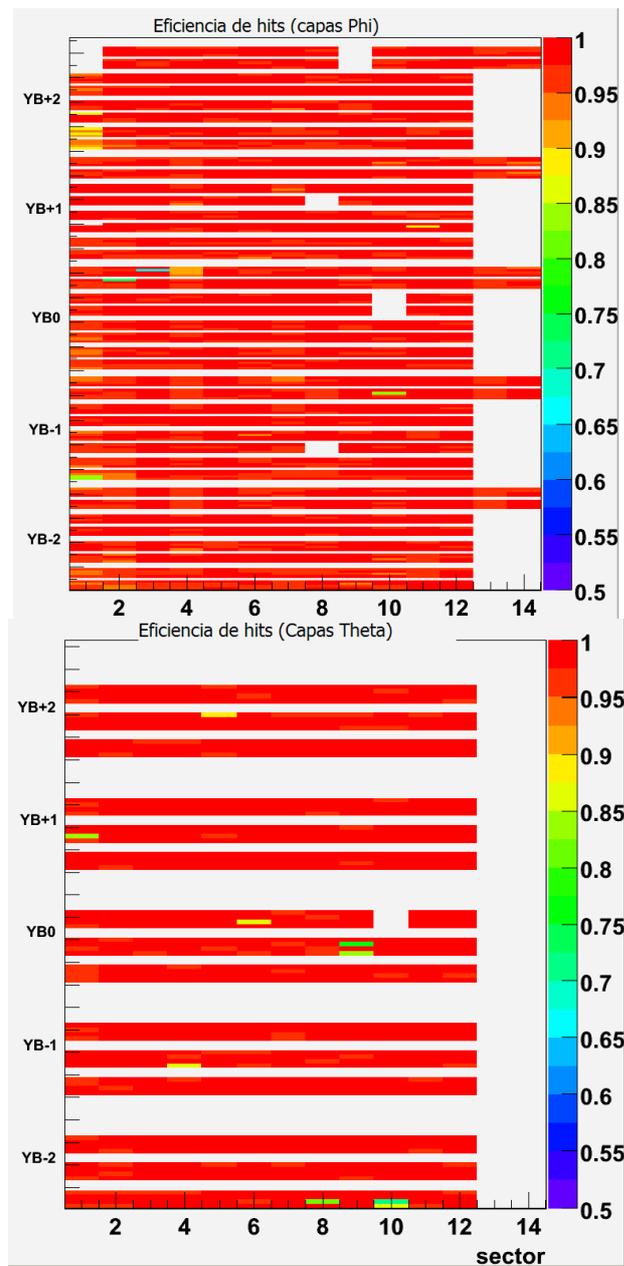
El análisis de los datos muestra una muy buena capacidad de reconstrucción de trazas de muones con una resolución en la reconstrucción de *bits* por hilo de  $300\ \mu\text{m}$  y una resolución en la dirección de la traza en el plano  $\Phi$  de  $1,5\ \text{mrad}$  [254].

En la siguiente figura se observa la distribución de los residuos obtenidos en la reconstrucción de *bits* en el sector 4 de la rueda YB-2. En la columna de la izquierda se representan las distribuciones obtenidas con los datos reales, que son muy similares a las que se obtienen a partir de simulaciones Monte Carlo (columna central). En las figuras de la derecha se representan los residuos en función de la posición del *bit* en la celda, mostrando una buena linealidad a lo largo de todo el volumen de deriva.



**Figura 7.89:** Columna izquierda: residuos de los *bits* reconstruidos en las cámaras de YB-2 Sector 4. Columna central: mismos valores procedentes de una simulación Monte Carlo. Columna derecha: distribución de los residuos en función de la posición del *hit* dentro de la celda de deriva.

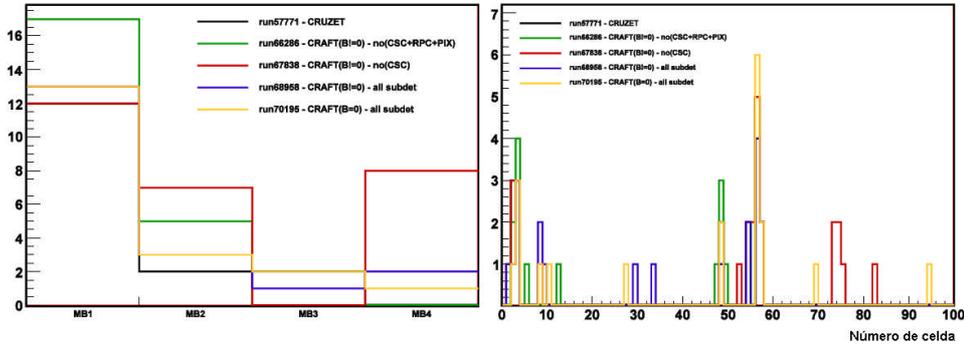
Un parámetro que permite evaluar la calidad del sistema es la eficiencia de reconstrucción de *bits*. Se calcula buscando la presencia de la señal esperada en cada celda a partir de un segmento de traza que atravesase esa celda. En la figura 7.90 se observan las eficiencias obtenidas en función del *hit* predicho para las Supercapas  $\Phi$  y  $\theta$ . Se observa que es ligeramente inferior en los sectores verticales debido al ángulo de incidencia de los muones y se observan algunas zonas en las que el detector no estaba operativo.



**Figura 7.90:** Eficiencias en la reconstrucción de *hits* en las distintas capas de todas las cámaras de deriva del detector. Se observa que excepto en las zonas en las que el detector no estaba operativo, estos valores son superiores al 95% en casi todos los casos.

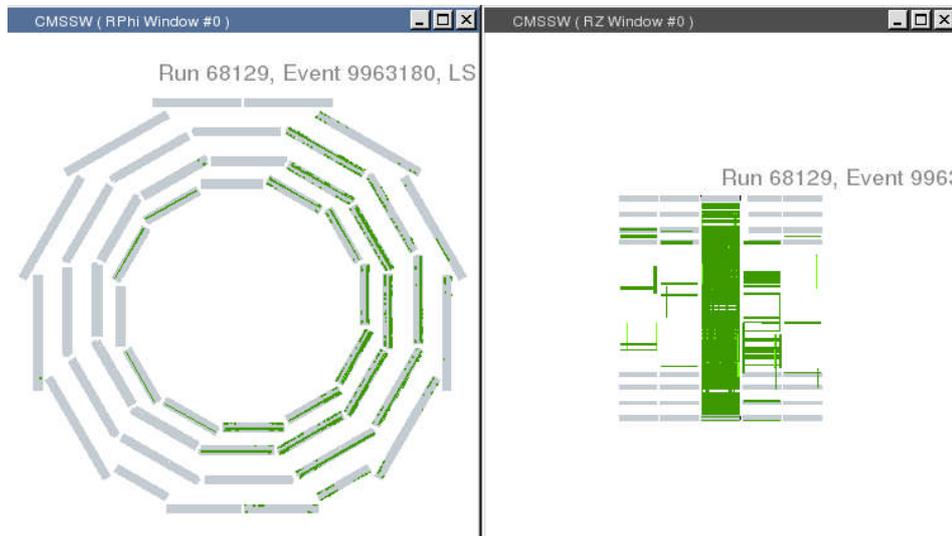
Se observó que el ruido en el sistema era bastante bajo y que el número de celdas ruidosas era estable a lo largo del tiempo. Tanto el número de celdas ruidosas como su distribución era constante independientemente del número de subdetectores que participase en la toma de datos o de que el campo magnético de CMS estuviera o no en funcionamiento, como puede verse en la figura 7.55. El número de canales ruidosos (con una frecuencia de ruido superior a 500 Hz) en todo el sistema es inferior al 0,1 % y la tasa media de ruido es de 4 Hz. En las siguientes imágenes se puede observar el número de celdas ruidosas en función de la cámara y del número de canal para distintas tomas de datos. Se ha comprobado

que la mayor parte del ruido se produce en los extremos de las cámaras de deriva, donde se sitúan las entradas de los cables de alta tensión.



**Figura 7.91:** Histograma del número de canales ruidosos en distintas tomas de datos según la cámara y el número de celda.

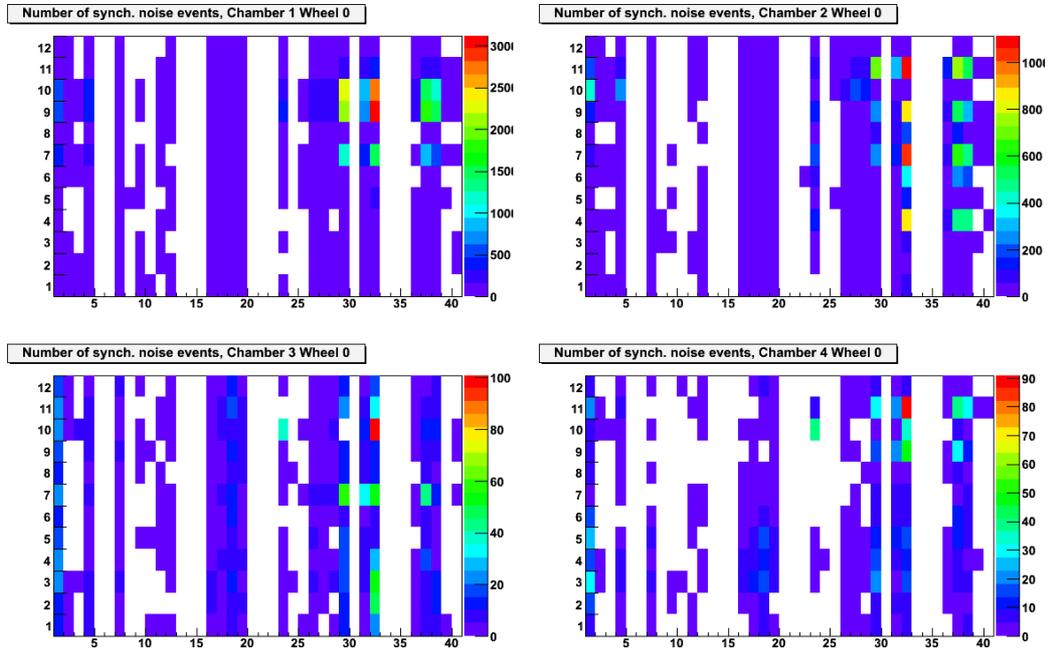
No obstante, se han observado esporádicamente señales ruidosas que afectan a grandes partes del sistema simultáneamente, tal y cómo se observa en la figura 7.92. Este ruido tiene una duración superior a 2.500 ns, afectando no sólo a la cadena de lectura, que se satura, sino también a la cadena de disparo que genera señales de disparo continuamente. Se ha observado que este tipo de ruido está asociado generalmente a actividades de soldadura, etc. dentro de la caverna y en la actualidad se está estudiando la sensibilidad del detector a estos fenómenos.



**Figura 7.92:** Imagen donde se representan geoméricamente los *bits* recibidos en un suceso durante las tomas de datos del CRAFT. Se observa una gran ocupación de los sectores 1, 2, 3, 10, 11 y 12 de la rueda YB0.

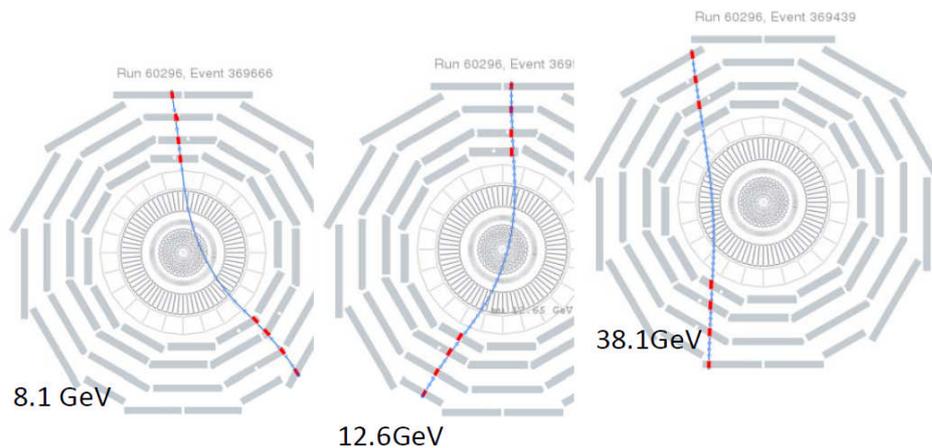
Estos sucesos son fácilmente distinguibles por el elevado número de palabras que se reciben a través del sistema de lectura. En la figura 7.93 se puede observar el número de sucesos con un tamaño superior a 1.000 palabras en función de la toma de datos para todos los sectores de la rueda YB0. Se observa que las zonas más sensibles se sitúan en los sectores 10, 11 y 12 y que los sucesos

de ruido parecen estar concentrados en el tiempo. No se ha podido determinar hasta el momento qué situación precisa pudo haberlos generado.



**Figura 7.93:** Número de eventos de gran tamaño en función de la toma de datos para las distintas cámaras y sectores de la rueda YB0.

En las siguientes imágenes se muestran algunos ejemplos de los eventos disparados en una de las tomas de datos. Se observa la distinta curvatura del muón dentro del campo magnético dependiendo de su energía y carga.



**Figura 7.94:** Imágenes de las trazas reconstruidas de muones cósmicos de diversa energía cruzando el detector CMS. En rojo se muestran los segmentos reconstruidos en las cámaras de deriva.

### 7.9.2 Primeras tomas de datos con el LHC

Finalmente, a finales del verano de 2008 comenzaron las primeras pruebas del LHC [255]. Las distintas ruedas de CMS se habían cerrado, los detectores estaban completamente instalados, el imán solenoidal estaba a punto para ser encendido y el tubo del haz que atraviesa CMS había alcanzado un vacío de  $10^{-8}$ .

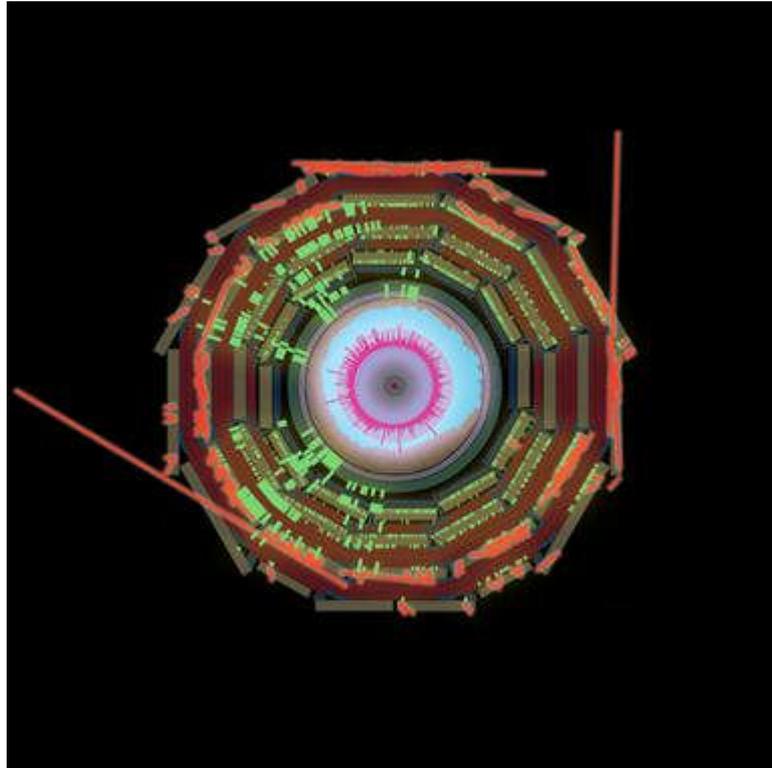
Durante los meses anteriores se había producido el enfriamiento del LHC hasta su temperatura de funcionamiento, 1,9 K. Los primeros haces de partículas fueron inyectados en el LHC el 1 de agosto de 2008 y el 10 de septiembre de 2008 circularon por primera vez haces de protones por toda la trayectoria del acelerador, atravesando los distintos detectores.

En primer lugar se mandaron haces de protones en la dirección de las agujas del reloj en distintos pasos, deteniendo los haces en los colimadores (bloques de tungsteno) situados a la entrada de cada experimento. A continuación se abrían los colimadores y se permitía circular el haz hasta el siguiente punto de parada. Este fue un proceso rápido y a las 10:28 de la mañana ya se había conseguido realizar una vuelta completa del haz en el LHC. Tras varias vueltas se procedió a realizar el mismo proceso pero con el haz girando en el sentido contrario a las agujas del reloj. A las 22:25 de la noche se habían conseguido realizar 300 vueltas alrededor del anillo.

Durante este proceso CMS estaba en modo de toma de datos. Las colisiones de los haces con los colimadores permitían sincronizar los sistemas de monitorización del haz y eventualmente, generar disparos en CMS con el fin de capturar las señales producidas en el detector por los flujos de partículas residuales tras la colisión con el colimador. En la figura 7.95 se muestra uno de estos sucesos, donde se observan las señales producidas en los diversos detectores de CMS por las partículas procedentes de la colisión del haz con el colimador.

El siguiente paso era poner en marcha el sistema de radiofrecuencia del LHC que permite mantener los haces en paquetes de partículas. Este sistema de radiofrecuencia ralentiza las partículas más rápidas y acelera las más lentas, “capturando” el haz en paquetes de unos 11 cm de longitud. El 11 de septiembre se produjo la captura del haz que gira en el sentido contrario a las agujas del reloj, manteniéndolo empaquetado y en circulación durante más de media hora. El siguiente paso consistía en acelerar estos paquetes hasta la energía nominal de 7 TeV. Las primeras colisiones de alta energía estaban previstas para el 21 de octubre de 2008.

Sin embargo, el 19 de septiembre, mientras se estaban realizando pruebas a 5 TeV, se produjo una avería que generó una fuga de helio líquido, ocasionando daños en algunos de los imanes del LHC. La puesta en marcha del acelerador se ha suspendido temporalmente para reparar los daños y se espera que entre en funcionamiento de nuevo a finales del 2009.



**Figura 7.95:** Vista transversal de CMS donde se muestran las señales depositadas por las partículas resultantes de la colisión del haz del LHC en los colimadores de CMS. Suceso tomado a las 9:50 de la mañana del 10 de septiembre de 2008.

Durante los días que duró la toma de datos el detector CMS funcionó satisfactoriamente, y se realizaron las diversas pruebas de encendido del campo magnético con la instalación y la configuración final en la caverna. Las tomas de datos sucedieron sin incidencias y el único efecto observado en las cámaras de deriva debido a la puesta en marcha del acelerador fue algún problema con la distribución de reloj ocasionado por el cambio entre el reloj local de CMS y el global del acelerador, cuya transición no era tan suave como se hubiera esperado. A día de hoy, se ha solucionado este problema y la transición de un reloj a otro no provoca la pérdida de la señal en los detectores, evitando la necesidad de tener que reconfigurar el sistema en cada transición.

A día de hoy, dentro de CMS se continúa trabajando en la puesta a punto de las partes que han manifestado algún problema durante el último año y realizando diversas tomas de datos con el fin de asegurar un perfecto funcionamiento del sistema cuando el LHC se ponga en marcha de nuevo.

## 7.10 RESUMEN DE LAS PRUEBAS DE VALIDACIÓN

En la siguiente tabla se resumen las diversas pruebas que se han realizado en las tarjetas ROB y ROS y que se han descrito a lo largo de este capítulo. Se indica el tipo de prueba y la fecha en la que ésta tuvo lugar. Durante los años 2004-2005 la actividad se centró principalmente en la fabricación y pruebas de los Minicrates.

<b>MEDIDAS TEMPORALES DE LA TARJETA ROB Y DEL HPTDC</b>	Varias ocasiones de 2001 a 2008
Estudio de la resolución temporal	
Estudio de la no linealidad diferencial e integral	
Estudio de la interferencia entre canales	
<b>ESTUDIO DE LAS TASAS DE FALLOS DEL ENLACE ROB-ROS</b>	2002
<b>COMPORTAMIENTO FRENTE A TEMPERATURA DE LA TARJETA ROB</b>	
Ciclos de temperatura	2002
Pruebas de envejecimiento	2002
Pruebas de <i>burn-in</i>	2002-2003
<b>PRUEBAS DE REFRIGERACIÓN DEL SECTOR COLLECTOR</b>	Febrero de 2007
<b>ESTUDIO DEL COMPORTAMIENTO DE LA ELECTRÓNICA BAJO RADIACIÓN</b>	
Campaña de irradiación de los receptores DS90LV048A	Marzo de 2001
Campaña de irradiación de los reguladores de tensión MIC29151-3.3BU y MIC39301-2.5BU	Junio de 2001
Campaña de irradiación de la tarjeta ROB	Diciembre de 2001
Campaña de irradiación de la tarjeta ROS-8	Junio de 2003
Campaña de irradiación de las tarjetas ROS y TIM	Marzo de 2007
<b>ESTUDIOS DE SIMULACIÓN DE LA OCUPACIÓN Y EL TIEMPO DE PROCESADO DEL SISTEMA</b>	2007-2008
<b>ENSAYOS CON HACES DE MUONES</b>	
Pruebas en el GIF (P2B y P2C): una cámara de deriva y una tarjeta ROB	Octubre y noviembre de 2001
Pruebas en el H6 del SPS: una cámara de deriva MB3 con un Minicrate completo y una tarjeta ROS-8	Mayo 2003
Pruebas en el H2 del SPS: dos cámaras de deriva MB1 y MB3 con sus respectivos Minicrates completos y dos tarjetas ROS-8	Mayo de 2004
<b>PRUEBAS BAJO CAMPO MAGNÉTICO MTCC (<i>Magnet Test and Cosmic Challenge</i>)</b>	Otoño de 2006
Integración de 3 sectores completos de las cámaras de deriva con las correspondientes tarjetas ROS y TIM	

---

---

Pruebas del sistema bajo altas tasas de disparo	
<b>INSTALACIÓN Y COMISIONADO DE LA ELECTRÓNICA E INTEGRACIÓN FINAL DEL SISTEMA CMS COMPLETO</b>	Abril de 2007 a mayo de 2008
<b>PRIMERAS TOMAS DE DATOS CON EL LHC</b>	Septiembre de 2008
<b>CAMPAÑA DE ADQUISICIÓN DE RAYOS CÓSMICOS CON CAMPO MAGNÉTICO CRAFT</b> <i>(Cosmic Run at Four Tesla)</i>	Otoño de 2008

Tabla 7.14: Resumen de las pruebas de validación realizadas en las tarjetas ROB y ROS.



## *Capítulo 8*

# **CONCLUSIONES, APORTACIONES Y TRABAJO FUTURO**

Finalmente, en este capítulo se resumen las aportaciones fundamentales que se han obtenido con el desarrollo de esta tesis y se presentan las principales conclusiones que se derivan del diseño realizado y de las diversas pruebas de validación y caracterización que se han detallado en el texto. Además, se plantean posibles trabajos futuros relacionados con las tareas llevadas a cabo y que permiten abrir nuevas líneas de investigación.

## 8.1 CONCLUSIONES Y APORTACIONES DE LA TESIS

A lo largo de estas páginas se ha descrito el sistema de lectura de uno de los detectores fundamentales del experimento CMS (*Compact Muon Solenoid*): las cámaras de tubos de deriva. El espectrómetro de muones jugará un papel crucial tanto a la hora de proporcionar un sistema de discriminación de sucesos como a la hora de reconstruir la trayectoria y el momento de estas partículas, para lo cual es clave disponer de un sistema de lectura fiable. La selección y reconstrucción de las trayectorias de las partículas permitirá analizar los productos resultantes de las colisiones del ambicioso proyecto LHC, permitiendo profundizar en nuestro conocimiento del mundo a pequeña escala, descrito en la actualidad por el Modelo Estándar, y permitiendo dar respuesta a algunas de las cuestiones fundamentales que, a día de hoy, se plantean en la física de altas energías.

La principal aportación de esta tesis es el propio sistema de lectura de las cámaras de deriva del experimento CMS, en cuyo diseño, construcción y validación he trabajado intensamente dentro de las divisiones de Tecnología de Instrumentación Científica y de Física de Altas Energías del CIEMAT. La construcción de un sistema de estas dimensiones y características ha supuesto una ardua tarea en la que he estado involucrada a tiempo completo durante los últimos ocho años.

La descripción de este sistema, junto con la justificación de las distintas características impuestas por los requisitos del entorno de operación que han desembocado en el presente diseño se han detallado a lo largo del texto de esta tesis. El resultado es un sistema adecuado para las necesidades del experimento CMS que ha demostrado su fiabilidad a lo largo de numerosas pruebas no sólo en el laboratorio, sino también en pruebas específicas de irradiación y en numerosas campañas de datos que integran los distintos elementos del detector CMS, incluidas las primeras tomas de datos con el colisionador LHC. El resultado es un sistema de adquisición de datos que se encuentra totalmente operativo en la actualidad y con un comportamiento muy satisfactorio.

El sistema de adquisición de datos desarrollado se puede desglosar en los distintos elementos que lo componen y que constituyen las principales aportaciones originales que se han obtenido con este trabajo. Los detalles fundamentales de los mismos se han ido describiendo en los capítulos 3 al 6, justificando las distintas elecciones de diseño y cómo se adecuan a las necesidades presentes. En resumen, las **aportaciones originales** de la presente tesis se pueden resumir en:

- 1) **Diseño, desarrollo, verificación y validación de las tarjetas ROB (*Read Out Board*)**, basadas en el dispositivo HPTDC (*High Performance Time to Digital Converter*), encargadas de la digitalización temporal de las señales procedentes de las cámaras de deriva de CMS.
- 2) **Diseño, desarrollo, verificación y validación de los Minicrates**, estructura que permite integrar la electrónica de lectura (ROB), disparo (TRB, *Trigger Boards* y SB, *Server Board*) y control (CCB,

*Chamber Control Board*) de las cámaras de deriva en una única unidad autónoma.

- 3) **Diseño, desarrollo, verificación y validación de las tarjetas ROS (*Read Out Server*)** encargadas de la lectura y el procesado de la información procedente de las tarjetas ROB, permitiendo su almacenamiento y multiplexación y creando un evento sincronizado con el resto de los detectores de CMS y con la información del cruce de haces del LHC. Estas tarjetas son responsables de verificar la integridad de los datos procedentes del primer nivel de lectura de las cámaras de deriva, garantizando la coherencia y validez de los mismos.
- 4) **Diseño, desarrollo, verificación y validación de los chasis Sector Collector**, específicos para integrar la electrónica de lectura (ROS) y de disparo de segundo nivel (TSC, *Trigger Sector Collector*) y que se complementan con las **tarjetas TIM (*TTC Interface Module*)** diseñadas para realizar la interfaz entre el sistema TTC de CMS y los distintos módulos del Sector Collector.
- 5) **Diseño y construcción de los distintos sistemas de pruebas** para la verificación y validación de los módulos antes descritos.

El diseño y la fabricación de todos estos módulos *ad-hoc* para el sistema de cámaras de deriva se ha visto complementado a lo largo de sus distintas etapas por la realización de numerosas pruebas que han confirmado un funcionamiento correcto que satisface los distintos requerimientos. El reto ha ido más allá de un mero aspecto funcional, pues este sistema debe cumplir ciertos requisitos derivados de su funcionamiento en un entorno de escasa accesibilidad, bajo campos magnéticos muy intensos y unas dosis de radiación muy significativas. Las distintas opciones de diseño, junto con las conclusiones extraídas de los distintos estudios, pruebas y simulaciones se han recogido en los distintos capítulos de esta tesis. A continuación se resumen **las principales conclusiones** derivadas:

- 1) Del estudio de los distintos requisitos del sistema se ha contribuido a la definición del modo de operación exigido para el dispositivo **HPTDC**, desarrollado por el Laboratorio de Microelectrónica del CERN. **El análisis de sus parámetros clave confirma su adecuación para el empleo en el sistema de lectura desarrollado.** Asimismo, las diferentes pruebas realizadas en los distintos prototipos del dispositivo HPTDC han permitido validar y corregir algunas de sus características básicas.
- 2) La tarjeta ROB, que integra cuatro dispositivos HPTDC y permite realizar la digitalización temporal de 128 canales de las cámaras de deriva, mantiene intactas las características clave de estos dispositivos. Los estudios de la resolución temporal realizados demuestran que se consiguen **resoluciones de 241 ps por canal** y que las **no linealidades diferenciales e integrales son del orden de 0,06 LSB y 0,08 LSB** respectivamente. Además, **la interferencia entre canales en una tarjeta ROB es inferior a 289 ps.**

- 3) **La integración de cuatro HPTDCs en una tarjeta ROB también ha demostrado un correcto funcionamiento** desde el punto de vista de las ocupaciones esperadas y de los anchos de banda requeridos. Su operación se ha validado en múltiples pruebas incluidas las pruebas bajo haces, en las que las tasas de ocupación son muy superiores a las esperadas durante el LHC. Asimismo, en **las pruebas de alta tasa de disparo realizadas con el sistema de CMS completo, el comportamiento fue muy satisfactorio.**
- 4) **El enlace entre las tarjetas ROB y ROS** basado en cobre también demuestra su fiabilidad durante pruebas que demuestran que **la tasa de fallos esperada BER (*Bit Error Rate*) es inferior a  $10^{-15}$ .** El ancho de banda empleado (240 Mbps) también resulta ser adecuado incluso para las tasas de transmisión más elevadas que se esperan, en las que nos encontramos rondando los 16 Mbps de rendimiento efectivo del enlace.
- 5) **La interfaz entre las tarjetas ROB y TRB permite compartir las señales procedentes de las cámaras de deriva entre la electrónica de lectura y de disparo de una forma adecuada.** El problema de integridad de la señal en algunos canales por acción de las tarjetas TRB que fue detectado durante las pruebas del MTCC (*Magnet Test and Cosmic Challenge*) no degradan la resolución del sistema por encima de los niveles requeridos.
- 6) **El mecanismo de protección de sobre-consumos diseñado en las tarjetas ROB, ROS y TIM funciona correctamente y permite el apagado automático de las tarjetas cuando la corriente supera el límite programado.** Además este sistema permite una **recuperación automática** cada 700 ms para lidiar con el caso de que el sobre-consumo se deba a una circunstancia esporádica como a fenómenos debidos a la radiación ambiental. Aún en el caso de que el cortocircuito sea permanente, la tarjeta queda en un estado de oscilación de la alimentación en la que el consumo medio es muy reducido. Por ejemplo, en el caso de una tarjeta ROB en la que ocurra un cortocircuito, el consumo medio sería únicamente de 42 mA cuando la corriente máxima en la placa es de 3 A, que es la corriente máxima que puede proporcionar el regulador.
- 7) El sistema desarrollado para la lectura de las distintas tensiones, corrientes y temperaturas a través de una interfaz *1-wire* de los módulos ROB, ROS y TIM funciona correctamente **y permite monitorizar el estado de todos los módulos de una forma fiable y eficiente**, permitiendo además realizar una identificación remota de cada una de las tarjetas para su correlación con las distintas pruebas de certificación realizadas durante la producción y la instalación.
- 8) **El mecanismo de *Test Pulses* implementado en la tarjeta ROB funciona satisfactoriamente** y permite realizar la calibración de las diferencias temporales entre canales de una forma rápida y eficiente,

pudiendo emplearse en los tiempos de órbita del LHC en los que no se produzcan colisiones. Además, este mecanismo permite detectar zonas muertas del detector, realizando un análisis eficiente del estado de la electrónica de las cámaras de deriva discriminando los problemas de distribución de alta tensión o de gas de forma independiente a los problemas derivados propiamente de los módulos electrónicos. El número de canales muertos tras la completa instalación y comisionado del sistema a finales de 2008 era inferior al 0,04%.

- 9) Tanto la estructura mecánica como las interconexiones del **Minirate desarrollado garantizan la correcta integración de la electrónica de lectura, disparo y control** de primer nivel de la cámara de deriva. Este sistema, que ha sido validado durante diversas pruebas de integración, incluidas las pruebas bajo haces y bajo campo magnético, funciona en la actualidad de forma satisfactoria, proporcionando un mecanismo de disipación térmica adecuado para el consumo de potencia de la electrónica que contiene.
- 10) El diseño realizado para **la tarjeta ROS** subdividiendo la lógica necesaria en distintos módulos de procesamiento interconectados funciona satisfactoriamente y permite procesar cada grupo de seis canales individualmente alcanzando un **compromiso entre la velocidad de procesamiento alcanzada y el coste del sistema**. Además, los distintos registros de configuración y de estado a través del interfaz VME desarrollados en la tarjeta ROS permiten **un alto nivel de programabilidad proporcionando una gran flexibilidad en la operación** de esta tarjeta.
- 11) **Los distintos modos de operación implementados en la tarjeta ROS han demostrado su utilidad durante las distintas pruebas de validación de la electrónica** y de depuración de los errores encontrados. La presencia de una memoria interna que permite el almacenamiento de eventos completos con independencia del sistema de transmisión de datos al siguiente nivel de lectura, el DDU (*Device Dependent Unit*) ha facilitado las tareas de pruebas de la electrónica con anterioridad a la integración final del sistema. Asimismo, este sistema de memoria interna ha permitido la validación de los enlaces ópticos empleados con un sistema de adquisición de datos basado únicamente en una tarjeta ROS y una tarjeta DDU. Finalmente, la lectura de los datos procedentes de la tarjeta TSC a través de la tarjeta ROS ha permitido la validación del sistema de disparo durante las pruebas de datos cósmicos en el 2008 y durante las primeras pruebas del LHC.
- 12) El mecanismo diseñado para **la configuración a distancia de las FPGAs de la tarjeta ROS funciona correctamente** y permite en la actualidad modificar su funcionamiento de forma totalmente remota a través de la combinación de la interfaz VME y JTAG. El software desarrollado en LabVIEW® ha permitido el estudio del

comportamiento frente a radiación de los distintos dispositivos lógicos. Por otro lado, el software desarrollado en C++ para el sistema final de CMS, y que permite una reconfiguración de cada dispositivo en un tiempo de 1 minuto, se ha empleado en la actualidad de forma satisfactoria para la modificación del firmware de estos dispositivos.

- 13) **El mecanismo diseñado en la tarjeta ROS y DDU para la regulación automática de la tasa de disparo y la gestión del número de errores en la electrónica, que forma parte del sistema TTS (*Trigger Throttling System*) ha demostrado su correcto funcionamiento una vez integrado en el sistema final de adquisición de datos global de CMS.** El ajuste de los distintos parámetros y umbrales deberá realizarse una vez se disponga de la información concreta del estado del sistema durante largos periodos de toma de datos en el LHC.
- 14) **El sistema Sector Collector diseñado ha permitido la correcta integración de la electrónica de lectura y disparo de segundo nivel.** La tarjeta TIM y el *backplane* TIMBUS permiten la correcta distribución de las señales TTC para la sincronización de las tarjetas ROS y TSC con el resto del experimento. **Las pruebas térmicas realizadas han permitido mejorar el sistema de refrigeración del armario en el que se han instalado estos chasis, garantizando la correcta disipación de potencia del sistema.**
- 15) **Los sistemas de pruebas desarrollados,** tanto la topología e interconexiones, junto con las tarjetas de pruebas Control-X, Patgen y ROS-8, como el software de control **han permitido validar todos los módulos fabricados** (ROB, Minicrate, ROS, TIM y chasis Sector Collector) tanto en el laboratorio como en la empresa IMPELEC encargada del montaje de las 1.500 tarjetas ROB.
- 16) **Las pruebas de irradiación de todos los componentes empleados bajo un haz de protones de 60 MeV y una fluencia de  $5 \cdot 10^{10} \text{ cm}^{-2}$  en el ciclotrón de la Universidad de Lovaina han proporcionado resultados satisfactorios, confirmando la tolerancia de los distintos dispositivos a los flujos de partículas previstos durante la operación en el LHC.** Se ha comprobado que el principal efecto esperable son fallos de tipo SEU (*Single Event Upset*) obteniendo tiempos medios entre fallos que varían desde 19,9 días para los 6.000 HPTDCs, fabricados en una tecnología tolerante a la radiación, hasta las 3,6 horas para las 240 FPGAs XC2S50E. No se detectó ningún efecto destructivo en ningún componente y la tasa de fallos prevista está dentro de unos márgenes aceptables.
- 17) **Los estudios térmicos realizados para la tarjeta ROB demuestran un comportamiento muy satisfactorio con variaciones máximas en el valor temporal digitalizado de 45 ps/°C.** Por otro lado, las variaciones medidas de la tensión de salida de los reguladores es de 0,2 mV/°C. Ninguna de las características fundamentales de la tarjeta se ve afectada por la operación en

condiciones extremas de temperatura dentro del rango 0°C – 70°C permitido por los componentes comerciales.

- 18) También se han realizado pruebas de envejecimiento acelerado con el fin de investigar qué componentes de la tarjeta ROB eran los más débiles y presentaban una mayor probabilidad de fallo. Durante 4 meses continuados de operación a 105 °C no se observó ningún fallo, por lo que **la tasa de fallos esperada es como máximo del 0,26 % suponiendo una operación de 24 horas al día durante un año.**
- 19) Cabe también destacar **las pruebas de envejecimiento no destructivo o *burn-in* realizadas en las 1.500 tarjetas ROB para descartar aquellas tarjetas susceptibles de sufrir una mortandad infantil.** Se descartaron un total de 14 tarjetas ROB que presentaron fallos que no se habían producido durante las primeras pruebas de validación, principalmente debidos a soldaduras defectuosas.
- 20) **La simulación realizada para el estudio de la ocupación de los distintos *buffers* de almacenamiento y el tiempo de procesado del sistema de lectura confirma que el dimensionado previsto se adecua a las tasas esperadas y confirma la validez del diseño realizado.** Esta simulación se ha basado por una parte en métodos Monte Carlo, realizando la propagación a través del detector de las partículas generadas en colisiones LHC y estudiando los efectos de su interacción con la materia empleando una física de neutrones de alta precisión. Por otra parte, se ha realizado una simulación del firmware de los dispositivos lógicos programables de la tarjeta ROS para estudiar su tiempo de procesado según las características del evento. La simulación realizada proporciona unos resultados mucho más precisos que los obtenidos en estudios anteriores, siendo por tanto los resultados conseguidos de gran relevancia, permitiendo extrapolar al entorno esperado en el SLHC con gran facilidad. Es por tanto una herramienta muy útil que se empleará para el diseño de las actualizaciones necesarias en el detector como consecuencia de los aumentos de luminosidad o energía previstos en el colisionador LHC.
- 21) **Los distintos ensayos realizados en haces de muones en el CERN (2001, 2003 y 2004) han permitido validar el sistema de las cámaras de deriva y el Minicrate en condiciones de ocupación más allá de las que se espera durante el LHC.** Durante estos períodos se han realizado tomas de datos con haces estructurados y ruido de fondo sobre la cámara de deriva y se ha confirmado el correcto funcionamiento de las tarjetas ROB para tasas de ocupación muy por encima de las esperadas, confirmando que el impacto de una zona ruidosa afecta únicamente a un grupo de 8 canales de la cámara.
- 22) **El ejercicio MTCC (*Magnet Test and Cosmic Challenge*) que tuvo lugar durante el verano de 2006 permitió operar por primera**

vez bajo campo magnético los distintos subdetectores de CMS en un marco común para la adquisición de muones cósmicos. Esta prueba supuso un hito importante en CMS, **demostrándose que la integración de los subdetectores y los sistemas finales de disparo y adquisición de datos funcionaban según lo previsto en el experimento**. Además se verificó que el comportamiento de la electrónica bajo el elevado campo magnético del imán solenoidal de CMS no presentaba ningún efecto adverso.

- 23) **La instalación e integración de todo el sistema de lectura en la caverna del detector CMS ha sido realizada de forma satisfactoria** durante los dos últimos años. Durante este período de integración se han realizado numerosas tomas de datos con rayos cósmicos no sólo durante el comisionado del propio sistema de cámaras de deriva sino también tomas de datos globales que garantizan la compatibilidad y la sincronización de todos los sistemas de CMS. Los resultados de estas pruebas (CRUZET (*Cosmic Run at Zero Tesla*), CRAFT (*Cosmic Run at Four Tesla*), etc) que se han detallado en el apartado 7.9 del capítulo 7, demuestran no sólo el buen estado del detector, obteniéndose resoluciones en la reconstrucción de *bits* por hilo de 300  $\mu\text{m}$  y resoluciones en la dirección de la traza en el plano  $\Phi$  de 1,5 mrad, sino también su estabilidad y fiabilidad durante largos períodos de operación continuada durante más de un mes. A lo largo de estas pruebas también se han realizado tomas de datos globales con tasas de disparo de hasta 100 kHz, simulando tasas de datos equivalentes a un muón por sector y por evento, mucho más elevadas que las que se espera durante el LHC.
- 24) **La experiencia durante las primeras tomas de datos con el LHC a finales de verano de 2008 muestran un comportamiento satisfactorio del sistema de adquisición de datos**, afectado únicamente de problemas centrales de distribución del reloj en CMS, que ya se han solucionado. En la actualidad se sigue trabajando en la mejora de los sistemas de configuración y monitorización del detector de las cámaras de deriva en espera de que el LHC comience a funcionar de nuevo.

Como consecuencia de los trabajos desarrollados en esta tesis se han publicado los artículos señalados en negrita en la bibliografía entre los que cabe destacar la referencia [138] en IEEE Transactions on Nuclear Science, los artículos publicados en Nuclear Instruments and Methods in Physics Research Section A [153], [213], [236], [242], [243] y [251] y las CMS NOTES [134], [237] y [241]. Pendientes de publicación se encuentran las referencias [252], [253] y [254]. También se han publicado las notas internas en el CERN [231] y [240] y los informes técnicos CIEMAT [96], [154] y [239]. Finalmente, también se han realizado diversas presentaciones a congresos: [58], [136], [139], [155], [158] y [203].

También cabe destacar el reconocimiento recibido personalmente por parte de la colaboración CMS obteniendo el premio 2007 CMS Achievements

Award por “**Critical contributions to the development of the DT read out system.**”

## 8.2 TRABAJO FUTURO Y LÍNEAS DE INVESTIGACIÓN

Durante la elaboración de las distintas tareas que han formado parte de esta tesis han surgido propuestas adicionales de estudio que permiten continuar el trabajo desarrollado y también abrir nuevas líneas de investigación. Algunas de estas propuestas se enumeran a continuación:

- 1) Dentro de las tareas aún relacionadas con las tomas de datos durante la puesta en marcha del LHC se han identificado diversos aspectos relacionados principalmente con el estudio del estado del sistema de lectura que se pretenden mejorar. En concreto, es **necesaria la obtención, de forma concisa, del estado de la electrónica durante su operación y para eso es necesario el desarrollo, a nivel del sistema de filtrado HLT (*High Level Trigger*), de unos algoritmos que permitan identificar eventos problemáticos y almacenarlos en un flujo de datos independientes que faciliten su análisis posterior.**
- 2) Simultáneamente, se pretende profundizar en **el estudio de la sensibilidad del sistema al ruido** ya que este es un factor clave en la degradación de su funcionamiento. En el presente ya se están realizando diversas tareas para localizar las zonas más sensibles y mitigar sus efectos mediante un esquema de conexiones de masa mejorado, apantallamientos o incluso filtrado de eventos de gran tamaño a nivel de la propia electrónica de lectura, mediante el desarrollo de lógica de control inteligente en los dispositivos lógicos programables de la tarjeta ROS.
- 3) Por otro lado, ya se están comenzando a discutir las mejoras que se introducirán en la actualización del LHC, el llamado **SLHC (*Super Large Hadron Collider*) en el que se pretende aumentar la luminosidad en un factor 10.** Esta actualización supondrá con bastante seguridad un nuevo diseño de algunas partes del sistema de lectura de las cámaras de deriva, como se puede concluir de los resultados obtenidos en las simulaciones sobre ocupación del detector de muones que se han presentado en el capítulo 7.

Con gran certeza, la operación durante el LHC ofrecerá información valiosa sobre los aspectos a optimizar; no obstante, en la actualidad ya se está comenzando a estudiar varias posibilidades, entre las que se encuentran:

- 3.1) Estudios de la tolerancia a radiación de la electrónica presente en la actualidad con el fin de verificar su comportamiento bajo las dosis de radiación esperadas durante el SLHC.
- 3.2) Estudio de la viabilidad de mantener en funcionamiento la electrónica instalada hoy en día durante los 10 años de operación

previstos para el SLHC (que seguirán a los 10 años que se prevén para el presente LHC).

- 3.3) Dentro de las opciones de rediseño del sistema se incluye la posibilidad de participar en el diseño de un nuevo ASIC, similar al HPTDC pero que posea también la capacidad de realizar las tareas de disparo que en la actualidad desarrollan los módulos BTI de las tarjetas TRB (*Trigger Board*). Esta acción supondría un completo rediseño de la electrónica de las cámaras de deriva de CMS.
- 3.4) De forma independiente, se plantea la opción de minimizar los módulos electrónicos presentes en la caverna, con especial énfasis en la electrónica de los Minicrates, de difícil acceso. Aunque las tareas de digitalización deberán seguir situándose con gran probabilidad en la vecindad de las cámaras con el fin de garantizar la integridad de las señales, la posibilidad de emplear enlaces ópticos a precios asequibles hoy en día ofrece una perspectiva muy atractiva para el traslado de la mayor parte de los módulos electrónicos a la sala de control, disminuyendo los problemas de inaccesibilidad y tolerancia a la radiación.
- 3.5) Finalmente, ya se están discutiendo diversas opciones para integrar los distintos sistemas de transmisión de datos empleados en CMS (distribución de las señales TTC (*Timing Trigger and Control*), DCS (*Detector Control System*) y los enlaces de lectura y disparo) en una única interfaz común *ad-hoc* diseñada para este tipo de experimentos de física de altas energías. Este sistema modificaría radicalmente el presente diseño de la electrónica de lectura de las cámaras de deriva.

## **Apéndice A**

# **INTRODUCCIÓN A LA INSTRUMENTACIÓN DE LOS DETECTORES DE PARTÍCULAS**

En este apéndice se realiza un breve resumen de los distintos tipos de detectores de partículas que se emplean en la física nuclear y de altas energías en la actualidad, junto con la instrumentación electrónica que llevan asociados, haciendo especial énfasis en las distintas opciones de módulos digitalizadores de tiempo. Este apéndice permite profundizar en el contexto en el que se ha desarrollado el presente trabajo.

## **A.1 LOS DETECTORES DE PARTÍCULAS**

La evolución de la física de partículas en las últimas décadas ha estado dominada por el diseño, construcción y explotación de detectores de partículas cada vez más grandes y complejos. El objetivo de la física de partículas es profundizar en el conocimiento de los constituyentes de la materia (quarks, leptones) y de las fuerzas responsables de sus interacciones que expliquen los mecanismos de evolución del universo. Esto se realiza a través de distintos tipos de experimentos, muchos de ellos basados en el estudio de la radiación procedente de rayos cósmicos u otras fuentes de radiación, aunque el método general consiste en colisionar partículas, bien mediante aceleradores circulares, lineales o experimentos de blanco fijo, y estudiar los productos resultantes de la colisión.

A medida que nos adentramos en este campo, se hace necesario observar colisiones cada vez de mayor energía u observar un mayor número de colisiones por segundo para estudiar efectos más sutiles, o ambas cosas a la vez. Para ello, la evolución de la física de partículas en las últimas décadas ha estado dominada por el diseño, construcción y operación de aceleradores que colisionan haces de partículas cada vez más energéticos y/o intensos. Esto a su vez conlleva la construcción de detectores de gran tamaño para poder distinguir con suficiente precisión las trayectorias individuales de un gran número de partículas y poder medir su momento por curvatura en un campo magnético o su energía por absorción calorimétrica. El gran tamaño de los detectores permite vencer las limitaciones de resolución de detección de posición, máximo campo magnético generable en condiciones prácticas y cantidad de material necesario para la absorción calorimétrica.

El funcionamiento de los detectores de radiación se basa en los efectos de interacción de las partículas con la materia. La mayoría de los detectores de radiación presentan un comportamiento similar: la radiación entra en el detector e interacciona con los átomos de éste, cediendo toda o parte de su energía a los electrones ligados de estos átomos. Como fruto de esta interacción se libera un gran número de electrones de relativamente baja energía que son recogidos y analizados mediante un circuito electrónico.

El tipo de material del detector depende fundamentalmente de dos aspectos: la clase de radiación a estudiar y la información que se busca extraer.

### **A.1.1 Interacción radiación-materia**

Dependiendo del tipo de partícula y del material del medio se pueden producir distintos tipos de interacciones que determinarán el recorrido y la energía perdida por la partícula en cada caso. Las interacciones principales que afectan a las partículas cargadas se clasifican según la masa de la partícula:

<b>Partículas cargadas masivas:</b>	Colisiones inelásticas con los electrones atómicos del material.
	Cambios de dirección ( <i>scattering</i> ) por choques elásticos con los núcleos de los átomos.
<b>Partículas cargadas ligeras (<math>e^\pm</math>):</b>	Colisiones inelásticas con los electrones atómicos del material.
	Cambios de dirección ( <i>scattering</i> ) por choques elásticos con los núcleos de los átomos.
	<i>Bremsstrahlung</i> : emisión de radiación de frenado.

**Tabla A.1:** Fenómenos principales producidos por el paso de partículas cargadas a través de la materia.

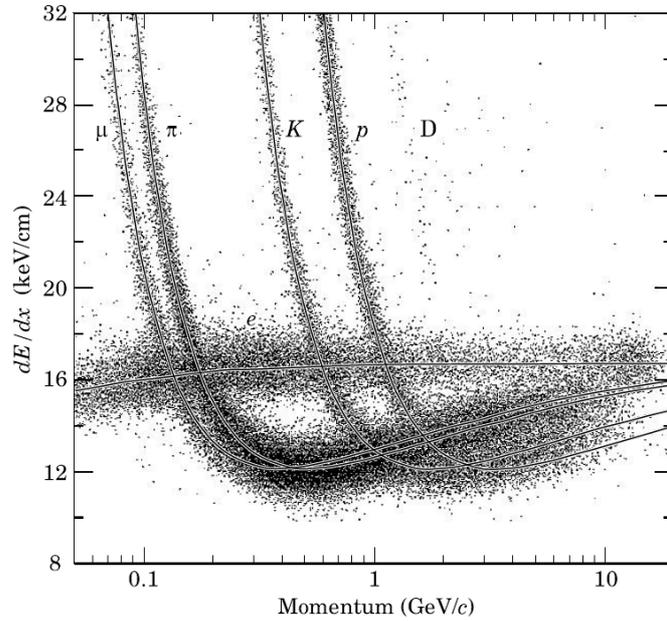
Una partícula cargada, moderadamente relativista, pierde energía en la materia principalmente por ionización. Aunque la dispersión (o *scattering*) coulombiana de partículas cargadas por los núcleos (llamado *scattering* de *Rutherford*) es un proceso importante en física nuclear, tiene poca influencia en la pérdida de energía de las partículas cargadas a lo largo de su trayectoria dentro del detector. Debido a que los núcleos del material del detector ocupan solamente en torno a  $10^{-15}$  del volumen de sus átomos, es  $10^{15}$  veces más probable para una partícula el colisionar con un electrón que con un núcleo. Para bajas energías, el cálculo de la energía depositada en el medio se puede aproximar mediante la fórmula de *Bohr* [256], pero un tratamiento más riguroso en el caso de que la velocidad de la partícula incidente sea mayor que la de los electrones orbitales viene representado por la formula de *Bethe-Bloch* [257]:

$$-\frac{dE}{dx} = \kappa \cdot z^2 \cdot \frac{Z}{A} \cdot \frac{1}{\beta^2} \left[ \frac{1}{2} \ln \frac{2m_e c^2 \gamma^2 \beta^2 E_{kin}^{max}}{I^2} - \beta^2 - \frac{\delta}{2} \right] \quad (A.1)$$

Donde  $\kappa = 4 \pi N_A r_e^2 m_e c^2$ ,  $z$  es la carga de la partícula incidente,  $Z$  y  $A$  son los números atómico y másico del medio respectivamente,  $m_e$  y  $r_e$  son la masa y el radio clásico del electrón,  $I$  es una constante característica del material atravesado, que puede aproximarse por  $I = 16 Z^{0,9}$  eV,  $E_{kin}^{max}$  es la transferencia de energía máxima permitida en cada colisión, y  $\delta$  es un término de corrección que considera el efecto de la densidad de carga eléctrica de los electrones atómicos en el campo eléctrico.

El efecto de densidad de carga aparece porque el campo eléctrico de la partícula incidente tiende a polarizar los átomos a lo largo de su trayectoria y esa polarización actúa de apantallamiento en los electrones del medio que se encuentran alejados de la trayectoria de la partícula.

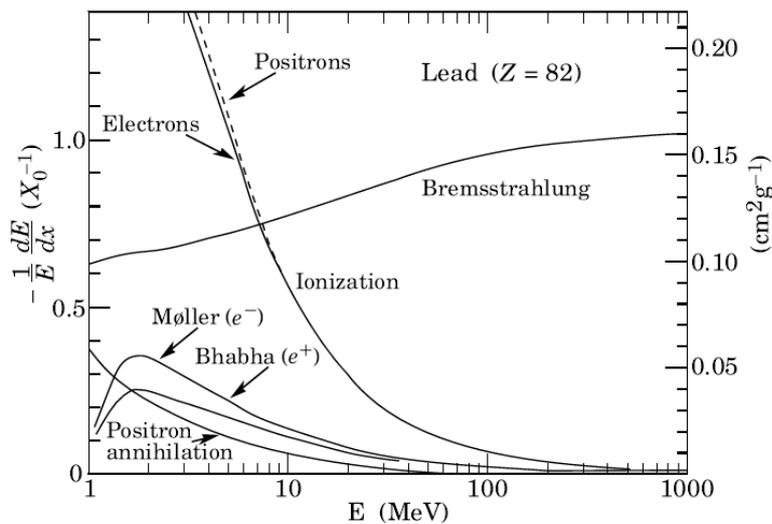
La figura A.1 muestra la energía perdida por electrones, muones, piones, kaones, protones y deuterones en función de su momento [258], donde se observa el comportamiento descrito por la ecuación de *Bethe-Bloch* que presenta un mínimo en torno a  $v \approx 0,96 c$  en cuya zona las partículas se definen como mínimamente ionizantes.



**Figura A.1:** Pérdidas de energía producidas por ionización en un medio gaseoso para varias partículas en función de su momento [258].

La fórmula de *Bethe-Bloch* no es válida para energías  $< 100$  keV, puesto que no tiene en cuenta la posibilidad de que las partículas capturen electrones, como sucede en el caso de partículas incidentes de baja velocidad.

En los leptones, hasta energías moderadas, los procesos de ionización son la principal contribución a la pérdida de energía. Sin embargo, a partir de un cierto rango energético, los procesos radiativos como la radiación de frenado o *Bremsstrahlung* comienzan a adquirir importancia a la hora de considerar pérdidas energéticas como se puede observar en la figura A.2.



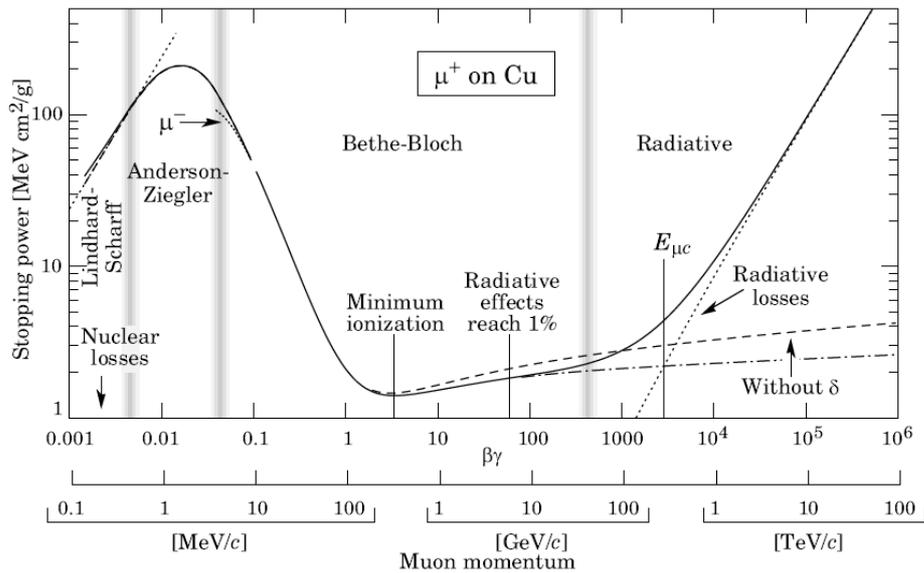
**Figura A.2:** Pérdidas de energía para electrones en plomo en función de la energía del electrón. A la energía crítica (alrededor de 8 MeV) la curva de *Bremsstrahlung* cruza a la de las pérdidas producidas por ionización.

Podemos definir una energía crítica para la cual las pérdidas debidas a ionización igualan a las producidas por procesos radiativos:

$$E_c \approx \frac{3\pi}{4} \left( \frac{m_p}{m_t} \right) \left[ \frac{m_p c^2}{Z\alpha} \right] \quad (\text{A.2})$$

Siendo  $m_p$  y  $m_t$  las masas de la partícula incidente y de las moléculas del blanco respectivamente,  $\alpha$  la constante de estructura fina y  $Z$  el número atómico del blanco. La energía crítica aumenta con el cuadrado de la masa de la partícula incidente, por lo que las partículas más pesadas radiarán mucho menos. En efecto, mientras que para muones en plomo las energías necesarias son de  $E_c \sim 300$  GeV, los electrones presentan  $E_c \sim 8$  MeV. Este hecho permite la absorción de los electrones a partir de cascadas electromagnéticas en calorímetros (que incluyen *Bremsstrahlung* por parte de los electrones y producción de pares por parte de los fotones resultantes), mientras que los muones los atraviesan dejando una pequeña deposición en forma de ionización. De igual forma, los hadrones cargados y neutros producirán cascadas hadrónicas en los calorímetros hadrónicos depositando su energía.

En la figura A.3 se observa la pérdida de energía del muón en cobre para un rango de energías extendido. El rango de energías de interés en CMS se encuentra en los GeV/c, por lo que la fórmula de Bethe-Bloch es válida en ese intervalo.



**Figura A.3:** Pérdida de energía de un muón a su paso por cobre. La línea continua representa la pérdida total de energía, mientras que las líneas a trazos y punteada representan las pérdidas parciales por ionización y radiación respectivamente.

Finalmente, existe también un tipo de interacción de las partículas cargadas con la materia denominado efecto *Cherenkov* [259] que se produce cuando una partícula cargada atraviesa un medio transparente con una velocidad

mayor que la que tendría la luz en dicho medio. La perturbación electromagnética ocurrida ocasiona la emisión de un cono de luz cuyo ángulo es proporcional a la velocidad de la partícula. Basados en este fenómeno se emplean comúnmente en física de altas energías detectores *Cherenkov* para la medida de la velocidad de las partículas.

Por su parte, las partículas neutras no se ven afectadas por efectos coulombianos y por ello su detección se realiza gracias a que sufren otros tipos de interacciones que dan lugar en el estado final a la aparición de partículas cargadas. Los neutrones sufren principalmente interacción fuerte con los núcleos de los átomos, aunque estas interacciones son poco probables debido a la proximidad requerida con los núcleos de los átomos para que esto ocurra ( $\sim 10^{-13}$  cm). Los neutrinos por su parte, reaccionan con el medio a través de la interacción débil.

Las interacciones de los fotones con la materia se producen debido a la interacción electromagnética y siempre se abordan atendiendo a su aspecto corpuscular. Son tres los fenómenos físicos principales que describen la interacción de fotones con la materia:

- Efecto fotoeléctrico,  $\approx 1/E_\gamma^3$ , importante para  $E_\gamma < 500$  keV.
- Efecto Compton,  $\approx 1/E_\gamma$ , domina para  $E_\gamma \sim 1$  MeV.
- Creación de pares  $e^+e^-$ , constante con  $E_\gamma$  y domina a  $E_\gamma > 50$  MeV.

Otros fenómenos son: la difusión coherente (difusión *Rayleigh*), que es una difusión con los electrones del material sin llegar a excitarlos (fenómeno despreciable a partir de energías de rayos X), y la absorción fotonuclear, proceso en el que se arranca un neutrón del núcleo y es importante para energías entre 10 y 25 MeV.

### A.1.2 Tipos de detectores de partículas

Basándose en los efectos de interacción de las partículas y la radiación con la materia se han desarrollado diversos detectores cuyo material depende de la clase de radiación a estudiar y de la información que se busca obtener.

Para medir la energía de la radiación, debemos escoger un detector en el cual la amplitud del pulso de salida sea proporcional a la energía de la radiación. Se debe elegir un material en el que el número de electrones sea grande para evitar que posibles fluctuaciones estadísticas afecten al valor de la energía.

Para medir el tiempo en el que la radiación fue emitida, debemos seleccionar un material en el que los electrones sean recogidos rápidamente en un pulso, siendo el número de éstos aquí menos importante.

Para determinar el tipo de partícula (por ejemplo, en una reacción nuclear, en la que se pueden generar una gran variedad de partículas), debemos elegir un material en el que la masa o carga de la partícula proporcione un efecto distintivo.

Si esperamos un ritmo de cuentas extremadamente alto, deberemos seleccionar un detector que pueda recuperarse rápidamente de una radiación antes

de poder contar la siguiente. Para un ritmo de cuentas muy bajo, sin embargo, es más importante buscar reducir el efecto de las radiaciones de fondo.

Finalmente, si estamos interesados en reconstruir la trayectoria de las radiaciones detectadas, debemos decantarnos por un detector que interaccione mínimamente con la partícula y tenga una resolución espacial elevada.

Existen tres tipos básicos de detectores de partículas y de radiación de acuerdo con los principios físicos sobre los que se sustentan: detectores de centelleo, detectores de estado sólido y detectores gaseosos de ionización. Dentro de cada uno de ellos existen varios subtipos, dependiendo fundamentalmente de la aplicación para la que se requieran. En muchos casos, el detector debe responder a las características particulares del experimento en el que se utilice, construyéndose *ad hoc*, pero los principios físicos sobre los que se basan son los mismos [260].

### A.1.3 Detectores de centelleo

El detector centelleador es sin duda uno de los dispositivos de detección de partículas más frecuentemente utilizados hoy en día en el campo de la física de partículas y nuclear. El principio de funcionamiento de este detector se basa en el hecho de que ciertos materiales, denominados centelleadores, presentan la propiedad de producir destellos luminosos cuando son expuestos a radiación ionizante [261]. Este fenómeno de luminiscencia por el que la sustancia absorbe la energía y la devuelve en forma de luz visible o ultravioleta es de especial interés si se tiene en cuenta que la intensidad de la luz emitida es proporcional a la energía de la radiación absorbida, siendo por tanto la base de los dispositivos calorimétricos.

Si el material centelleador es transparente a la luz emitida, ésta puede alcanzar el cátodo de una fotocélula acoplada al material, resultando un impulso eléctrico en respuesta a la llegada de cada partícula. El conjunto constituye un detector de centelleo.

Existen diversos tipos de materiales centelleadores: cristales o líquidos orgánicos, plásticos, centelleadores gaseosos, vidrios... pero todos deben tener características de alta eficiencia en la conversión de la energía, una elevada linealidad, un tiempo de respuesta rápido, una emisión dentro del rango espectral de los detectores, etc. [262].

El dispositivo encargado de la conversión eléctrica de la luz producida acostumbra a ser un fotomultiplicador, que es un tipo de válvula electrónica de alto vacío formado por un fotocátodo que emite electrones por efecto fotoeléctrico, una serie de electrodos (dínodos) a los que se aplican tensiones escaladas para producir un efecto de multiplicación del número de electrones y un ánodo donde se recoge la señal eléctrica. La gran capacidad de amplificación, su rápido tiempo de respuesta, su bajo ruido y su linealidad son algunos de los factores clave que explican su amplia difusión, sobre todo en dispositivos de detección de fotón único.

En la actualidad, el gran desarrollo de dispositivos de estado sólido ha permitido el empleo de fotodiodos (de avalancha APD, fotomultiplicador de silicio SiPM, fotodetectores híbridos HPD, etc.) en vez de fotomultiplicadores en algunas aplicaciones, sobre todo para zonas de recolección pequeña e intensos campos magnéticos.

Las características fundamentales de los detectores de centelleo son su alta eficiencia de detección y la gran rapidez de respuesta. Son muy utilizados para detección y análisis de radiaciones nucleares, sobre todo para la medida de la energía de radiación gamma, donde las cámaras de ionización y los contadores proporcionales no resultan adecuados por la poca densidad de la masa gaseosa empleada en la detección.

Existen también otro tipo de detectores basados en la conversión de la luz emitida a señal eléctrica como los ya comentados detectores *Cherenkov* o los detectores de radiación de transición que se basan en la variación con  $\gamma$  (factor relativista gamma) de la probabilidad de emisión de radiación de transición cuando una partícula relativista atraviesa distintas capas con distintos índices de refracción.

#### **A.1.4 Detectores de estado sólido**

El desarrollo de los materiales semiconductores ha abierto muchas posibilidades en el campo de los detectores de radiación. El principio básico de funcionamiento es análogo al de los detectores gaseosos, sólo que en este caso el medio es un material sólido semiconductor, normalmente silicio o germanio [263]. El paso de una partícula cargada o un fotón que incida sobre un semiconductor crea abundantes pares electrón-hueco en vez de pares electrón-ión, bien por efecto fotoeléctrico, Compton o por ionización. Estas cargas generadas pueden ser recogidas mediante la aplicación de un campo eléctrico, obteniendo así una corriente proporcional a la energía de la radiación incidente.

Los detectores de semiconductores hoy en día están basados en uniones *pn* en los que la aplicación de un campo eléctrico crea una zona de vaciado donde los portadores de carga creados por la radiación derivan hacia los electrodos. El tiempo de deriva, típicamente de  $\sim 7$  ns para cruzar  $300 \mu\text{m}$ , depende de la movilidad de los portadores y del campo externo aplicado. En general son detectores muy rápidos, lo que los hace especialmente atractivos para algunas aplicaciones.

El número de pares electrón-hueco generados es proporcional en todos los casos a la energía de la radiación incidente. Dado que la energía típica entre bandas en un semiconductor es del orden del eV, se requiere una energía unas 8 veces menor que la precisada para ionizar un átomo de argón en un detector de ionización y unas 200 veces menor que la precisada para liberar un fotoelectrón en el cátodo de un detector de centelleo. Proporcionan por tanto una cantidad de carga mayor para la misma radiación incidente, y permiten obtener una gran resolución energética.

Otra de las principales ventajas de los detectores de semiconductor es su elevada eficiencia de detección debido a la alta densidad de los materiales.

Asimismo, son detectores compactos y prácticos, puesto que no necesitan sistemas de gases, y dado que son resistentes a altas dosis de radiación, son muy empleados en detectores de vértice donde se pretende obtener una gran resolución en zonas de tamaños reducidos [264]. En estos casos el objetivo no es medir la energía de la partícula, sino determinar su trayectoria a partir de las cargas generadas tras su paso por el material.

Su mayor inconveniente son las elevadas corrientes de fuga debido a la pequeña energía del *gap* semiconductor, por lo que, excepto en el caso del silicio, necesitan trabajar a bajas temperaturas necesitando un sistema criogénico adicional. Por otro lado, los defectos en su estructura cristalina (vacantes y dislocaciones) producen la recombinación de los portadores restando eficiencia de detección, por lo que su pureza es de especial importancia.

Otro inconveniente de los detectores de estado sólido es su elevado precio cuando se precisa cubrir una gran superficie en comparación con otros tipos de detectores, como los detectores gaseosos, que resultan mucho más económicos.

Los detectores de semiconductor se dividen en diversos tipos, dependiendo principalmente de si el objetivo es medir la energía de la radiación incidente, como es el caso de los detectores de Germanio para espectroscopía gamma, o si pretenden medir la posición de las partículas, donde se emplean tanto sensores discretos como superficies litografiadas tipo *microstrip* donde la distribución espacial de los contactos en la oblea permite determinar el punto de paso de la partícula.

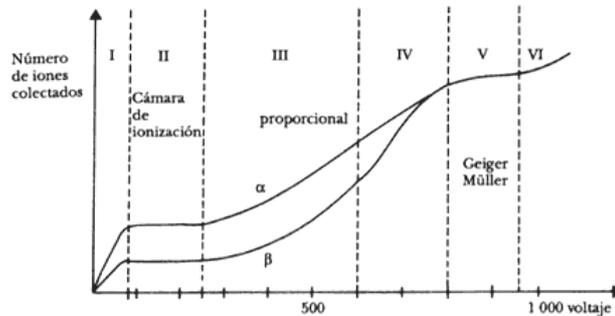
### **A.1.5 Detectores gaseosos de ionización**

Los detectores gaseosos de ionización fueron los primeros dispositivos eléctricos desarrollados para la detección de radiación [265]. Consisten en un recinto lleno de un gas a una presión apropiada, en el que se encuentran dos electrodos aislados entre sí y a los que se aplica una tensión eléctrica. Siendo el gas que llena el detector un buen aislante, ninguna corriente eléctrica apreciable circulará en condiciones normales entre los electrodos, pero el paso de la radiación provocará una ionización de dicho gas, y el campo eléctrico existente en el detector pondrá en movimiento las cargas liberadas de cada signo hacia el electrodo de signo contrario. De esta forma se originan en el detector corrientes o impulsos eléctricos que pueden ser medidos para proporcionar información sobre la naturaleza, la posición y/o la energía de la radiación presente.

Durante la primera mitad de siglo XX, se desarrollaron tres tipos básicos de detectores: las cámaras de ionización, los contadores proporcionales y los contadores Geiger-Müller. Estos tres tipos de detectores se basan en el mismo principio operando bajo distintas condiciones de voltaje aplicado entre sus electrodos (figura A.4).

En la primera zona, la velocidad de las cargas producidas en el campo eléctrico es tan baja que la alta probabilidad de recombinación dentro del gas imposibilita su detección. En la zona II, el número de electrones e iones colectados no cambia si se aumenta el voltaje y además, no se producen fenómenos de recombinación ni de ionización secundaria. El tamaño del pulso

depende directamente de la energía depositada por la radiación, aunque las corrientes obtenidas son muy pequeñas.



**Figura A.4:** Regiones de operación de un detector gaseoso en función del voltaje entre los electrodos.

En la zona proporcional, la carga colectada aumenta directamente con la tensión debido a los fenómenos de ionización secundaria. El número de cargas sigue siendo proporcional al número de iones primarios, por lo que se conserva la relación con la energía incidente. Finalmente, en la zona Geiger-Müller, la ionización secundaria es tan intensa que se logra una verdadera avalancha de cargas en cada pulso obteniéndose la misma amplitud independientemente de la energía de la radiación incidente. Resultan, por tanto, muy útiles para dispositivos básicos de conteo.

En los años 60 se renovó el interés por los instrumentos de ionización gaseosa, dominados por la invención de las cámaras proporcionales multihilo [266], donde los ánodos se disponen en una fila de hilos, siendo posible medir la posición de las partículas en la dirección perpendicular a los hilos con un error inferior a 1 mm.

Estimulados por este éxito, se desarrollaron en los años sucesivos las cámaras de deriva y las cámaras de proyección temporal [267], que obtienen una gran resolución espacial en la medida del tiempo de deriva de las cargas en el interior del gas.

En la actualidad se han desarrollado nuevos tipos de detectores gaseosos como las *Microstrip Gas Chamber* [268] o los *Gas Electron Multiplier (GEM)* [269] que bajo los mismos principios de operación y mayor facilidad de fabricación mediante litografía emplean tiras de electrodos o diminutos agujeros en los que la densidad de las líneas de campo eléctrico provoca el fenómeno de avalancha.

## A.2 INSTRUMENTACIÓN ELECTRÓNICA PARA FÍSICA DE PARTÍCULAS

Es cierto que hoy en día gran parte de la electrónica nuclear empleada puede ser encontrada en módulos electrónicos comerciales independientes con formatos estándar (módulos contadores, amplificadores, discriminadores...) que permiten su utilización sin requerir un conocimiento detallado de la electrónica a

nivel de diseño de circuitos. No obstante, en muchos casos los requisitos de espacio, consumo, campos magnéticos, radiación o temperaturas extremas, entre otros, que se tienen en la zona en la que debe operar el detector, obligan al diseño y fabricación de electrónica específica.

En los casos en los que el número de componentes a utilizar justifique el coste de su fabricación se emplean dispositivos ASICs que ofrecen grandes ventajas de rendimiento, consumo y resistencia a radiación. La microelectrónica forma por tanto una parte activa e imprescindible en los experimentos de física de partículas. En el estado del arte actual, la integración de dispositivos analógicos y digitales en un mismo ASIC impulsan el desarrollo del campo de la microelectrónica. Asimismo, la integración de la electrónica analógica en el propio detector, como en el caso de los detectores basados en silicio, comienza a ser una realidad.

En muchos otros casos, sobre todo para el procesado de la información digital en tiempo real y para las redes de comunicaciones de datos, se emplean dispositivos comerciales. Es de especial importancia el auge de los dispositivos lógicos programables en las últimas décadas que permiten una gran flexibilidad en el diseño y la implementación de lógica de gran complejidad en dispositivos de tamaño muy reducido.

### A.2.1 Electrónica analógica y de digitalización

En casi todas las aplicaciones de detectores de partículas, la salida proporcionada por el detector es un pulso de carga sobre el que quiere medirse algún parámetro: amplitud, forma, tiempo de llegada, tiempo de subida, etc que proporciona la información física sobre el tipo de radiación, su energía, tiempo de vuelo, posición, momento, etc.

Como puede verse en la figura A.5, estas señales eléctricas deben atravesar en primer lugar una etapa analógica cuya misión principal suele ser amplificar la señal, rechazar el ruido y dar forma a la señal, para posteriormente ser digitalizada y procesada para su almacenamiento y análisis final [270].

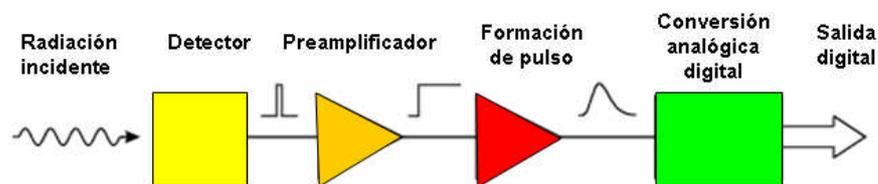


Figura A.5: Esquema típico de las primeras etapas electrónicas de un detector de partículas.

La mayoría de los detectores de partículas proporcionan impulsos de amplitud excesivamente reducida para poder ser analizados directamente. Se requiere, por tanto, elevar previamente el tamaño de los impulsos mediante el uso de amplificadores de características convenientes: amplificadores lineales en los que la amplitud del pulso es proporcional a la energía que se pretende medir, o

amplificadores rápidos en los que lo importante es preservar el tiempo de subida de la señal para garantizar la precisión de las medidas temporales. Estas etapas de amplificación suelen situarse lo más cerca posible de los detectores para minimizar el ruido y la distorsión de las señales, siendo su labor de filtrado importante para garantizar la fiabilidad del sistema.

En muchas etapas de amplificación se utilizan también sistemas de discriminación, que responden con salidas lógicas digitales a aquellas señales de entrada cuya amplitud supera ciertos valores umbrales, y que se utilizarán posteriores en etapas digitales.

Todas las etapas de electrónica analógica presentan unos requisitos importantes de bajo ruido, adaptación de impedancias, linealidad, velocidad, etc, de forma que se proporcione la calidad necesaria de la señal y se preserve a su vez la información procedente del detector.

El proceso de digitalización depende del experimento en cuestión, principalmente se distinguen dos situaciones: si lo que interesa es medir la amplitud de las señales, se emplearán conversores analógico-digital (ADCs) y si interesa realizar una medida temporal, se emplearán convertidores digitales de tiempo (TDCs). En ambos deben cumplirse las características requeridas de resolución, rango dinámico, linealidad, tiempo muerto, etc.

Dado que las señales en formato digital son menos sensibles al ruido por interferencias o perturbaciones electromagnéticas, cuanto antes se realice la conversión digital mejor. Además, este formato permite un almacenamiento adecuado, una transmisión rápida y fiable y un procesamiento digital en el que se pueden realizar funciones que no son asequibles en el mundo analógico.

## **A.2.2 Electrónica digital**

Una vez que la información procedente del detector ha sido digitalizada, se transmite a la electrónica de procesamiento de datos, cuya función y características dependen en gran medida del experimento en cuestión para el que se emplee.

En las últimas décadas los resultados experimentales en física de partículas han evolucionado desde unos pocos eventos por segundo que podían ser registrados con una cámara de burbujas hasta los cientos de miles de eventos que se manejan en los detectores actuales.

La complejidad de los sistemas electrónicos y el gran volumen de datos registrado demanda la utilización de procesadores especializados capaces de realizar el control y el tratamiento de la información en tiempo real. Ejemplos de estos dispositivos son las CPLDs (*Complex Programmable Logic Device*), FPGAs (*Field Programmable Gate Array*), DSPs (*Digital Signal Processing*) o los microcontroladores.

Todos estos dispositivos permiten realizar complejas operaciones lógicas o aritméticas sobre las señales de entrada a una velocidad muy superior a la que se obtendría realizando este procesamiento mediante algoritmos software. Los dispositivos lógicos programables están siendo extensamente utilizados en los últimos años por su gran versatilidad, facilidad de reconfiguración y su relativo bajo coste. La tendencia actual es incrementar la complejidad de estos dispositivos

y su velocidad de procesado. Los últimos dispositivos del mercado incorporan grandes bloques de memorias, procesadores, diversas interfaces de comunicación y DSPs dentro de una misma FPGA aumentando su funcionalidad y flexibilidad de diseño.

Una vez se ha diseñado la tarjeta electrónica encargada de realizar una función específica, es necesario interconectar cada uno de estos módulos para permitir tanto el control de ese sistema como la transmisión de los datos recogidos. Para realizar esta tarea se han desarrollado numerosos estándares de transferencia de datos multipunto. Entre ellos se encuentran los estándares CAMAC [271], GPIB [272], VME, VXI [273], PCI [274] y PXI [275]. En estos estándares se especifican las características tanto mecánicas: dimensiones, tipo de conectores, posición de los mismos, etc., como eléctricas: tensiones de alimentación, niveles de tensión o corriente, rapidez de las señales, etc. Estos estándares han facilitado la compatibilidad de sistemas entre distintos laboratorios y la relativa facilidad de montaje de sistemas autónomos de medida.

En los últimos años, los requisitos de mayor velocidad de transferencia de datos y fiabilidad han impulsado enormemente la evolución de estos estándares y el avance de las redes de comunicación, que en la actualidad se encuentran en el rango de los Gbit/s. Asistimos a un auge de la comunicación serie de alta velocidad, que dada su menor sensibilidad a interferencias electromagnéticas y retrasos en la propagación de las señales, permite, en contra de lo esperable, que hoy en día se obtengan velocidades de transferencia para largas distancias superiores a las alcanzadas por la comunicación paralela. Uno de los avances más destacados en este campo es el de las comunicaciones por fibra óptica, que permiten velocidades de transferencia muy elevadas sobre largas distancias siendo inmunes a las interferencias electromagnéticas.

### A.2.3 Dispositivos de medición de tiempo

La medida de tiempos es una de las tareas fundamentales de los sistemas electrónicos de física nuclear tanto para obtener medidas de vidas medias de las partículas en una cadena de decaimiento, como otros parámetros obtenidos a partir de la medida temporal del ancho de un pulso, tiempo de subida o diferencia de tiempos entre señales como la empleada para la medida de la posición en cámaras de deriva.

Existen distintas técnicas de medida de tiempos, tanto analógicas como digitales. Todas ellas miden diferencias de tiempos relativas entre una señal de disparo que marca el inicio del intervalo de tiempo a medir, llamada normalmente disparo o START, y una señal que marca el final del intervalo de medida y que normalmente es la señal procedente del detector *hit* o STOP.

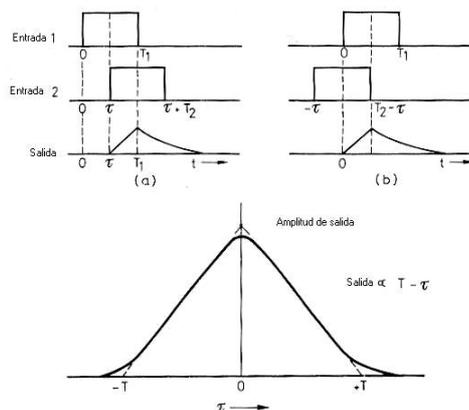
Los métodos analógicos se basan en los convertidores de tiempo a amplitud (TAC: *Time to Amplitude Converters*), que convierten un intervalo de tiempo entre dos pulsos lógicos en un pulso de salida cuya altura es proporcional a su duración. El módulo más simple es el llamado START-STOP TAC y que se basa en la descarga de un condensador disparada por la llegada de la señal de

START y detenida por la señal STOP. La carga total recogida es proporcional a la diferencia temporal entre ambas señales.

Otro método alternativo derivado de los circuitos de coincidencia es la técnica de solapamiento temporal (figura A.6). En este esquema, el solapamiento entre dos pulsos anchos de START y STOP determina el intervalo de tiempo durante el cual se va a cargar un condensador. Por tanto el condensador se carga durante el periodo de solapamiento y la altura del pulso resultante es proporcional a la diferencia  $T-t$ , siendo  $T$  el ancho conocido de los pulsos y  $t$  el retardo entre el START y el STOP. Un inconveniente de este método es que no distingue qué pulso llega antes.

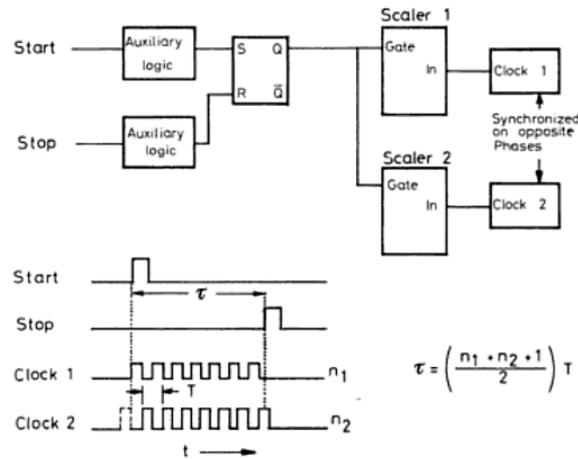
Dentro de los sistemas de medición de tiempo digitales una de las opciones más simples consiste en utilizar a continuación del TAC un ADC para digitalizar el pulso de salida y obtener así una medida temporal digital. No obstante, existen técnicas de medición digital directa utilizando contadores y osciladores estables que son las que se emplean habitualmente. Generalmente, a todos los sistemas de medición temporal digitales, tanto si emplean TACs como si no, se les denomina TDCs (*Time to Digital Converter*).

En este tipo de conversores las señales de START-STOP se pueden utilizar para iniciar y detener el funcionamiento de un contador que se incrementa a una frecuencia estable dada por un reloj u oscilador. Conocida la frecuencia del oscilador, la medida temporal entre las dos señales no es más que el producto del período del oscilador por las cuentas obtenidas. Con el fin de evitar tiempos muertos demasiado largos si la señal de STOP no llega, existen distintas técnicas de ventanas temporales que limitan el tiempo máximo de espera, y a continuación reinician el sistema.



**Figura A.6:** Método del solapamiento de intervalos temporales para la conversión tiempo a amplitud.

La resolución de este tipo de TDCs depende de la frecuencia del reloj utilizado, cuanto mayor sea, mayor será la precisión y menor el intervalo de tiempo máximo que se puede medir para el mismo número de bits del contador. En cualquier caso, para una frecuencia dada, ésta resolución puede incrementarse utilizando dos relojes sincronizados en fases opuestas como se puede ver en la figura A.7.



**Figura A.7:** Método de dos relojes sincronizados en fases opuestas para doblar la resolución temporal.

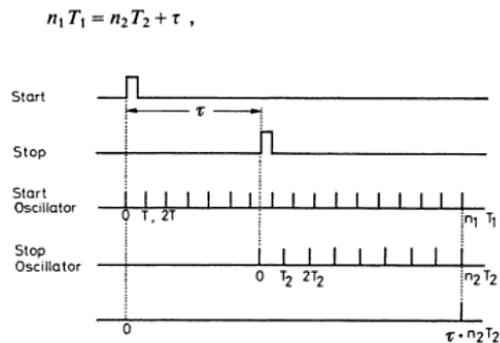
Otro sistema de medición de tiempos bastante preciso es la técnica *vernier* (figura A.8), cuyo principio básico consiste en dos osciladores cuyas frecuencias son ligeramente diferentes, uno de los cuales se dispara con la señal de START y el otro con la de STOP. Ambos se detienen cuando sus fases son coincidentes, momento en el cual se cumple:

$$\tau = \frac{n_1}{f_1} - \frac{n_2}{f_2} \quad (\text{A.3})$$

Siendo  $n_1$  y  $n_2$  las cuentas de dos contadores controlados cada uno por un oscilador y  $\tau$  la diferencia de tiempos a medir. En el caso de que el intervalo  $\tau$  a medir sea menor que el período de los relojes se obtiene  $n_1 = n_2 = n$  y por tanto:

$$\tau = n \left( \frac{1}{f_1} - \frac{1}{f_2} \right) = n \frac{\Delta f}{f_1 f_2} \quad (\text{A.4})$$

La máxima resolución viene dada por la diferencia de frecuencias entre los dos relojes  $\Delta f$ .



**Figura A.8:** Principio básico de operación de un TDC *vernier*.

Otras técnicas que se utilizan para incrementar la resolución de la medida temporal son las relacionadas con DLLs (*Delay Locked Loop*). Consisten en una serie de líneas de retardo encadenadas y alimentadas por un reloj de frecuencia fija. Mediante un sistema de realimentación, la cadena de las líneas de retardo realiza una división del período de tiempo del reloj de entrada, obteniéndose así medidas de mayor resolución con un reloj de relativamente baja frecuencia.

Las principales características que hay que considerar para la elección de un TDC adecuado en la aplicación correspondiente son el rango de medida necesario, la resolución temporal, el tiempo muerto o de conversión entre un par consecutivo de medidas y las no linealidades integral y diferencial producidas por la desviación entre la salida ideal del proceso de cuantización y la real.

# BIBLIOGRAFÍA

## Capítulo 1

- [1] S. L. Glashow, Nuclear Physics 22 (1961) 579.
- [2] S. Weinberg, Physics Rev. Letters 19 (1967) 1264.
- [3] A. Salam, Proceedings 8th Nobel Symp. Ed. Svartholm. Estocolmo 1968.
- [4] S. L. Glashow, Nucl. Phys. 22 (1961) 579.
- [5] S. Weinberg, Phys. Rev. Lett. 19 (1967) 1264.
- [6] A. Salam, Elementary Particle Theory, ed. N. Svartholm (Almqvist and Wiksell, Stockholm, 1968), pp. 367.
- [7] R. Cashmore, L. Maiani, J. P. Revol. “*Prestigious discoveries at CERN. 1973 Neutral Currents, 1983 W & Z Bosons.*” European Organization for Nuclear Research. Springer, 2004.
- [8] J. Ellis. “*Beyond the Standard Model for Hillwalkers*”. CERN-TH/98-329, 1998. Charlas presentadas en la European School of High-Energy Physics, St. Andrews, Scotland, UK.
- [9] J. Ellis. “*Limits of the Standard Model.*” CERN-TH/2002-320, Agosto 2002. Charlas presentadas la PSI Summer School, Zuoz, Suiza.
- [10] CERN. *The world's largest particle physics laboratory.* <http://www.cern.ch>.
- [11] Fabjan, Christian W.; McCubbin, Norman. “*Physics at the CERN Intersecting Storage Rings (ISR) 1978 1983.*” Physics Reports, Vol. 403, pp. 165-175.
- [12] The Staff of the CERN Proton-Antiproton Project. “*First proton-antiproton collisions in the CERN SPS collider.*” Physics Letters B. Vol. 107, Issue 4, 17 Diciembre 1981, pp. 306-309 .
- [13] “*The LEP Project*”. CERN-PU-ED-80-01. CERN, Geneva, 1980.
- [14] M. Gell-Mann, Phys. Lett. 8 (1964) 214.
- [15] G. Zweig, CERN-Report 8182/TH401 (1964).
- [16] H. Fritzsch, M. Gell-Mann, H. Leutwyler, Phys. Lett. B 47 (1973) 365.

- [17] D. Gross, F. Wilczek, Phys. Rev. Lett. 30 (1973) 1343.
- [18] H.D. Politzer, Phys. Rev. Lett. 30 (1973) 1346.
- [19] G. 't Hooft, Marseille Conference on Yang Mills Fields, 1972.
- [20] The LHC Study Group. "*The Large Hadron Collider. Conceptual Design.*" CERN/AC/95-05, Octubre, 1995.
- [21] *The Tevatron at the Fermi National Accelerator Laboratory.* <http://www-bdnew.fnal.gov/tevatron/>
- [22] U. Amaldi. "*The importance of particle accelerators.*" Proceedings of EPAC2000 seventh European Particle Accelerator Conference, EPAC 2000, Vienna, Austria. Junio 2000. <http://accelconf.web.cern.ch/AccelConf/e00/>
- [23] I. Foster, C. Kesselman, S. Tuecke. "*The anatomy of the Grid: Enabling scalable virtual Organizations.*" Lecture Notes in Computer Science, 2150, 2001.
- [24] The CMS Collaboration. "*CMS Technical Proposal.*" CERN/LHCC/94-38. LHCC/P1, Diciembre, 1994.
- [25] **The CMS Collaboration. "*The CMS experiment at the CERN LHC.*" JINST 3 S08004. 2008.**
- [26] The ATLAS Collaboration. "*ATLAS Technical Proposal.*" CERN/LHCC 94-43, Diciembre 1994.
- [27] F. Pauss, M. Dittmar. "*Experimental challenges at the LHC.*" CMS-CR 99/08. Agosto, 1999.
- [28] The ATLAS Collaboration. "*Muon Spectrometer Technical Design Report.*", CERN/LHCC/97-22, 31 Mayo 1997.
- [29] The CMS Collaboration. "*The Muon Project. Technical Design Report.*" CERN-LHCC 97-32 CMS, Diciembre 1997.
- [30] F. Bosi, G. Carboni, V. Cavasinni, F. Costantini, T. del Prete E. Iacopini, S. Lami, P. Lariccia, M. Morganti, C. Petridou, D. Rizzi, A. Sassu, M. Valdata-Nappi. "*Performance of the UA2 Jet Vertex Detector at the CERN Collider.*" Nucl. Instrum. Methods Phys. Res. A, Vol. 283, 532 (1989)
- [31] J.R. Carter, P.A. Elcombe, J.C. Hill, C.M. Roach, J.C. Armitage, R.K. Carnegie, P. Estabrooks, R. Hemmingway, D. Karlen, A. McPherson, J. Pinfold, J.M. Roney, P. Routenburg, J. Waterhouse, C.K. Hargrove, D. Klem, F.G. Oakham, A.A. Carter, R.W.L. Jones, M.M.B. Lasota, S.L. Lloyd, T.W.Pritchard, T.R.Wyatt. "*The OPAL vertex drift chamber.*" Nucl. Instrum. Methods Part. Phys. A, Vol. 286, 99 (1990)
- [32] The OPAL Collaboration. "*The OPAL detector at LEP.*" Nucl. Instrum. Methods Phys. Res. A, Vol. 305, Issue 2, 20 Julio 1991, pp. 275-319.
- [33] H. Anderhub et al. "*A time expansion chamber as a vertex detector for the experiment MARKJ at DESY.*" Nucl. Instrum. Methods Phys. Res. A, Vol. 252, 357 (1986)
- [34] The ALEPH Collaboration. "*ALEPH: A detector for electron-positron annihilations at LEP.*" Nucl. Instrum. Methods Phys. Res. A., Vol. 294, Issues 1-2, 1 Septiembre 1990, pp. 121-178.

- [35] The UA1 collaboration. "The UA1 central detector at present and future luminosity (ACOL)." Nucl. Instrum. Methods Phys. Res. A., Vol. 257, Issue 3, 1 Julio 1987, pp. 552-555.
- [36] William R. Leo. "Techniques For Nuclear And Particle Physics Experiments. A How-To Approach." Second Revised Edition. Springer-Verlag 1994.
- [37] O. Sasaki, T. Taniguchi, T. K. Ohsaka, and H. Kurashige. "A high resolution TDC in TKO BOX system." IEEE Trans. Nucl. Sci., Vol. 35, Feb. 1988.
- [38] T. E. Rahkonen and J. T. Kostamovaara. "The use of stabilized CMOS delay lines for the digitization of short time intervals." IEEE J. Solid-State Circuits, Vol. 28, pp. 887-894, Agosto, 1993.
- [39] A. Aloisio. "FPGA implementation of a high-resolution time-to-digital converter." Nuclear Science Symposium Conference Record, 2007. NSS apos;07. IEEE Vol. 1, Issue , Oct. 26 2007-Nov. 3 2007 pp. 504 - 507.
- [40] J. Christiansen. "High Performance Time to Digital Converter. Version 2.1." CERN/EP-MIC. Julio, 2002.
- [41] J. Christiansen, C. Ljuslin, A. Marchioro, "An integrated 16 channel CMOS time to digital converter." Nuclear Science Symp. 1993, pp. 625 - 629.
- [42] J. Christiansen. "32 channel TDC with on-chip buffering and trigger matching." Third workshop on electronics for LHC experiments CERN/LHCC/97-60. pp. 333 - 337.
- [43] Y. Arai & J. Christiansen. "Requirements and specifications of the TDC for the ATLAS precision muon tracker." ATLAS MUON note 179.
- [44] CAEN V1290A. <http://www.caen.it/nuclear/product.php?mod=V1290A>
- [45] Cronologic HPTDC8-PCI. [http://www.cronologic.de/products/time\\_measurement/hptdc/](http://www.cronologic.de/products/time_measurement/hptdc/)
- [46] CIEMAT. Centro de Investigaciones Energéticas, Medioambientales y Tecnológicas. <http://www.ciemat.es/>
- [47] P. Arce. "The CMS alignment system." Nucl. Instrum. Methods Phys. Res. A, Vol. 461, Issues 1-3, pp. 172-173.
- [48] IFCA. Instituto de Física de Cantabria. <http://www.ifca.unican.es/>
- [49] UAM. Universidad Autónoma de Madrid. <http://www.uam.es/>
- [50] IFIC. Instituto de Física Corpuscular. <http://ific.uv.es/>
- [51] Universitat de Valencia. <http://www.uv.es/~webuv/>
- [52] CNM-IMB. Centro Nacional de Microelectrónica - Instituto de Microelectrónica de Barcelona. <http://www.imb-cnm.csic.es/index.php?lang=spanish>
- [53] IFAE. Institut de Física d'Altes Energies. <http://www.ifae.es/>
- [54] Universitat de Barcelona. <http://www.ub.edu/homeub/welcome.html>
- [55] The LHCb Collaboration. "A Large Hadron Collider Beauty Experiment for Precision Measurements of CP Violation and Rare Decays." CERN/LHCC 98-4, Febrero 1998.

- [56] IGFAE. *Instituto Gallego de Física de Altas Energías*. <http://igfae.usc.es/>
- [57] USC. *Universidade de Santiago de Compostela*. <http://www.usc.es/>
- [58] C. Fernández Bedoya, C. Willmott. "CMS-DT Chambers Read-Out." HPTDC Workshop. CERN. 13 Mayo de 2003. <http://wwwae.ciemat.es/cms/DTE/imeet.htm>
- [59] INFN (*Istituto Nazionale di Fisica Nucleare*) *Sezione di Legnaro*. <http://www.inl.infn.it/>
- [60] INFN (*Istituto Nazionale di Fisica Nucleare*) *Sezione di Bologna*. <http://www.bo.infn.it/>
- [61] <http://radhome.gsfc.nasa.gov/top.htm>  
<http://www.comrad-uk.net/Default.asp>  
[http://radnet.jpl.nasa.gov/cgi-win/1/FrontPage\\_CGI\\_Project?|main](http://radnet.jpl.nasa.gov/cgi-win/1/FrontPage_CGI_Project?|main)  
<http://rd49.web.cern.ch/RD49/RD49News/spurrad.html>
- [62] A. Tricomi. "SLHC: The LHC luminosity upgrade." Nucl. Instrum. Methods Phys. Res. A, Vol. 596, Issue 1, 21 Octubre 2008, pp. 43-47.
- [63] "VME-BUS in Physics Conference", CERN 86/01, Yellow Book 1986.

## Capítulo 2

- [64] RHIC (*Relativistic Heavy Ion Collider*) at Brookhaven National Laboratory. <http://www.bnl.gov/rhic/>
- [65] The ALICE Collaboration. "ALICE - Technical Proposal for a Large Ion Collider Experiment at the CERN LHC." CERN/LHCC 95-71, Diciembre 1995.
- [66] The CMS Collaboration. "Tracker Technical Design Report". CERN/LHCC 98-6, Abril 1998
- [67] The CMS Collaboration. "The Electromagnetic Calorimeter. Technical Design Report", CERN/LHCC 97-33 Diciembre 1997
- [68] The CMS Collaboration. "The Hadron Calorimeter. Technical Design Report." CERN/LHCC 97-31, Junio 1997
- [69] The CMS Collaboration. "The Magnet Project. Technical Design Report." CERN/LHCC 97-10, Mayo 1997
- [70] G. Sguazzoni. "The CMS Si-Strip Tracker". CMS Conference Report, 060, 2004.
- [71] S. Cucciarelli. "The Performance of the CMS Pixel Detector and the Primary Vertex Finding." CMS Conference Report, 057, 2003.
- [72] The CMS Collaboration. "CMS Physics TDR: Volume II (PTDR2). Physics Performance." CERN/LHCC 2006-021 y J. Phys. G. Nucl. Part. Phys. 34 995-1579.

- [73] W. Blum, L. Rolandi. “*Particle Detection with Drift Chambers.*” Springer-Verlag Berlin, 1993.
- [74] V. Palladino, B. Sadoulet. “*Application of Classical Theory of Electrons in Gases to Drift Proportional Chambers.*” Nuclear Instruments and Methods, 128:323-335, 1975.
- [75] INFN (Istituto Nazionale di Fisica Nucleare) Sezione di Padova. <http://www.pd.infn.it/>
- [76] M. Pegoraro. “*A prototype FrontEnd ASIC for the Readout of the Drift Tube CMS Barrel Muon Chambers.*” Proceedings of the 4<sup>th</sup> Workshop on Electronics for LHC Experiments. CERN/LHC/98-36. Octubre, 1998.
- [77] “*National Semiconductor, LVDS Owner’s Manual – Design Guide.*” National Semiconductor, 1997.
- [78] The CMS Collaboration. “*Level-1 Trigger Technical Design Report.*” CERN LHCC 2000-038.
- [79] RWTH. Rheinisch-Westfälische Technische Hochschule Aachen. <http://www.rwth-aachen.de/go/id/bdz/>
- [80] INFN (Istituto Nazionale di Fisica Nucleare) Sezione di Torino. <http://www.to.infn.it/>
- [81] J. Puerta Pelayo. “*Estudio sobre las cámaras de tubos de deriva para el espectrómetro de muones del experimento CMS.*” Tesis doctoral, Universidad Autónoma de Madrid, 2004.
- [82] C. Villanueva Muñoz. “*Prestaciones del detector central de muones del experimento CMS.*” Tesis doctoral, Universidad Autónoma de Madrid, 2007.
- [83] The CMS Collaboration. “*The TriDAS Project. Technical Design Report. Volume I. The Trigger Systems.*” CERN/LHCC 2000-38. Diciembre 2000.
- [84] B.G. Taylor. “*TTC distribution for LHC detectors.*” IEEE Trans. Nucl. Sci. 45 (1998) 82. <http://www.cern.ch/TTC/intro.html>
- [85] M. Andlinger, A. Kluge, F. Szoncsó, G. Walzel, C. -E. Wulz, P. Gorodenski, F. Klefenz, R. Manner, Gy. L. Bencze, A. Csilling, H. Czyrkowski, R. Dabrowski, W. Dominik, M. Konecki, J. Krolikowski, M. Lewandowski, Z. Mazur, K. Sulowski, M. Gorski, M. Szeptycka, M. Della Negra, I. Kudla, M. Pimia, E. Radermacher, C. Seez, G. Wrochna. “*Pattern Comparator Trigger (PACT) for the muon system of the CMS experiment.*” Nucl. Instrum. Methods Phys. Res. A, Vol. 370 (1996) 389.
- [86] RD5 Collaboration, F. Gasparini, R. Giantin, R. Martinelli, A. Meneguzzo, G. Pitacco, P. Sartori, R. Soggia, P. Zotto, M. Andlinger, F. Szoncsó, G. Walzel, C.-E. Wulz, Gy.L. Bencze, M. Della Negra, D. Peach, E. Radermacher, C. Seez, G. Wrochna. “*Bunch crossing identification at LHC using a mean-timer technique.*” Nucl. Inst Methods Phys. Res. A, Vol. 336 (1993) 91.
- [87] L.Castellani et al. “*BTI Reference Manual.*” Disponible en [http://www.weda.pd.infn.it/~rmartin/dtbx/documents/BTI\\_ref.ps](http://www.weda.pd.infn.it/~rmartin/dtbx/documents/BTI_ref.ps)

- [88] R. Martinelli, A.J. Ponte Sancho, P. Zotto. “*Design of the Track Correlator for the DTBX Trigger.*” CMS NOTE 1999/007, Febrero 1999.
- [89] R. Martinelli et al. “*TRACO User Manual.*” Disponible en [http://cms.pd.infn.it/electronics/cms\\_electronics\\_mu\\_files/traco\\_ref.pdf](http://cms.pd.infn.it/electronics/cms_electronics_mu_files/traco_ref.pdf)
- [90] I. D'Antone, G.M. Dallavalle, S. Marcellini, A. Montanari, F. Odorici, G. Torromeo. “*Track-Segment Sorting in the Trigger Server of a Barrel Muon Station in CMS.*” CMS TN 1996/078.
- [91] J. Erö, Ch. Deldicque, M. Galanthay, H. Bergauer, M. Jeitler, K. Kastner, B. Neuherz, I. Mikulec, M. Padrta, H. Rohringer, H. Sakulin, A. Taurok, C.-E. Wulz A. Montanari, G.M. Dallavalle, L. Guiducci, G. Pellegrini J. Fernandez de Troconiz, I. Jimenez. “*The CMS drift tube trigger track finder.*” CMS-NOTE-2008-009, CERN, 2008. <http://cdsweb.cern.ch/record/1103001>
- [92] H. Sakulin. “*Design and Simulation of the First Level Global Muon Trigger for the CMS Experiment at CERN.*” Disertación (2002).
- [93] C.-E. Wulz. “*Concept of the CMS First Level Global Trigger for the CMS Experiment at LHC.*” Nucl. Instr. and Methods Phys. Res. A, Vol. 473 (2001) 231.
- [94] The CMS Collaboration. “*The TriDAS Project: Technical Design Report, Volume 2: Data Acquisition and High Level Trigger.*” CERN/LHCC 2002-026, (2002).
- [95] A. Oh. “*The CMS DAQ and Run Control System.*” CMS-CR-2007-056. International Europhysics Conference on High Energy Physics, Manchester, UK, 19 - 25 Jul 2007, pp. 092020
- [96] **J.M. Cela, G. Dellacasa, C. Fernandez-Bedoya, J. Marin, V. Monaco, J.C. Oller, P. De Remigis, A. Staiano, C. Willmott. “CMS DT Chambers Read-Out Electronics.” CMS CR 2008/018. CERN, 2008.**
- [97] G. Dellacasa, V. Monaco. “*DT FED (DDU 4.2) MANUAL.*” [http://dt-sx5.web.cern.ch/dt-sx5/manuals/DDU\\_manual\\_v03a.pdf](http://dt-sx5.web.cern.ch/dt-sx5/manuals/DDU_manual_v03a.pdf)
- [98] A. Racz. “*The S-LINK 64 bit extension specification: S-LINK64.*” Disponible en <http://his.web.cern.ch/HIS/s-link/spec/>. 2003.
- [99] G. Antchev et al. “*Readout Unit Prototypes for the CMS DAQ System.*” Proceedings of the LEB 2000, Cracow, Poland, Septiembre 2000.
- [100] J Varela, D Tsirigkas, I Suzuki, K Sumorok, C Schwick, P Schieferdecker, M Sani, H Sakulin, A Racz, L Pollet, M Pieri, A Petrucci, C Paus, L Orsini, A Oh, S Murray, R Moser, E Meschi, F Meijers, G Maron, JAL Perez, E Lipeles, M Klute, JC Kim, C Jacobs, J Gutleber, EG Mlot, M Gulmini, R Gomez-Reino, F Glege, D Gigi, S Erhan, S Cittolin, M Ciganek, A Carboni, E Cano, A Brett, J Branson, V Boyer, G Bauer. “*CMS DAQ event builder based on gigabit ethernet.*” IEEE Trans. Nucl. Sci. 55 (2008) 198, also in 15th IEEE real time conference 2007, Batavia U.S.A., CMS-CR-2007-016, <http://cdsweb.cern.ch/record/1046338>
- [101] N.J. Boden, D. Cohen, R.E. Felderman, A.E. Kulawik, C.L. Seitz, J.N. Seizovic, W.-K. Su. “*Myrinet - A Gigabit per Second Local Area Network.*” 1995 IEEE-Micro 15 29.

- [102] A. Racz. “*Trigger Throttling System for CMS DAQ.*” Proceedings of the sixth Workshop on electronics for LHC experiments, Cracow, 11-15 Septiembre 2000.

### Capítulo 3

- [103] Materials and Cable Working Group. “*CERN Safety Instruction IS23*”. CERN, 1993.
- [104] P. Jarron, A. Paccagnella. “*RD49 status report: study of the radiation tolerance of ICs for LHC*”. CERN-LHCC-97-63. Diciembre 1997.
- [105] P. Jarron. “*Radiation tolerant electronics for the LHC experiments.*” Proceedings of the 4<sup>th</sup> Workshop on Electronics for LHC Experiments. CERN/LHC/98-36. Octubre 1998.
- [106] A.H. Johnston. “*Radiation effects in advanced microelectronics technologies.*” IEEE-Transactions-on-Nuclear-Science, Vol. 45, No. 3, pp. 1345. Junio 1998
- [107] H.K. Tang, G.R. Srinivasan, P. C. Murley. “*Parameter-free, predictive modeling of single event upsets due to protons, neutrons and pions in terrestrial cosmic rays.*” IEEE Trans on NS Vol. 41, No 6, Diciembre 1994.
- [108] F. Faccio et al. “*Estimate of the Single Event Upset (SEU) rate in CMS.*” Proceedings of the 4<sup>th</sup> Workshop on Electronics for LHC Experiments. CERN/LHC/98-36. Octubre 1998.
- [109] A.H. Johnston. “*Latchup in integrated circuits from energetic protons.*” IEEE-Transactions-on-Nuclear-Science, Vol. 44, 2367. 1997
- [110] IEEE Computer Society. “*IEEE Standard Test Access Port and Boundary Scan Architecture.*” IEEE, 1993.
- [111] M. Mota, J. Christiansen. “*A High-Resolution Time Interpolator Based on a Delay Locked Loop and an RC Delay Line.*” IEEE Journal of Solid-State Circuits, Vol. 34, No. 10, Octubre 1999.
- [112] EIA/JEDEC Standard. “*Interface standard for nominal 3 V/ 3.3 V supply digital integrated circuits.*” JESD8-B, Sep 1999.
- [113] Amphenol G257U-068-01.  
<http://www.amphenolcanada.com/ProductSearch/drawings/AC/G257T068X00EU.pdf>
- [114] DS90LV048A. <http://www.national.com/mpf/DS/DS90LV048A.html>
- [115] <http://catalog.tycoelectronics.com/TE/bin/TE.Connect?C=1&M=BYPN&TCPN=177983-1&RQPN=177983-1>
- [116] ODU 515.568.035.040. [http://www.odu-rus.ru/catalogue.files/MINI-FLAKAFIX\\_06.pdf](http://www.odu-rus.ru/catalogue.files/MINI-FLAKAFIX_06.pdf)

- [117] 74AC151. <http://www.fairchildsemi.com/ds/74%2F74AC151.pdf>
- [118] 74HC85. <http://www.standardics.nxp.com/products/hc/datasheet/74hc85.74hct85.pdf>
- [119] 74LVC126A. [http://www.nxp.com/acrobat\\_download/datasheets/74LVC126A\\_5.pdf](http://www.nxp.com/acrobat_download/datasheets/74LVC126A_5.pdf)
- [120] Altera EPM7128AE. <http://www.altera.com/literature/ds/m7000a.pdf>
- [121] DS92LV1021. <http://www.national.com/pf/DS/DS92LV1021A.html>
- [122] MIC1555. <http://www.micrel.com/PDF/mic1555.pdf>
- [123] DS92CK16. <http://www.national.com/pf/DS/DS92CK16.html>
- [124] D. L. Terrell, R. K. Keenan. “*Digital Design for Interference Specifications. Second Edition. A practical Handbook for EMI suppression.*” 1997. TKC.
- [125] Clyde F. Coombs. “*Printed Circuits Handbook.*” JR. Cuarta Edición. McGraw-Hill. 1996.
- [126] MIC29151-3.3BU. <http://www.micrel.com/PDF/mic29150.pdf>
- [127] MIC39301-2.5BU. <http://www.micrel.com/PDF/mic39300.pdf>
- [128] MAX869L. <http://datasheets.maxim-ic.com/en/ds/MAX869L.pdf>
- [129] MAX4375. <http://datasheets.maxim-ic.com/en/ds/MAX4373-MAX4375.pdf>
- [130] DS2438Z. <http://datasheets.maxim-ic.com/en/ds/DS2438.pdf>
- [131] “*Overview of the 1-wire Technology and its Use.*” Application note 1796. MAXIM. Diciembre 2002.
- [132] TQPF. *Thin quad flat pack.* [http://www.xilinx.com/support/documentation/package\\_specs/tq144.pdf](http://www.xilinx.com/support/documentation/package_specs/tq144.pdf)
- [133] TTCrx reference manual. [http://ttc.web.cern.ch/TTC/TTCrx\\_manual3.11.pdf](http://ttc.web.cern.ch/TTC/TTCrx_manual3.11.pdf)
- [134] M. Aldaya, N. Amapane, M. Bellato, M. Bontenackels, L. Castellani, F. R. Cavallo, G. Cerminara, E. Conti, B. de la Cruz, F. Dal Corso, G. M. Dallavalle, C. F. Bedoya, J. Fernández de Troconiz, M. C. Fouz, M. Giunta, F. Gonella, L. Guiducci, K. Hoepfner, I. Jimenez, I. Josa, S. Marcellini, G. Maron, A. T. Meneguzzo, A. Montanari, F. Navarra, F. Odorici, A. Parenti, M. Passaseo, M. Pegoraro, A. Perrotta, J. Puerta, H. Reithler, P. Ronchese, T. Rovelli, P. Ruetten, M. Sowa, N. Toniolo, R. Travaglini, S. Vanini, S. Ventura, C. Villanueva, M. Zanetti and P. Zotto. “*Fine synchronization of the muon drift tubes local trigger.*” CMS NOTE 2006/002. Suiza, 2006.
- [135] A. Calderón Tazón. “*Construcción, calibración y evaluación del sistema Link de alineamiento del espectrómetro de muones del experimento CMS.*” Tesis doctoral, Universidad de Cantabria, 2006.

- [136] C. Fernández-Bedoya, J. Marín, J.C. Oller, C. Willmott. “*Overview of the Read-Out System for the CMS Drift Tube Chambers.*” 9<sup>th</sup> Workshop on Electronics for LHC Experiments. CERN-2003-006 CERN LHCC-2003-055 LHCC-G-061. Amsterdam, 2003.
- [137] National Instruments, LabVIEW®. <http://www.ni.com/labview/>

## Capítulo 4

- [138] C. F. Bedoya, J. Marin, J. C. Oller, C. Willmott. “*Electronics for the CMS Muon Drift Tube Chambers: the Read-Out Minicrate.*” IEEE Transactions on Nuclear Science Vol 52 No. 4 pp. 944-949. 10.1109/TNS.2005.852698. Agosto, 2005.
- [139] C. Fernández-Bedoya, J. Marín, J.C. Oller, C. Willmott. “*Electronics for the CMS Muon Drift Tube Chambers: the Read-Out Minicrate.*” 2004 IEEE Nuclear Science Symposium Conference Record. ISBN: 0-7803-8701-5. Roma. Septiembre, 2004.
- [140] DT Commissioning web page. <http://dt-sx5.web.cern.ch/dt-sx5/>
- [141] Minicrate web page. [http://www.wae.ciemat.es/cms/DTE/mc\\_ing.htm](http://www.wae.ciemat.es/cms/DTE/mc_ing.htm)
- [142] D. Novák, T. Hebbeker, H. Reithler, P. Ruetten, H. Szczesny, A. Fenyvesi, J. Molnár, A. Sipos, Z. I. Szabó, G. L. Bencze, A. Kérek. “*Pressure monitoring system for the CMS muon chambers.*” Proceedings of the 10<sup>th</sup> Workshop on Electronics for LHC Experiments and Future Experiments. Boston, Septiembre, 2004.
- [143] MC68HC16Z1CPV16.  
[http://www.freescale.com/files/microcontrollers/doc/ref\\_manual/CPU16RM.pdf?fpsp=1&WT\\_TYPE=Reference%20Manuals&WT\\_VENDOR=FREESCALE&WT\\_FILE\\_FORMAT=pdf&WT\\_ASSET=Documentation](http://www.freescale.com/files/microcontrollers/doc/ref_manual/CPU16RM.pdf?fpsp=1&WT_TYPE=Reference%20Manuals&WT_VENDOR=FREESCALE&WT_FILE_FORMAT=pdf&WT_ASSET=Documentation)
- [144] AT29C020.  
[http://www.atmel.com/dyn/resources/prod\\_documents/DOC0291.PDF](http://www.atmel.com/dyn/resources/prod_documents/DOC0291.PDF)
- [145] Manual de operación de la tarjeta CCB.  
[http://www.pd.infn.it/~caste/pub/Comandi\\_CCB\\_v61.pdf](http://www.pd.infn.it/~caste/pub/Comandi_CCB_v61.pdf)
- [146] Philips Semiconductors. “*The I<sup>2</sup>C-Bus specification. Version 2.1*”. Enero, 2000. Disponible en  
[http://www.nxp.com/acrobat\\_download/literature/9398/39340011.pdf](http://www.nxp.com/acrobat_download/literature/9398/39340011.pdf)
- [147] R. Arcidiacono, V. Brigljevic, E. Cano, S. Cittolin, S. Erhan, D. Gigi, F. Glege, R. Gomez. “*CMS DCS design concepts.*” Proceedings of the 10<sup>th</sup> International Conference on Accelerator and Large Experimental Physics Control Systems (ICALEPCS2005), Suiza, 2005.

- [148] Amphenol Spectrastrip 193-2821-020. <http://www.spectra-strip.amphenol.com/ecpartsearch3.cfm?partID=364&cfid=3115563&cftoken=27687238>
- [149] ANSI TIA/EIA-232-E. "Interface Between Data Terminal Equipment and Data Circuit-Termination Equipment Employing Serial Binary Data Interchange." Electronic Industry Association and the Telecommunications Industry Association (EIA/TIA).
- [150] ANSI TIA/EIA-485. "Electrical Characteristics of Generators and Receivers for Use in Balanced Multipoint Systems." Electronic Industry Association and the Telecommunications Industry Association (EIA/TIA).
- [151] Amphenol Spectra-Strip (191-3005-040). <http://www.spectra-strip.amphenol.com/ecpdfs/191-3X0XSeries.pdf>
- [152] ON Semiconductor. "MECL System Design Handbook." HB205/D. Mayo, 1988.
- [153] M. Aldaya, N. Amapane, C. Battilana, M. Bellato, A. Benvenuti, D. Bonacorsi, M. Bontenackels, P. Capiluppi, L. Castellani, F.R. Cavallo, G. Cerminara, M. Cerrada, P. Checchia, E. Conti, B. de la Cruz, F. Dal Corso, G.M. Dallavalle, C. Fernandez, J. Fernandez de Troconiz, M.C. Fouz, F. Gasparini, U. Gasparini, P. Giacomelli, M. Giunta, F. Gonella, L. Guiducci, T. Hebbeker, K. Hoepfner, I. Jimenez, I. Josa, S. Lacaprara, I. Lippi, S. Marcellini, G. Maron, G. Masetti, A.T. Meneguzzo, V. Monaco, A. Montanari, F. Navarra, F. Odorici, A. Parenti, M. Passaseo, M. Pegoraro, A. Perrotta, J. Puerta, H. Reithler, L. Romero, P. Ronchese, A. Rossi, T. Rovelli, P. Ruetten, M. Sowa, A. Staiano, N. Toniolo, E. Torassa, G. Torromeo, R. Travaglini, S. Vanini, S. Ventura, C. Villanueva, C. Willmott, M. Zanetti, P. Zotto, G. Zumerle. "Fine synchronization of the CMS muon drift tubes local trigger." Nucl. Instrum. and Methods Phys. Res. A, Vol. 564. pp. 169-177. Abril, 2006.
- [154] C. Fernández Bedoya, C. Montero, C. Willmott. "Desarrollo de un sistema de pruebas para el cableado de los Minicrates de la electrónica de lectura de las cámaras de deriva de CMS." Informe Técnico CIEMAT 1037. Febrero, 2004.
- [155] C. Fernández-Bedoya, J. Marín, J.C. Oller, C. Willmott. "Desarrollo de un sistema de pruebas para la electrónica de lectura de las cámaras de deriva del experimento CMS." XXX Reunión Bienal de la Real Sociedad Española de Física. Resúmenes de las comunicaciones. ISBN: 84-689-3266-3. Orense, 2005.
- [156] Ph. Farthouat, P. Gällnö. "TTC-VMEbus Interface TTCvi-MkII." RD12 Project. <http://ttc.web.cern.ch/TTC/TTCviSpec.pdf>
- [157] B. G. Taylor. "TTC laser transmitter (TTCex, TTCtx, TTCmx) User Manual." RD12 working document. <http://ttc.web.cern.ch/TTC/TTCtxManual.pdf>

## Capítulo 5

- [158] J.M. Cela, G. Dellacasa, C. Fernandez-Bedoya, J. Marin, V. Monaco, J.C. Oller, P. De Remigis, A. Staiano, C. Willmott. “*CMS Drift Tube Chambers Read-Out Electronics.*” Presentación en TWEPP 07. Topic Workshop on Electronics for Particle Physics. Praga. Septiembre, 2007.
- [159] CLC014AJE. <http://www.national.com/ds/CL/CLC014.pdf>
- [160] DS92LV1212A. <http://www.national.com/ds/DS/DS92LV1212A.pdf>
- [161] IDT72V243. <http://www.idt.com/index.cfm?partID=72V243L7-5BC>
- [162] Xilinx XC2S50E-7FT256.  
[http://www.xilinx.com/support/documentation/data\\_sheets/ds077.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds077.pdf)
- [163] Xilinx XC2S100E-7FT256.  
[http://www.xilinx.com/support/documentation/data\\_sheets/ds077.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds077.pdf)
- [164] HFE4190-541. [http://www.finisar.com/product-185-850nm\\_LC\\_connectorized\\_component\\_common\\_Anode\\_or\\_Cathode\\_2.5\\_Gb\\_s\\_attenuated\\_extended\\_temp\\_\(HFE419x-441\)](http://www.finisar.com/product-185-850nm_LC_connectorized_component_common_Anode_or_Cathode_2.5_Gb_s_attenuated_extended_temp_(HFE419x-441))
- [165] GOL User Manual. [http://proj-gol.web.cern.ch/proj-gol/gol\\_manual.pdf](http://proj-gol.web.cern.ch/proj-gol/gol_manual.pdf)
- [166] QPLL User Manual. <http://proj-qpll.web.cern.ch/proj-qpll/>
- [167] DS2450S. <http://datasheets.maxim-ic.com/en/ds/DS2450.pdf>
- [168] Xilinx XC2C384-7PQ208.  
[http://www.xilinx.com/support/documentation/data\\_sheets/ds090.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds090.pdf)
- [169] Xilinx XC2C512-7PQ208.  
[http://www.xilinx.com/support/documentation/data\\_sheets/ds090.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds090.pdf)
- [170] C. Fernández Bedoya. “*ROS user manual v 2.0*”.  
[http://wwwae.ciemat.es/cms/DTE/i\\_SC.htm#ROS25](http://wwwae.ciemat.es/cms/DTE/i_SC.htm#ROS25)
- [171] CY7C1041CV33. <http://www.cypress.com/?rID=13168>
- [172] BST612N1.  
[http://www.infineon.com/dgdl/TTS612N1\\_20060328.pdf?folderId=db3a304412b407950112b408e8c90004&fileId=db3a304412b407950112b428d9203e94](http://www.infineon.com/dgdl/TTS612N1_20060328.pdf?folderId=db3a304412b407950112b408e8c90004&fileId=db3a304412b407950112b428d9203e94)
- [173] LP2992. <http://www.national.com/ds/LP/LP2992.pdf>
- [174] P. Moreira. “*CRT4T Rev. 1.0.*” CERN EP/MIC private note (2003).
- [175] PCA9564.  
[http://www.nxp.com/acrobat\\_download/datasheets/PCA9564\\_4.pdf](http://www.nxp.com/acrobat_download/datasheets/PCA9564_4.pdf)
- [176] PCA9516.  
[http://www.nxp.com/acrobat\\_download/datasheets/PCA9516\\_7.pdf](http://www.nxp.com/acrobat_download/datasheets/PCA9516_7.pdf)

- [177] DS2482. <http://datasheets.maxim-ic.com/en/ds/DS2482-100-DS2482S-100.pdf>
- [178] *Xilinx Integrated Software Environment (ISE 6.3i)*.  
<http://www.xilinx.com/tools/designtools.htm>
- [179] Xilinx XC18V01-VQ44.  
[http://www.xilinx.com/support/documentation/data\\_sheets/ds026.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds026.pdf)
- [180] B. Bridgford, J. Cammon. “*SVF and XSVF File Formats for Xilinx Devices.*” XAPP053 Xilinx. Agosto, 2007. Disponible en:  
[http://www.xilinx.com/support/documentation/application\\_notes/xapp503.pdf](http://www.xilinx.com/support/documentation/application_notes/xapp503.pdf)
- [181] E. Cano, S. Cittolin, A. Csilling, S. Erhan, D. Gigi, F. Glege, M. Gulmini, J. Gutleber, C. Jacobs, M. Kozlovsky, H. Larsen, I. Magrans, F. Meijers, E. Meschi, S. Murray, A. Oh, L. Orsini, L. Pollet, A. Racz, D. Samyn, P. Scharff-Hansen, C. Schwick, J. Varela, P. Sphicas. “*The Fast Merging Module (FMM) for Readout Status Processing in CMS DAQ.*” CMS CR-2003/050. Proceedings of the LECC, Amsterdam. 2003.

## Capítulo 6

- [182] CAEN A3100.  
[http://www.caen.it/nuclear/Printable/data\\_sheet.php?mod=A3100&fam=easy&fun=easylow](http://www.caen.it/nuclear/Printable/data_sheet.php?mod=A3100&fam=easy&fun=easylow)
- [183] REMA 80188-00. Connectors with flat contacts.  
<http://www.farnell.com/datasheets/5196.pdf>
- [184] B. Arvidsson, A. Björk, M. Pearce, J. Troska, F. Vasey, A. Zanet. “*A Dense Multi-Ribbon Cable For Installation in a Harsh Environment at CERN.*” Proceedings of the 5th International Wire and Cable Symposium, IWCS 2001.
- [185] Agilent HFBR-5710L. <http://www.avagotech.com/docs/5988-7415EN>
- [186] J. Varela, “Timing and Synchronization in the LHC Experiments”, proceedings of the 6<sup>th</sup> Workshop on Electronics for LHC Experiments, Krakow, September 2000, CERN 2000-010, CERN/LHCC/2000-041.
- [187] The CMS Trigger/DAQ Group. “*CMS L1 Trigger Control System.*” CMS NOTE 2002/033. Suiza, 2002.
- [188] Xilinx XC95144XL-TQ144.  
[http://www.xilinx.com/support/documentation/data\\_sheets/ds056.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds056.pdf)
- [189] P. Moreira. “*TTCrq Manual.*” CERN-EP/MIC Noviembre 2004. Suiza.  
<http://proj-qpll.web.cern.ch/proj-qpll/images/manualTTCrq.pdf>
- [190] TrueLight TRR-1B43-000. <http://www.kip.uni-heidelberg.de/ti/DCS-Board/current/datasheets/optolink/TRR-1B43-000.pdf>

- [191] D. Russell. “*The principles of computer networking*.” Cambridge Computer Science Texts 2. 1989.
- [192] B. Jonsson, J. Parrow. “*Formal techniques in real-time and fault-tolerant systems.*” Proceedings of the Fourth International Symposium on Formal Techniques in Real-Time and Fault-Tolerant Systems, FTRTFTS '96. Uppsala, Suecia. Septiembre, 1996.
- [193] Xilinx XC95288XL-TQ144.  
[http://www.xilinx.com/support/documentation/data\\_sheets/ds055.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds055.pdf)
- [194] SN74LVC1G123. <http://focus.ti.com/lit/ds/symlink/sn74lvc1g123.pdf>
- [195] DIN 41612. [http://www.harting-connectivity-networks.de/imperia/md/content/lg/hartingconnectivitynetworks/service/downloads/din41612connectorse/e\\_din\\_chapter01.pdf](http://www.harting-connectivity-networks.de/imperia/md/content/lg/hartingconnectivitynetworks/service/downloads/din41612connectorse/e_din_chapter01.pdf)
- [196] SN65LVDM1676. <http://focus.ti.com/lit/ds/symlink/sn65lvdm1676.pdf>
- [197] SN65MLVD047. <http://focus.ti.com/lit/ds/symlink/sn65mlvd047a.pdf>

## Capítulo 7

- [198] V. Liberali, F. Maloberti, and M. Stramesi. “*ADC Characterization Using the Code Density Test Method With Deterministic Sampling.*” Proc. Int'l Mixed Signal Testing Workshop, Mayo 1996, pp. 113-118.
- [199] A. Leon-Garcia. “*Probability and Random Processes for Electrical Engineering.*” Reading, MA, USA: Addison-Wesley, 1989.
- [200] Tektronix AFG3252.  
[http://www2.tek.com/cmsreplive/psrep/13567/76W\\_18656\\_3\\_2008.06.24.11.25.40\\_13567\\_EN.pdf](http://www2.tek.com/cmsreplive/psrep/13567/76W_18656_3_2008.06.24.11.25.40_13567_EN.pdf)
- [201] A. Malvino, D. Leach. “*Principios y aplicaciones digitales.*” Marcombo, 1988.
- [202] Baronti F., Fanucci L., Lunardini D., Roncella R., Saletti R. “*On the Differential Non-Linearity of Time-to-Digital Converters based on Delay-Locked-Loop Delay-Lines.*” IEEE Transactions on Nuclear Science, Vol. 48, No. 6, pp. 2424-2432, 2001.
- [203] **C. F. Bedoya, J. Alberdi, J. Marín, J.C. Oller, C. Willmott. “*Design and Performance Testing of the Read-Out Boards for the CMS-DT Chambers.*” Proceedings of the 8<sup>th</sup> Workshop on Electronics for LHC Experiments. Colmar, 2002. CERN 2002-003 CERN-LHCC-2002-34 LHCC-G-014.**
- [204] Jensen, F. Electronic. “*Component Reliability.*” John Wiley & Sons, 1995.
- [205] “*Environmental Test methods and engineering guidelines.*” MIL-HDBK-810.
- [206] V.Lakshminarayanan. “*Environmental-stress screening improves electronic-design reliability.*” Center for development of telematics. Septiembre, 2001. EDN.

- [207] “*The Test Method Standard Microcircuits.*” MIL-STD-883E, método 1015.9. Departamento de Defensa de los Estados Unidos. 1996. Disponible en: <http://scipp.ucsc.edu/groups/glast/electronics/mil-std-883.pdf>
- [208] P. Maley. “*LHC rack monitoring and safety system.*” 2004. Disponible en: <http://ess.web.cern.ch/ESS/rackMonitor/docs/RackMonitoringSystemV5.pdf>
- [209] S. M. Schmeling, B. Flockhart, S. Luders, G. Morpurgo. “*The detector safety system for LHC experiments.*” IEEE Transactions on Nuclear Science, Vol. 51, Issue 3, pp. 521-525. Junio 2004.
- [210] M. Huhtinen. “*Optimization of the CMS forward shielding.*” Nota CMS 2000/068, Noviembre 2000.
- [211] S. Agosteo, G. D'Angelo, A. Favalli, L. Castellani, I. Lippi, R. Martinelli, P. Zotto. “*First evaluation of neutron induced Single Event Effects on the CMS barrel muon electronics.*” CMS NOTE 2000/024. Suiza, 2000.
- [212] M. Huhtinen and F. Faccio, Nucl. Instr. and Methods Phys. Res. A, Vol. 450 (2000) 155.
- [213] **L. Castellani, G.D'Angelo, F. Dal Corso, G. M. Dallavalle, M. De Giorgi, C. Fernández, F. Gonella, I. Lippi, J. Marin, R. Martinelli, A. Montanari, F. Odorici, J. C. Oller, M. Pegoraro, G. Torromeo, R. Travaglini, M. Verlatto, C. Willmott and P. Zotto. “Single Event Effects Measurements on the Electronics for the CMS Muon Barrel Detector at LHC.” Nucl. Instrum. Methods Phys. Res. A, Vol. 189, (2002), pp. 357-369.**
- [214] *Centre de Recherche du Cyclotron. UCL.* <http://www.cyc.ucl.ac.be/EURONS/>
- [215] PMBT2222A. [http://www.nxp.com/acrobat\\_download/datasheets/PMBT2222\\_2222A\\_5.pdf](http://www.nxp.com/acrobat_download/datasheets/PMBT2222_2222A_5.pdf)
- [216] “*NIST/SEMATECH e-Handbook of Statistical Methods.*” 2003. <http://www.itl.nist.gov/div898/handbook/>
- [217] 74LVC16245. <http://focus.ti.com/lit/ds/symlink/sn74lvc16245a.pdf>
- [218] 74LVCH16244. <http://focus.ti.com/lit/ds/symlink/sn74lvch16244a.pdf>
- [219] 74LVCH244. <http://focus.ti.com/lit/ds/symlink/sn74lvch244a.pdf>
- [220] 74ALS642. <http://focus.ti.com/lit/ds/symlink/sn74als642a.pdf>
- [221] 74ALS688. <http://focus.ti.com/lit/ds/symlink/sn74als688.pdf>
- [222] DS1100L. <http://datasheets.maxim-ic.com/en/ds/DS1100L.pdf>
- [223] DS90LV018A. <http://www.national.com/ds/DS/DS90LV018A.pdf>
- [224] IXO71-40MHz. <http://www.iqdfrequencyproducts.com/products/details/123/>
- [225] CY2309ZC-1H. <http://www.cypress.com/?rID=13269>
- [226] SN65LVDM1676. <http://focus.ti.com/lit/ds/symlink/sn65lvdm1676.pdf>

- [227] DS90LV017A. <http://www.national.com/ds/DS/DS90LV017A.pdf>
- [228] DS90CP22MT. <http://www.national.com/ds/DS/DS90CP22.pdf>
- [229] SN65MLVD047. <http://focus.ti.com/lit/ds/symlink/sn65mlvd047a.pdf>
- [230] DS90LV110T. <http://www.national.com/ds/DS/DS90LV110T.pdf>
- [231] P. Arce, M. Cerrada, C. Fernandez Bedoya, J. Molina, C. Willmott. **“Simulation studies for the read-out electronics of the CMS Muon Drift Tubes detectors.”** CMS IN-2009/014. Suiza, 2009.
- [232] C.-D. Jones et al. *“The New CMS Data Model and Framework.”* Proceedings of the conference on Computing in High Energy Physics, Mumbai (2006).
- [233] *Geant4*. <http://geant4.web.cern.ch/geant4/>
- [234] A. Benvenuti, V. Genchev. *“Barrel Muon System Background Simulation of the CMS TDR Design.”* CMS NOTE 1998/052. Suiza, 1998.
- [235] F. Palla. *“CMS Upgrades for SLHC.”* CMS CR 2005/033. Proceedings of the CARE-HHH-APD Workshop (LHC-LUMI-05), Arcidosso 31/08-3/09 2005.
- [236] C. Albajar, N. Amapane, P. Arce, C. Autermann, M. Bellato, M. Benettoni, A. Benvenuti, M. Bontenackels, J. Caballero, F. R. Cavallo, M. Cerrada, R. Cirio, N. Colino, E. Conti, B. de la Cruz, F. Dal Corso, G. M. Dallavalle, C. Fernandez, J.F.J. Fernandez de Troconiz, M. C. Fouz, P. Garcia-Abia, A. Garcia-Raboso, F. Gasparini, U. Gasparini, P. Giacomelli, F. Gonella, M. Gulmini, T. Hebbeker, S. Hermann, K. Hoepfner, I. Jimenez, I. Josa, S. Lacaprara, S. Marcellini, C. Mariotti, G. Maron, S. Maselli, A. T. Meneguzzo, V. Monaco, A. Montanari, C. Montanari, F. Montecassiano, F. L. Navarra, F. Odorici, M. Passaseo, M. Pegoraro, C. Peroni, A. Perrotta, J. Puerta, H. Reithler, A. Romero, L. Romero, P. Ronchese, A. Rossi, T. Rovelli, R. Sacchi, M. Sowa, A. Staiano, N. Toniolo, E. Torassa, V. Vaniev, S. Vanini, S. Ventura, C. Villanueva, C. Willmott, P. Zotto, G. Zumerle. **“Test beam analysis of the first CMS drift tube muon chamber.”** Nucl. Instrum. Methods Phys. Res. A 525 (2004) 465-484.
- [237] M. Cerrada, N. Colino, B. delaCruz, C. F. Bedoya, M.C. Fouz, I. Josa, J. Puerta, L. Romero, C. Willmott, J. Fernandez deTroconiz, I. Jimenez, C. Autermann, K. Hoepfner, H. Reithler, A. Benvenuti, P. Giacomelli, C. Montanari, T. Rovelli, M. Bellato, M. Gulmini, G. Maron, N. Toniolo, M. Benettoni, E. Conti, F. Gonella, A. Meneguzzo, F. Montecassiano, M. Pegoraro, P. Ronchese, S. Vanini, S. Ventura, V. Monaco. **“Test Beam Analysis of the First CMS MB2 Drift Tube Muon Chamber.”** CMS Note 2003/007. Suiza, 2003.
- [238] S. Agosteo, S. Altieri, G. Belli, A. Bonifas, V. Carabelli, L. Gatignon, N. Hessey, M. Maggi, J. -P. Peigneux, H. Reithler, M. Silari, P. Vitulo, M. Wegner. *“A facility for the test of large area muon chambers at high rates.”* Nuclear

- Instrumentation and Methods. Phys. Res. A, Vol. 452, (2000), No. 1-2, pp. 94-104.
- [239] C. F. Bedoya, M. C. Fouz, J. Marín, J.C. Oller, C. Willmott, Amigo, L.J. “*Validation of the Read Out Electronics for the CMS Muon Drift Chambers at Test Beam in CERN/GIF.*” Informe técnico CIEMAT 1010. Diciembre, 2002.
- [240] J. Caballero, M. Cerrada, N. Colino, B. de la Cruz, C. F. Bedoya, M.C. Fouz, M.I. Josa, J. Puerta, L. Romero, C. Villanueva, C. Willmott, J. Fernandez de Troconiz. “*Some results on the DT Local Muon trigger performance from the 2003 Testbeam.*” CMS IN 2004/035. Suiza, 2004.
- [241] M. Aldaya, N. Amapane, C. Battilana, M. Bellato, A. Benvenuti, M. Bontenackels, L. Castellani, F.R. Cavallo, G. Cerminara, P. Checchia, E. Conti, G.M. Dallavalle, B. de la Cruz, C. Deldicque, J. Ero, C. F. Bedoya, J. Fernandez de Troconiz, M.C. Fouz, F. Gasparini, P. Giacomelli, M. Giunta, F. Gonella, L. Guiducci, T. Hebbeker, K. Hoepfner, I. Jimenez, I. Josa, S. Lacaprara, S. Marcellini, G. Maron, A.T. Meneguzzo, V. Monaco, A. Montanari, F.L. Navarria, F. Odorici, A. Parenti, M. Passaseo, A. Perrotta, J. Puerta, H. Reithler, P. Ronchese, T. Rovelli, P. Ruetten, M. Sowa, A. Staiano, N. Toniolo, E. Torassa, G. Torromeo, R. Travaglini, S. Vanini, S. Ventura, C. Villanueva, M. Zanetti, P. Zotto. “*Results of the First Integration Test of the CMS Drift Tubes Muon Trigger.*” CMS NOTE 2006/072. May 2006.
- [242] P. Arce, M. Bellato, M. Benettoni, A. Benvenuti, D. Bonacorsi, M. Bontenackels, J. Caballero, V. Cafaro, P. Capiluppi, L. Castellani, F.R. Cavallo, M. Cerrada, P. Checchia, N. Colino, E. Conti, M. Corvo, B. de la Cruz, F. Dal Corso, G.M. Dallavalle, M. De Giorgi, F. Fabbri, A. Fanfani, C. Fernandez, J. Fernandez de Troconiz, M.C. Fouz, P. Garcia Abia, F. Gasparini, U. Gasparini, P. Giacomelli, V. Giordano, F. Gonella, C. Grandi, L. Guiducci, M. Gulmini, T. Hebbeker, J.M. Hernandez, K. Hoepfner, I. Josa, S. Lacaprara, I. Lippi, R. Mameghani, S. Marcellini, G. Maron, R. Martinelli, S. Maselli, G. Masetti, A.T. Meneguzzo, G. Meng, V. Monaco, A. Montanari, F. Montecassiano, F. Navarria, F. Odorici, M. Passaseo, M. Pegoraro, C. Peroni, A. Perrotta, A.J. Ponte Sancho, J. Puerta, H. Reithler, A. Romero, L. Romero, P. Ronchese, A. Rossi, T. Rovelli, R. Sacchi, A. Staiano, N. Toniolo, E. Torassa, G. Torromeo, R. Travaglini, S. Vanini, L. Ventura, S. Ventura, C. Villanueva, C. Willmott, M. Zanetti, L. Zangrando, P. Zotto, G. Zumerle. “*Bunched Beam Test of the CMS Drift Tubes Local Muon Trigger.*” Nucl. Instrum. Methods Phys. Res. A, Vol. 534, Issue 3, pp. 441-485, (2004).
- [243] M. Aldaya, N. Amapane, S. Argiro, C. Battilana, R. Bellan, M. Bellato, A. Benvenuti, M. Boldini, S. Bolognesi, M. Bontenackels, E. Borsato, S. Braibant, V. Cafaro, P. Capiluppi, L. Castellani, F.R. Cavallo, G. Cerminara, M. Cerrada, P. Checchia, E. Conti, B. de la

Cruz, F. Dal Corso, G.M. Dallavalle, C. Deldicque, G. Dellacasa, J. Ero, A. Fanfani, C. Fernandez, J. Fernandez de Troconiz, M.C. Fouz, F. Gasparini, U. Gasparini, P. Giacomelli, V. Giordano, M. Giunta, F. Gonella, L. Guiducci, T. Hebbeker, K. Hoepfner, I. Jimenez, I. Josa, S. Lacaprara, I. Lippi, S. Marcellini, C. Mariotti, G. Maron, S. Maselli, G. Masetti, A.T. Meneguzzo, G. Mila, V. Monaco, A. Montanari, F. Navarra, M. Nervo, F. Odorici, A. Parenti, M. Passaseo, M. Pegoraro, G. Pellegrini, A. Perrotta, J. Puerta, H. Reithler, A. Romero, L. Romero, P. Ronchese, A. Rossi, T. Rovelli, P. Ruetten, R. Sacchi, G.P. Siroli, M. Sowa, A. Staiano, N. Toniolo, E. Torassa, G. Torrimeo, R. Travaglini, V. Vaniev, S. Vanini, S. Ventura, C. Villanueva, C. Willmott, M. Zanetti, P. Zotto, G. Zumerle. “*Results of the first integration test of the CMS drift tubes muon trigger.*” Nucl. Instrum. Methods Phys. Res. A, Vol. 579, pp. 951-960, (2007).

- [244] “*Nuclear Instruments and Methods – 1964.*” (DOE/ER-0457). <http://www-esd.fnal.gov/esd/catalog/intro/intronim.htm>
- [245] T. Christiansen on behalf of the CMS collaboration. “*The CMS Magnet Test and Cosmic Challenge.*” Nuclear Science Symposium Conference Record, IEEE, Vol. 2, pp. 906 – 908, Oct. 29 2006-Nov. 1 2006.
- [246] The CMS Collaboration. “*The CMS Magnet Test and Cosmic Challenge (MTCC Phase I and II).*” CMS NOTE 2007-005. Suiza, 2007.
- [247] K. Hoepfner on behalf of the CMS Muon Collaboration. “*The CMS Muon System and its performance in the CMS cosmic challenge.*” 10<sup>th</sup> ICATPP Conference on “Astroparticle, Particle, Space Physics, Detectors and Medical Physics Applications. Como, Italia. Octubre 2007.
- [248] M.C.Fouz, C.Villanueva, R.Carlin, U.Gasparini, A.T.Meneguzzo, M.Zanetti, G.Cerminara, S.Bolognesi. “*Measurement of Drift Velocity in the CMS Barrel Muon Chambers at the CMS Magnet Test Cosmic Challenge.*” CMS NOTE-2008/003. Suiza, 2007.
- [249] M. Sobron, P. Martinez Ruiz del Arbol. “*CMS Muon Alignment: System Description and first results.*” 10<sup>th</sup> International Conference on Instrumentation for Colliding Beam Physics. Novosibirsk, 2008.
- [250] M. Aldaya and P. Garcia-Abia. “*Measurement of the charge ratio of cosmic muons using CMS data.*” CMS NOTE 2008/016, Suiza, 2008.
- [251] G. Abbiendi, N. Amapane, C. Battilana, C. Fernandez Bedoya, R. Bellan, M. Bellato, A.C. Benvenuti, P. Biallas, S. Bolognesi, S. Braibant, F.R. Cavallo, R. Carlin, G. Cerminara, M. Chamizo, E. Conti, G.M. Dallavalle, D. Dattola, G. Dellacasa, M.C. Fouz, J. Frangenheim, P. Giacomelli, M. Giunta, F. Gonella, A. Gresele, L. Guiducci, K. Hoepfner, E. Jacobi, S. Marcellini, C. Mariotti, S. Maselli, G. Masetti, A.T. Meneguzzo, G. Mila, V. Monaco, A. Montanari, F. Montecassiano, F.L. Navarra, M. Nervo, F. Odorici, M. Passaseo, A. Parenti, A. Perrotta, J. Puerta, H. Reithler, P. Ronchese, T. Rovelli, R. Sacchi, G.P. Siroli, M. Sowa, A. Staiano, D. Teyssier, E. Torassa, R. Travaglini, A. Triossi, O. Tsigenov, S.

- Vanini, S. Ventura, C. Villanueva, M. Zanetti, P. Zotto. “*The CMS muon barrel drift tubes system commissioning.*” Nucl. Instrum. Methods Phys. Res. A, Vol. 598, Issue 1, pp. 192-195, Enero 2009.
- [252] The CMS DT collaboration. “*Performance of the CMS Drift-Tubes Local Trigger with Cosmic Muons.*” CMS NOTE 2009. Pendiente de publicación.
- [253] The CMS DT collaboration. “*Calibration of the DT System and Drift Velocity Measurements with Muon Cosmic Data.*” CMS NOTE 2009. Pendiente de publicación.
- [254] The CMS DT collaboration. “*Results on Local Muon Reconstruction in DT chambers from analysis of CRAFT data.*” CMS NOTE 2009. Pendiente de publicación.
- [255] A. Perrota. “*Commissioning and Early Measurements of the DT Muon Detector of CMS at the LHC.*” CMS CR-2008/091, Suiza, 2008.

## Apéndice A

- [256] A. Ferrer Soria, E. Ros Martínez. “*Física de partículas y astropartículas.*” PUV Publicaciones Universitat de Valencia, 2005.
- [257] R.M. Barnett et al. “*Review of particle properties.*” Phys. Rev. D54 (1996) 1.
- [258] D. R. Nygren, J. N. Marx. “*The Time Projection Chamber.*” Physics Today 31(1978) 46
- [259] T. Ypsilantis and J. Seguinot. “*Theory of ring imaging Cherenkov counters.*” Nucl. Instrum. and Methods Phys. Res. A, Vol. 343, 30, (1994).
- [260] D. Green “*The Physics of Particle Detectors.*” Cambridge University Press, Cambridge 2000.
- [261] R. K. Bock, A. Vasilescu. “*The Particle Detector BriefBook.*” Springer Verlag, 1998. (Disponible en <http://rd11.web.cern.ch/RD11/rkb/titleD.html>)
- [262] S. Majewski, C. Zorn. “*Fast Scintillators for high radiation levels. Instrumentation in High Energy Physics.*” Editor F. Sauli. 1992.
- [263] S. M. Sze. “*The Physics of Semiconductor Devices, 2nd edition.*” Wiley Interscience (1981).
- [264] G. Lutz and A.S. Schwarz. “*Silicon devices for charged-particle track and vertex detection.*” Ann. Rev. Nucl. Part. Sci. 45 (1995) 295.
- [265] B. B. Rossi, H. H. Staub. “*Ionization Chambers and Counters.*” McGraw-Hill, New York 1949.
- [266] F. Sauli, T. Ferbel. “*Principles of Operation of Multiwire Proportional and Drift Chambers, in: Experimental Techniques in Nuclear and Particle Physics.*” ed. World Scientific, 1991.

- 
- [267] T. Lohse and W. Witzeling. “*The Time Projection Chamber, in: Instrumentation in High Energy Physics.*” F. Sauli. ed World Scientific 1992.
- [268] F. Angelini, R. Bellazzini, A. Brez, M. M. Massai, G. Spandre, M. R. Torquati, R. Bouclier, J. Gaudaen, F. Sauli. “*The microstrip gas chamber.*” Nucl. Phys. B (Proceedings Supplements) Vol. 23, Issue 1, (1991) pp. 254-260.
- 269] F. Sauli. “*GEM: A new concept for electron amplification in gas detectors.*” [Nucl. Instr. and Meth. A386\(1977\)531](#).
- [270] K. B. Klaassen, S. Gee. “*Electronic measurement and instrumentation.*” Cambridge University Press, 1996.
- [271] “*An Introduction to CAMAC.*” (Disponible en <http://www-esd.fnal.gov/esd/catalog/intro/introcam.htm>)
- [272] “*IEEE-488.2: Standard Codes, Formats, Protocols, and Common Commands for Use With IEEE-488.1.*” (Disponible en [http://standards.ieee.org/reading/ieee/std\\_public/description/im/488.2-1992\\_desc.html](http://standards.ieee.org/reading/ieee/std_public/description/im/488.2-1992_desc.html))
- [273] “*History of VXI*”, VXIbus Consortium. 2003-2004.
- [274] “*Conventional PCI 3.0*” PCI-SIG. (Disponible en <http://www.pcisig.com/specifications/conventional/>).
- [275] “*PXI Express Hardware Specification Rev 1.0.*” 2005, PXI Systems Alliance.



